

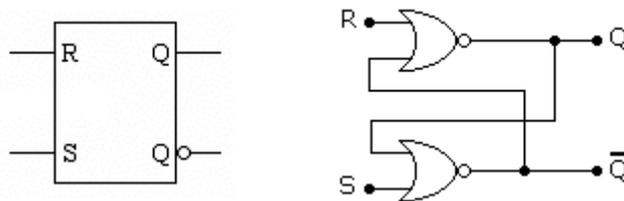
## FLIP-FLOPS SINCRONIZADOS, COM ENTRADAS "PR" e "CLR"

Os FFs sincronizados podem ter entradas adicionais, denominadas assíncronas, pois estas se sobrepõem às demais.

Essas entradas comumente denominadas PR e CLR (PR=preset e CLR=clear) levam o FF ao estado *set* ou *reset* e são independentes das demais entradas.

A figura a seguir mostra o bloco representativo de um FF RS básico e sua implementação a partir de portas NOR.

O FF RS básico pode ser implementado também com portas NAND.



Para o circuito acima, será obedecida a tabela da verdade a seguir, levando-se em conta o modo de operação em função das entradas aplicadas em R e S. O circuito acima representa um FF RS não controlado, ou seja, não possui entrada de clock.

R	S	Modo de operação
0	0	Hold
0	1	Set
1	0	Reset
1	1	Ind

Observa-se que o modo de operação desse FF como em qualquer outro FF está diretamente relacionado com suas entradas. Assim, quando  $R=0$  e  $S=1$  o FF estará operando no modo SET; quando  $R=1$  e  $S=0$ , estará operando no modo RESET; quando  $R=0$  e  $S=0$ , estará operando no modo HOLD (não muda) e quando  $R=1$  e  $S=1$ , estará no modo PROIBIDO (indeterminado). No modo proibido as saídas não se complementam.

Tomemos ainda como exemplo o FF RS básico e completaremos a tabela a seguir a partir de um estado inicial  $Q=1$ .

Se  $Q=1$ , então o FF estará operando no modo SET e logicamente o seu complemento  $Q'$  estará em 0.

Dizemos então que este é o estado inicial do FF, que chamaremos de " $Q_n$ "; portanto se  $Q_n=1$  o seu complemento  $Q_n'$  será 0.

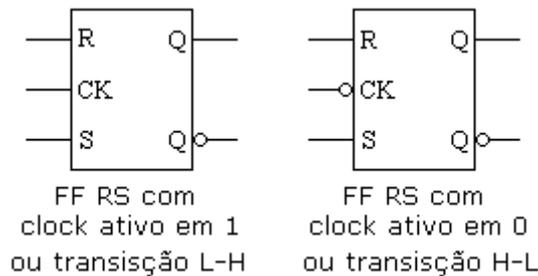
Após aplicadas as entradas as saídas se modificarão e então chamaremos de  $Q_{n+1}$  (que é o estado da saída após a aplicação da entrada), logicamente o seu complemento será  $Q_{n+1}'$ .

**Supondo  $Q_n = 1$**

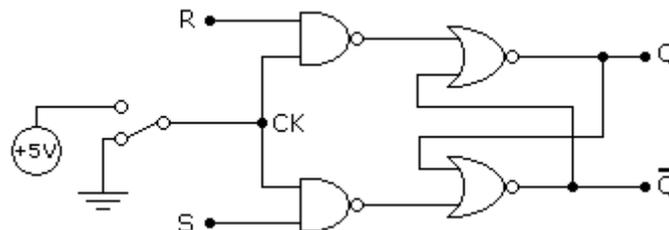
R	S	Saídas		Modo de operação
		Q <sub>n+1</sub>	Q <sub>n+1</sub> '	
0	0	Q <sub>n</sub>	Q <sub>n</sub> '	Hold
0	1	1	0	Set
1	0	0	1	Reset
1	1	ind	ind	Proibido

As saídas indeterminadas (ind) poderão ser 0 ou 1, o que deve ficar claro, é que elas não se complementam e por isso o modo de operação é PROIBIDO.

Um FF RS pode ser sincronizado, ou seja, a sincronização é feita através de uma entrada adicional, comumente denominada "clock".



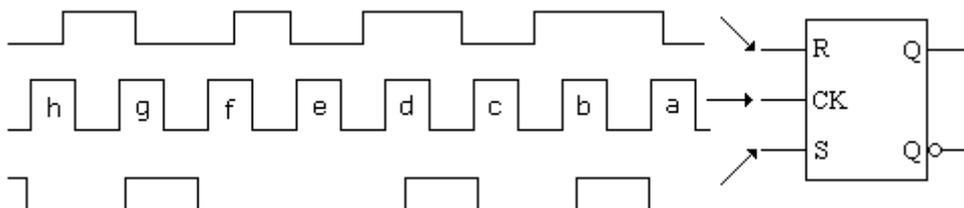
Transição L-H, significa que o mesmo é sensível na subida do pulso de clock, enquanto a transição H-L significa que o mesmo é sensível na descida do pulso de clock.



Observe que quando CK=0 o FF não responderá às entradas R e S; quando CK=1, o FF operará normalmente.

Vejamos um exemplo:

Listar as saídas Q e Q' para os pulsos de clock *a* até *h*, no FF a seguir.



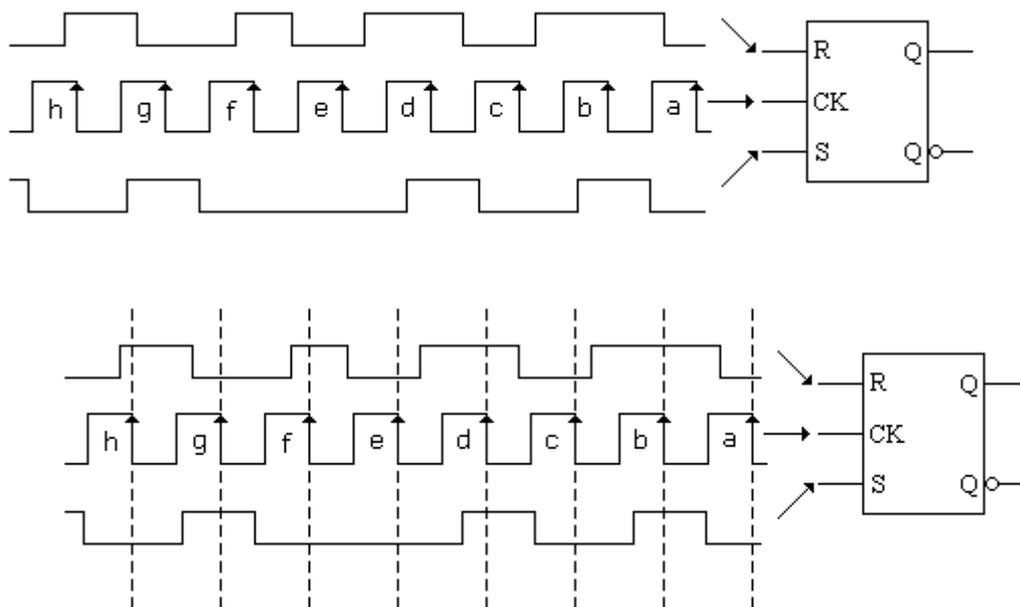
Observa-se que as entradas R e S estão sincronizadas pelos pulsos de clock. Assim, a cada pulso de clock teremos um modo de operação compatível.

Conforme visto anteriormente os pulsos de clock possuem níveis lógicos bem definidos, conforme ilustra a figura a seguir:



Resta agora definir a forma de acionamento do clock para esse FF.

Esse FF tem o seu clock ativo na transição L-H. A análise seguirá então o critério mostrado a seguir.

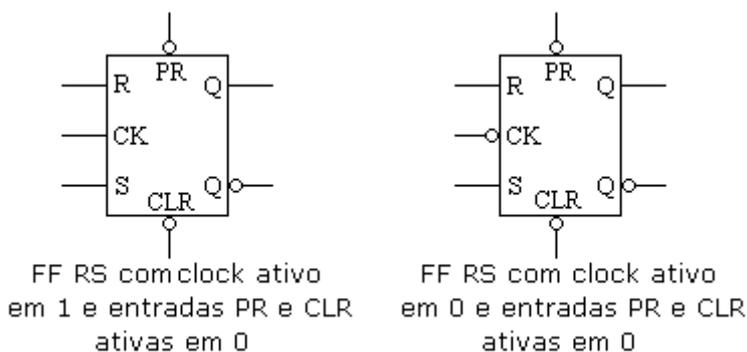


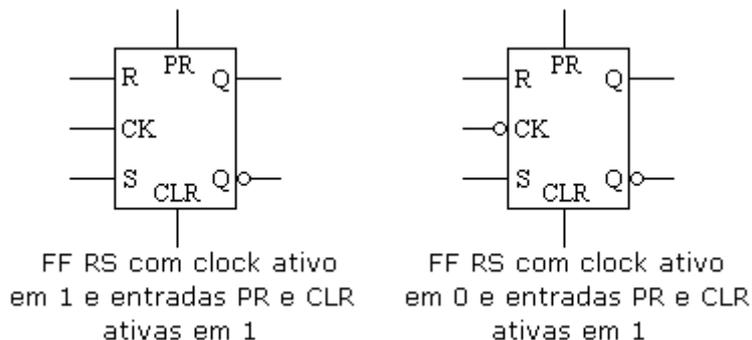
Supondo  $Q_n=1$  (estado inicial=1) podemos então listar as saídas correspondentes as entradas representadas pelos pulsos *a* até *h*.

Pulsos	R	S	$Q_{n+1}$	$Q_{n+1}'$	Modo de operação
a	0	0	1	0	Hold
b	1	1	ind	ind	Proibido
c	0	0	1	0	Hold
d	1	1	ind	ind	Proibido
e	0	0	1	0	Hold
f	1	0	0	1	Reset
g	0	1	1	0	Set
h	1	0	0	1	Reset

## ENTRADAS ASSÍNCRONAS – PR e CLR

Veja a seguir as representações possíveis de um FF RS com entradas PR e CLR.



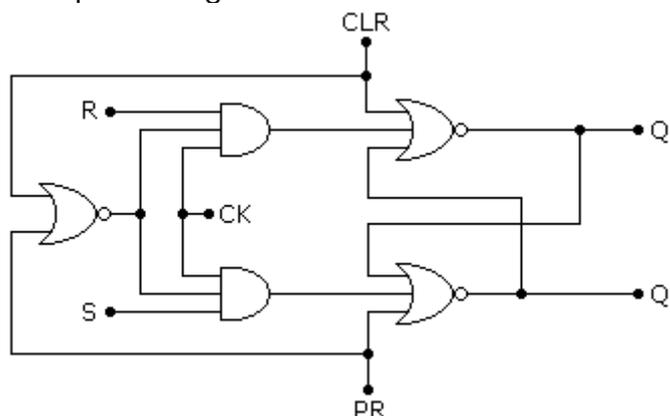


Lembrar que: clock ativo ou sensível em 0 significa a transição negativa do pulso de clock (ou seja, H-L - descida); clock ativo ou sensível em 1 significa a transição positiva do pulso de clock (ou seja L-H – subida). Podemos dizer ainda que, a transição L-H representa a borda positiva do pulso de clock enquanto, a transição H-L representa a borda negativa.

As entradas PR e CLR são sensíveis em nível ( 0 ou 1 ).

Por convenção temos: H=high, que significa nível lógico 1 (alto) enquanto L=low, significa nível lógico 0 (baixo).

Analisemos o funcionamento das entradas assíncronas PR e CLR através de um FF RS implementado com portas lógicas.



No circuito em análise o clock é ativado na borda positiva, ou seja, na transição L-H (subida do pulso).

As entradas PR e CLR são ativas em 1. Portanto, para que o FF funcione normalmente ambas devem estar em nível lógico 0.

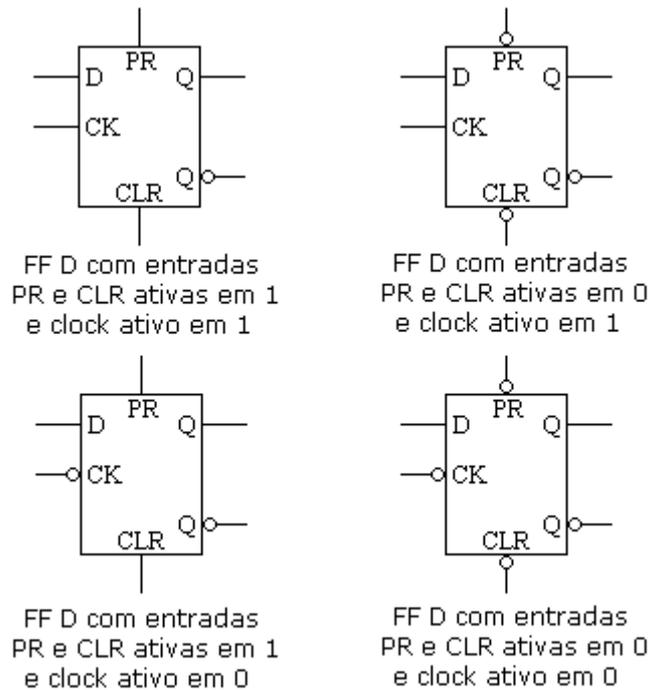
PR	CLR	CK	R	S	$Q_{n+1}$	$Q_{n+1}'$	Modo de operação
0	1	X	X	X	0	1	Reset
1	0	X	X	X	1	0	Set
1	1	X	X	X	0	0	Proibido
0	0	↓	X	X	$Q_n$	$Q_n'$	FF não responde <sup>1</sup>
0	0	↑	0	0	$Q_n$	$Q_n'$	Hold
0	0	↑	0	1	1	0	Set
0	0	↑	1	0	0	1	Reset
0	0	↑	1	1	0	0	Proibido

<sup>1</sup> Neste caso o FF não responde, pois seu clock é ativo somente na subida do pulso.

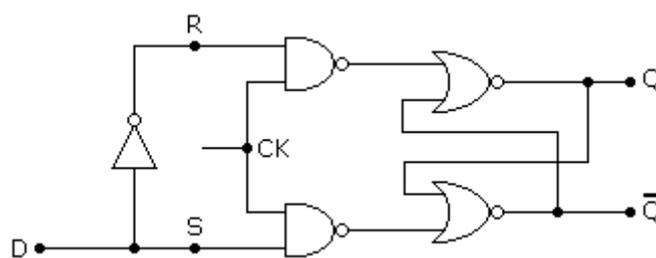
X = don't care (pouco importa) ou seja, quando as entradas PR e CLR comandam o FF as demais entradas, no caso R, S e CK não atuam no FF, podendo estar em nível lógico 0 ou 1.

## Análise de um FF tipo D com entradas PR e CLR

O processo de análise é idêntico ao visto anteriormente.



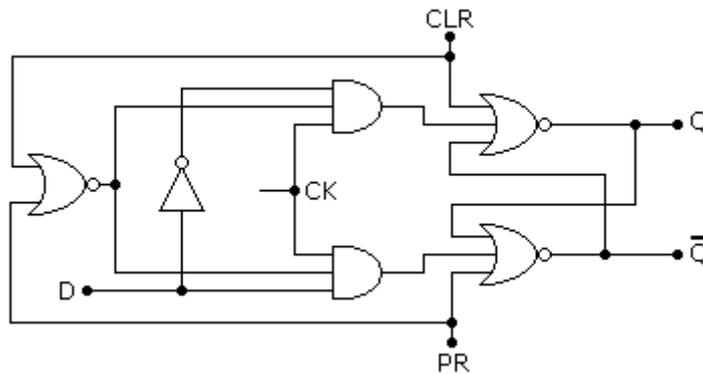
O FF D em relação ao FF RS tem a vantagem de eliminar o estado proibido, visto que as entradas R e S são interligadas através de um inversor, conforme ilustra a figura a seguir.



Nestas condições:

- ➔ quando  $D=1$  teremos  $S=1$  e  $R=0$ , levando o FF ao modo SET
- ➔ quando  $D=0$  teremos  $S=0$  e  $R=1$ , levando o FF ao modo RESET
- ➔ conclui-se também que no mesmo não ocorre o modo de operação HOLD

O circuito a seguir mostra um FF D com entradas PR e CLR implementado com portas lógicas.



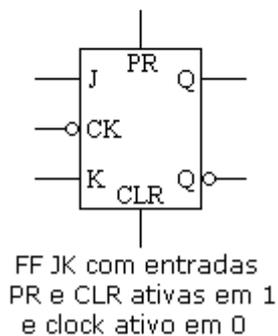
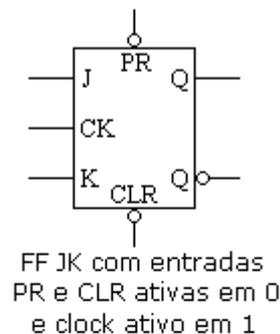
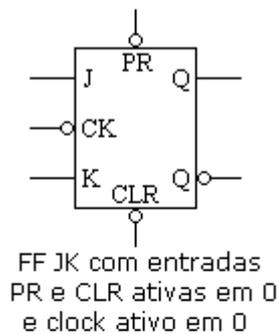
Veja como fica a tabela da verdade.

Condições: PR e CLR ativos em 1 e clock ativo na borda positiva ou transição L-H ou ainda, subida do pulso.

PR	CLR	CK	D	$Q_{n+1}$	$Q_{n+1}'$
0	1	X	X	0	1
1	0	X	X	1	0
1	1	X	X	Proibido	Proibido
0	0	↓	X	$Q_n$	$Q_n'$ <sup>2</sup>
0	0	↑	0	0	1
0	0	↑	1	1	0

O FF D somente assume o estado proibido quando possuir as entradas PR e CLR, conforme se pode observar na tabela acima.

### Análise de um FF tipo JK com entradas PR e CLR



O FF JK é um dos mais utilizados, não possuindo estado proibido.

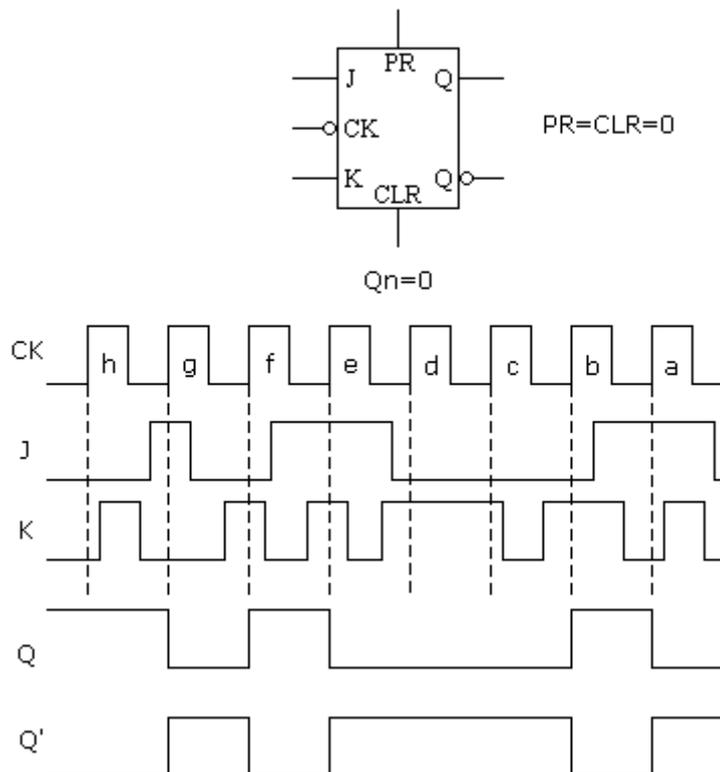
<sup>2</sup> Neste caso o FF não responderá, pois seu clock é ativo somente na subida do pulso

Veja a seguir o modo de operação do mesmo em função das suas entradas.

J	K	Q	Q'	Modo de operação
0	0	0	0	Hold
0	1	0	1	Reset
1	0	1	0	Set
1	1	0	1	Toggle

A novidade nesse FF é que o modo de operação Toggle, que ocorre quando  $J=K=1$ , complementa as saídas imediatamente anteriores.

Façamos uma análise das formas de onda na saída de um FF JK e sua correspondência com as entradas, representadas por pulsos de *a* até *h*.



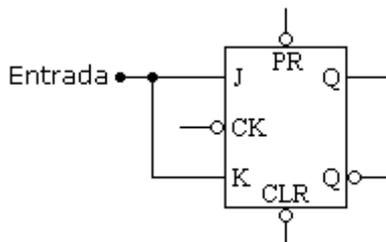
O clock do FF em questão é sensível à borda negativa, ou seja, transição H-L. Teremos então os modos de operação:

- Pulso a:  $J=1, K=0 \rightarrow$  set
- Pulso b:  $J=0, K=1 \rightarrow$  reset
- Pulso c:  $J=0, K=1 \rightarrow$  reset
- Pulso d:  $J=0, K=1 \rightarrow$  reset
- Pulso e:  $J=1, K=1 \rightarrow$  toggle
- Pulso f:  $J=0, K=1 \rightarrow$  reset
- Pulso g:  $J=1, K=0 \rightarrow$  set
- Pulso h:  $J=0, K=0 \rightarrow$  hold

## FF tipo T

O FF tipo T é obtido a partir de um FF JK, onde as entradas J e K são interligadas.

Neste tipo de FF somente existem os modos de operação HOLD e TOGGLE, porquanto, as entradas J e K somente serão submetidas ao nível lógico 0 e nível lógico 1.

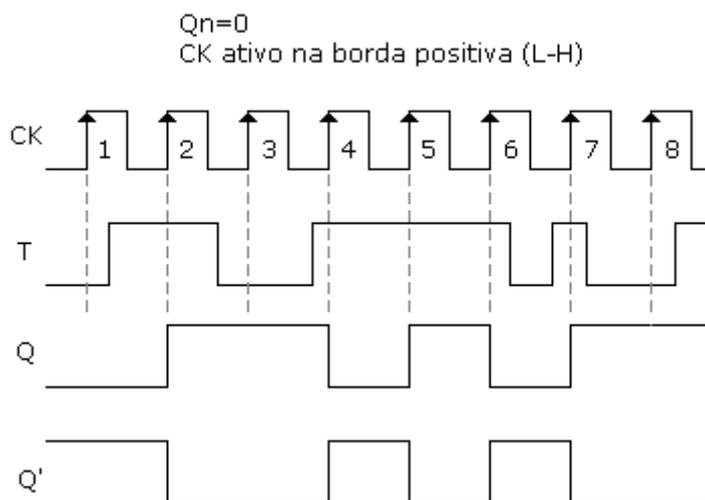


ENTRADAS			SAÍDAS
J	K	T	
0	0	0	$Q_n$
0	1	-	Não existe
1	0	-	Não existe
1	1	1	$Q_n'$

Resumidamente teremos a tabela a seguir, supondo  $Q_n=0$

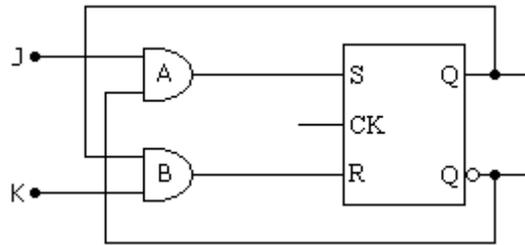
T	$Q_{n+1}$	$Q_{n+1}'$
0	0	1
1	1	0

### ANÁLISE DAS FORMAS DE ONDA NAS SAÍDAS DE UM FF tipo T PARA 9 PULSOS DE CLOCK



### FF JK COM ENTRADAS PR e CLR

Um FF JK pode ser implementado a partir de um FF RS, conforme mostra a figura a seguir. Por ser muito versátil, o FF JK é também conhecido como FF universal.

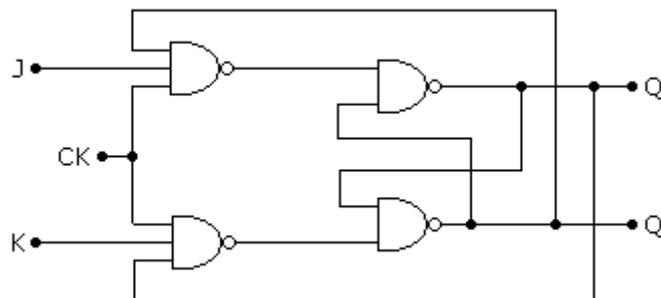


O FF JK nada mais é do que um FF RS realimentado.

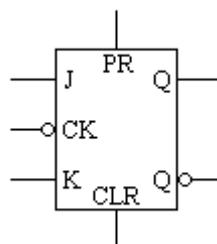
Na saída da porta AND "A" temos:  $S = J \cdot Q'$

Na Saída da porta AND "B" temos:  $R = K \cdot Q$

Para melhor entender o funcionamento do FF JK a figura na figura a seguir temos o mesmo implementado com portas NAND.



### ANÁLISE DA TABELA DA VERDADE DE UM FF JK COM ENTRADAS PR e CLR



Entradas PR e CLR ativas em 1  
Clock sensível na descida do pulso (H-L) – borda negativa

**$Q_n = 1$  (modo set)**

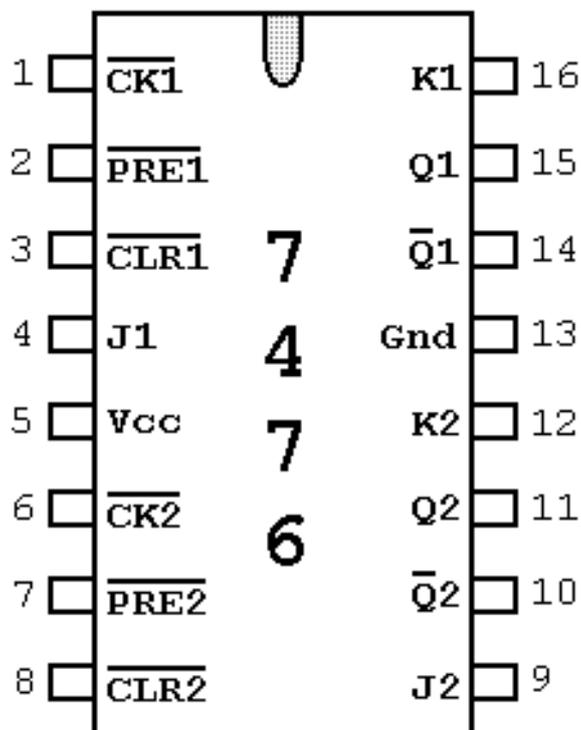
PR	CLR	J	K	CK	$Q_{n+1}$	$Q_{n+1}'$	Modo de operação
1	0	X	X	X	1	0	Set
0	1	X	X	X	0	1	Reset
1	1	X	X	X	ind	ind	Proibido
0	0	X	X	↑	$Q_n$	$Q_n'$	O FF não responde <sup>3</sup>
0	0	1	0	↓	1	0	Set
0	0	0	1	↓	0	1	Reset
0	0	1	1	↓	1	0	Toggle
0	0	0	0	↓	1	0	Hold

<sup>3</sup> O FF não responde pois é sensível apenas à descida do pulso

A tabela da verdade abaixo mostra algumas condições operacionais para o circuito integrado 74LS76 (Dual JK Flip- Flop with Set and Clear)

$Q_n = 0$  (modo reset)

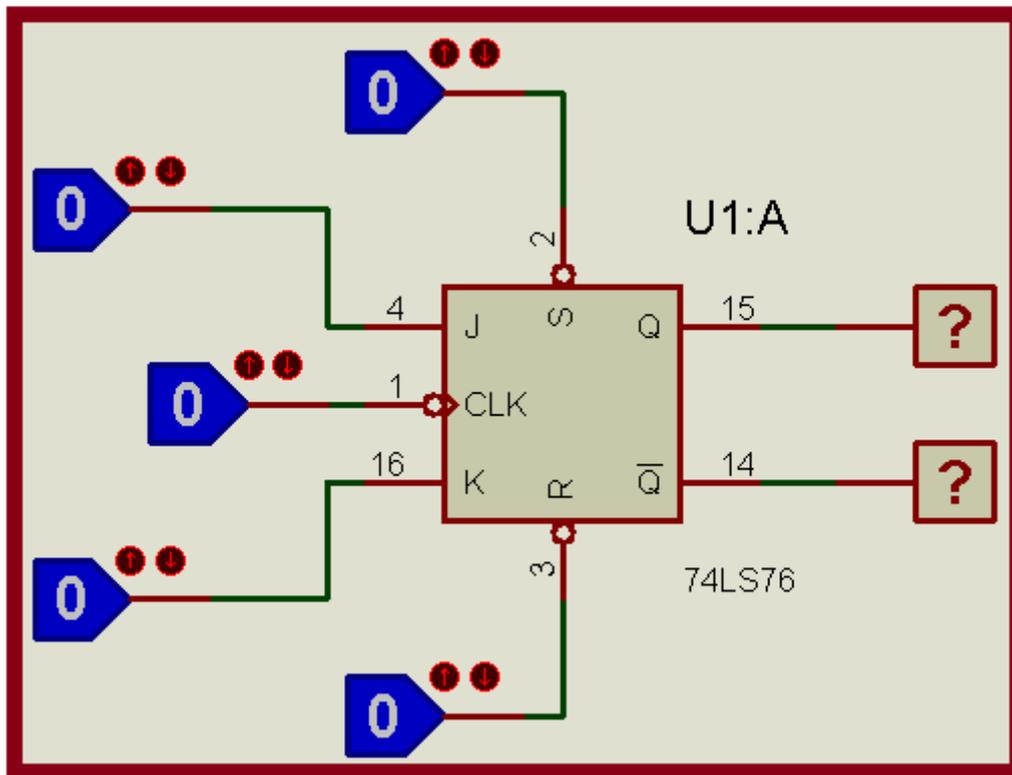
ENTRADAS					SAÍDAS		Modo de operação
PR	CLR	J	K	CK	$Q_{n+1}$	$Q_{n+1}'$	
0	0	X	X	X	IND	IND	PROIBIDO
1	1	0	0	↓	0	1	HOLD
1	1	1	0	↓	1	0	SET
1	1	0	1	↑	1	0	SEM RESPOSTA
1	1	0	1	↓	0	1	RESET
1	1	0	0	↓	0	1	HOLD
1	1	1	0	↑	0	1	SEM RESPOSTA
1	1	1	0	↓	1	0	SET
0	0	X	X	X	IND	IND	PROIBIDO
1	0	X	X	X	0	1	RESET
0	1	X	X	X	1	0	SET
1	1	1	1	↓	0	1	TOGGLE
1	1	1	1	↑	0	1	SEM RESPOSTA
1	1	1	1	↓	1	0	TOGGLE
0	1	X	X	X	1	0	SET
1	1	0	0	↑	1	0	HOLD



O FF JK é um circuito integrado comercial que possui internamente dois FFs, com as características:

**Entradas PR e CLR ativas em 0**  
**Entrada de clock sensível à borda negativa (descida do pulso)**

A simulação foi feita no software Proteus ISIS:



### QUESTÕES:

- 1 – O que são entradas assíncronas? **São entradas que se sobrepõem às demais entradas, ou seja, comandam o FF.**
- 2 – Qual é a característica mais importante do FF tipo D? **Sua característica mais importante é não possuir o modo de operação proibido.**
- 3 – Quais os modos de operação de um FF JK? **Set, Reset, Hold e Toggle**
- 4 – O que significa modo de operação TOGGLE? **Alternância ou troca dos níveis lógicos nas saídas em função dos pulsos de clock. Essa alternância ocorre na mesma frequência dos pulsos de clock aplicados à entrada.**
- 5 – O que é um FF tipo T? Qual é sua aplicação principal? **O FF tipo T opera somente nos modos Hold e Toggle, tendo como aplicação principal o chaveamento eletrônico ou comutação na saída.**
- 6 – Qual é a finalidade das entradas PR e CLR? **São entradas assíncronas que assumem o modo de operação de um FF.**
- 7 – Em que condições um FF JK pode assumir o estado proibido? **O estado proibido em um FF JK ocorre somente em função das entradas assíncronas PR e CLR.**
- 8 – Quais os modos de operação que não existem no FF tipo D? **No FF tipo D não existem os modos de operação Hold e Proibido.**

9 – Quais os modos de operação que não existem no FF tipo T? **No FF tipo T não existem os modos de operação Set e Reset, além do estado Proibido (a não ser pelas entradas assíncronas PR e CLR).**

10 – Implemente um FF do tipo T com circuito integrado comercial 74LS76, com entradas PR e CLR ativas em 1 e CK ativo em 1.

