

REGISTRADORES DE DESLOCAMENTO

O registrador de deslocamento (do inglês *Shift-Register*) é um dispositivo largamente usado em sistemas digitais, desde uma simples calculadora de bolso, teclados para introdução de códigos até teclados para computadores.

Normalmente o registrador de deslocamento é constituído de um conjunto de FFs (*Flip-Flops*) destinados a armazenar dados binários.

O registrador de deslocamento por sua vez é um dispositivo síncrono no qual os dados ou informações podem ter entrada sequencial ou paralela, permanecendo até a sua saída que poderá ser também sequencial ou paralela. *Resumindo, um registrador de deslocamento pode ter uma entrada serial ou paralela e uma saída também serial ou paralela.*

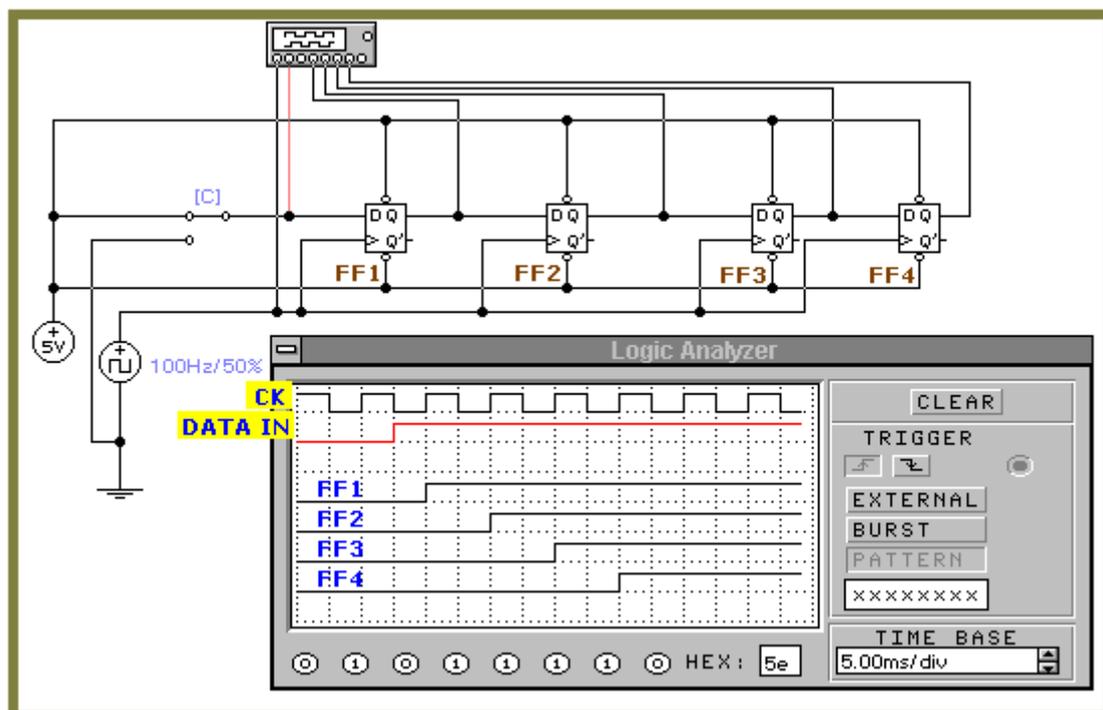
Registrador de deslocamento Entrada Série / Saída Série (ES / SS)

A figura a seguir ilustra um registrador de deslocamento (*abreviadamente SR do inglês: Shift-Register*) com 4 FFs do tipo D.

Nesse tipo de registrador, os dados entram por um único FF, e vão estar disponíveis em uma única saída.

A ESSE CIRCUITO DENOMINAMOS REGISTRADOR DE DESLOCAMENTO COM ENTRADA SÉRIE E SAÍDA SÉRIE (ES/SS)

O número de bits determina o tamanho da palavra binária, que neste caso será de 4 bits, pois o SR possui 4 FFs.

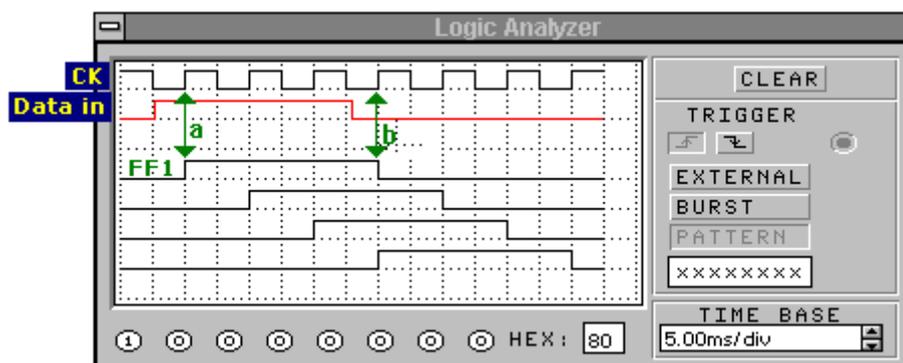


Supondo inicialmente todos os FFs resetados, ao aplicar um pulso positivo na entrada do FF1 (chave C), este irá se deslocando para o FF seguinte a cada pulso de clock, até que esse pulso esteja disponível na saída do FF4.

O pulso aplicado na entrada estará disponível na saída (FF4) após o quarto pulso de clock, lembrando que a ativação do FF se dá na transição positiva do pulso de clock, ou seja, na subida do pulso.

A velocidade de deslocamento da entrada para a saída é determinada pela frequência do pulso de clock, que no exemplo é de 100Hz, com transição positiva. As entradas PR e CLR devem ser mantidas em nível lógico 1.

Para melhor entender, vamos analisar na figura abaixo o deslocamento de um pulso aplicado à entrada C. Faremos a análise apenas no FF1, pois nos demais FFs a forma de análise é idêntica.



No momento "a" temos o pulso de clock e a entrada de dados "Data in", com nível lógico igual a 1 (NL 1).

Observe que o FF1 somente vai responder quando a transição do pulso de clock ocorrer na subida, embora o pulso de nível lógico em Data in tenha ocorrido antes.

No momento "b" temos o pulso de clock e a entrada de dados "Data in", com nível lógico igual a 0 (NL 0).

A saída do FF1 será levada a zero somente quando ocorrer a transição positiva, ou seja, subida do pulso de clock.

A tabela abaixo mostra o deslocamento da entrada de nível lógico 1 introduzida em "Data in".

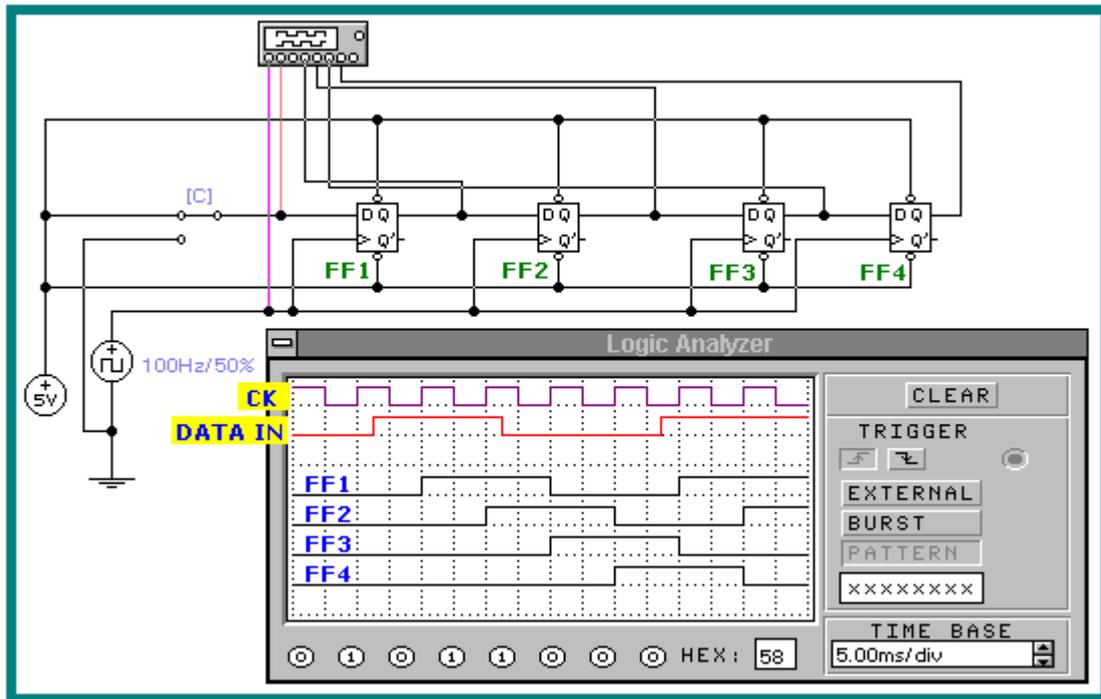
Pulsos	FF1	FF2	FF3	FF4
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1

Analisando a tabela acima, verificamos que o pulso aplicado à entrada se desloca para a direita, com a mesma velocidade da frequência dos pulsos de clock.

Registrador de deslocamento Entrada Série / Saída Paralela

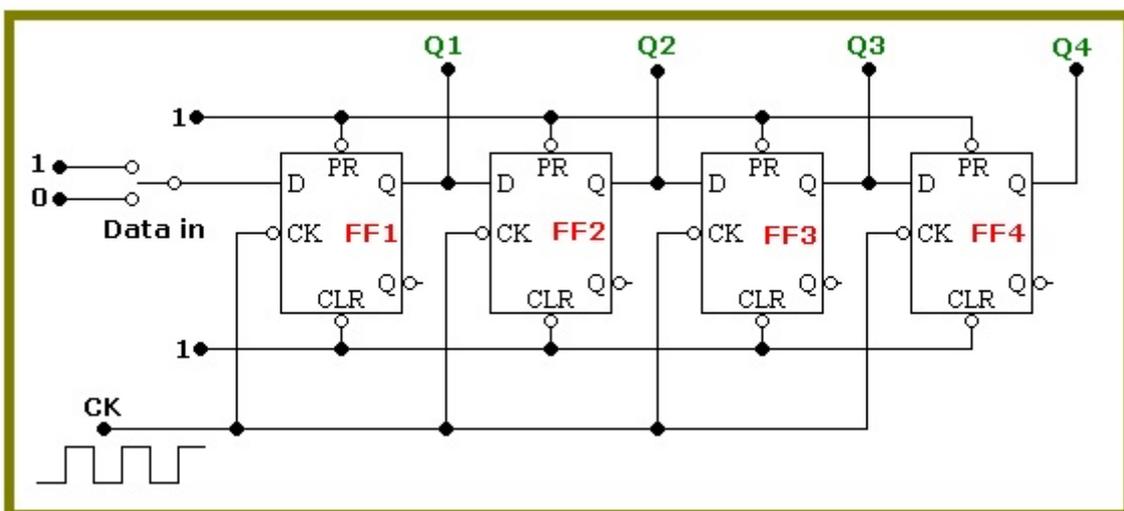
Neste SR a entrada dos dados é serial, ou seja, os dados são introduzidos em série e disponibilizados simultaneamente na saída de cada um dos FFs.

Esse circuito é conhecido também como *conversor série-paralelo*.



Observando o comportamento dos FFs, verificamos que os mesmos são responsivos somente quando ocorre a subida do pulso de clock.

A figura a seguir ilustra um Shift-Register do tipo ES / SP.



Os FFs são ativados na descida do pulso de clock, ou seja, na transição negativa.

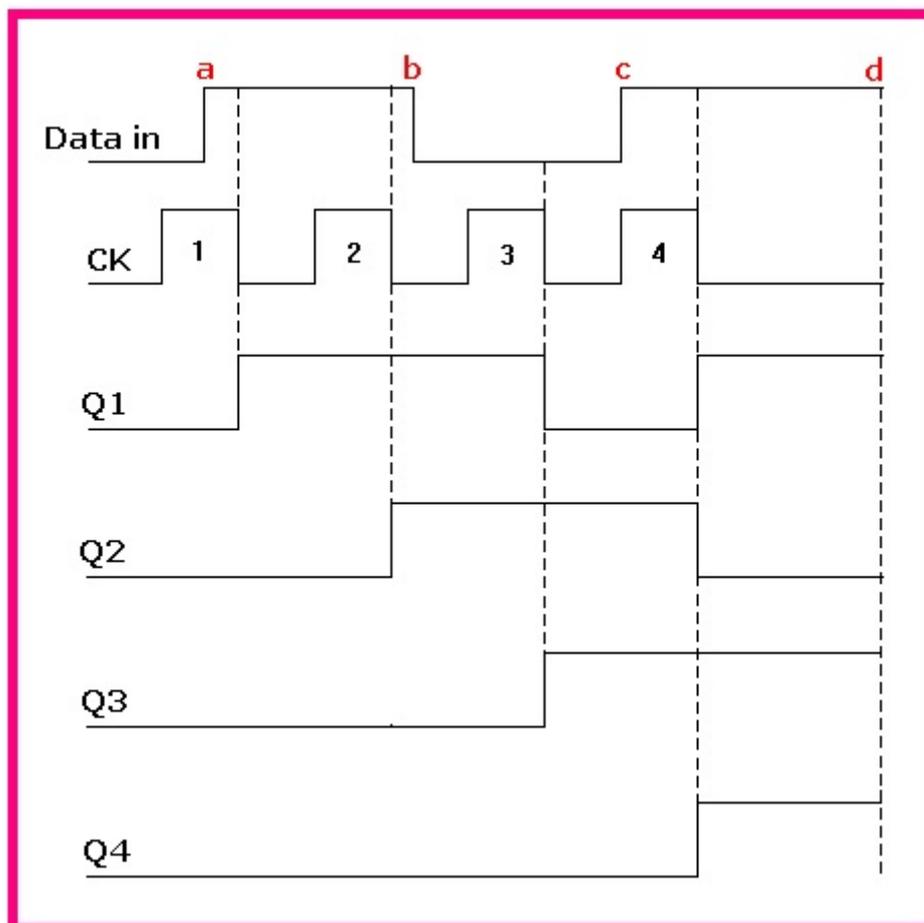
As entradas PR e CLR devem ser mantidas em NL 1, liberando os FFs.

A tabela abaixo mostra a sequência dos pulsos de clock a entrada de dados e as saídas disponibilizadas em cada FF, supondo uma entrada de dados de 1101. Após o pulso de clock 4, a entrada 1011 fica disponibilizada nas saídas Q1, Q2, Q3 e Q4 dos FFs.

	Data in	Clock	Q1	Q2	Q3	Q4
LSB →	1	1	1	0	0	0
	1	2	1	1	0	0
	0	3	0	1	1	0
MSB →	1	4	1	0	1	1

↑ MSB
↑ LSB

Para melhor entender o funcionamento vamos analisar as formas de ondas correspondentes a entrada, CK e saída dos FFs.



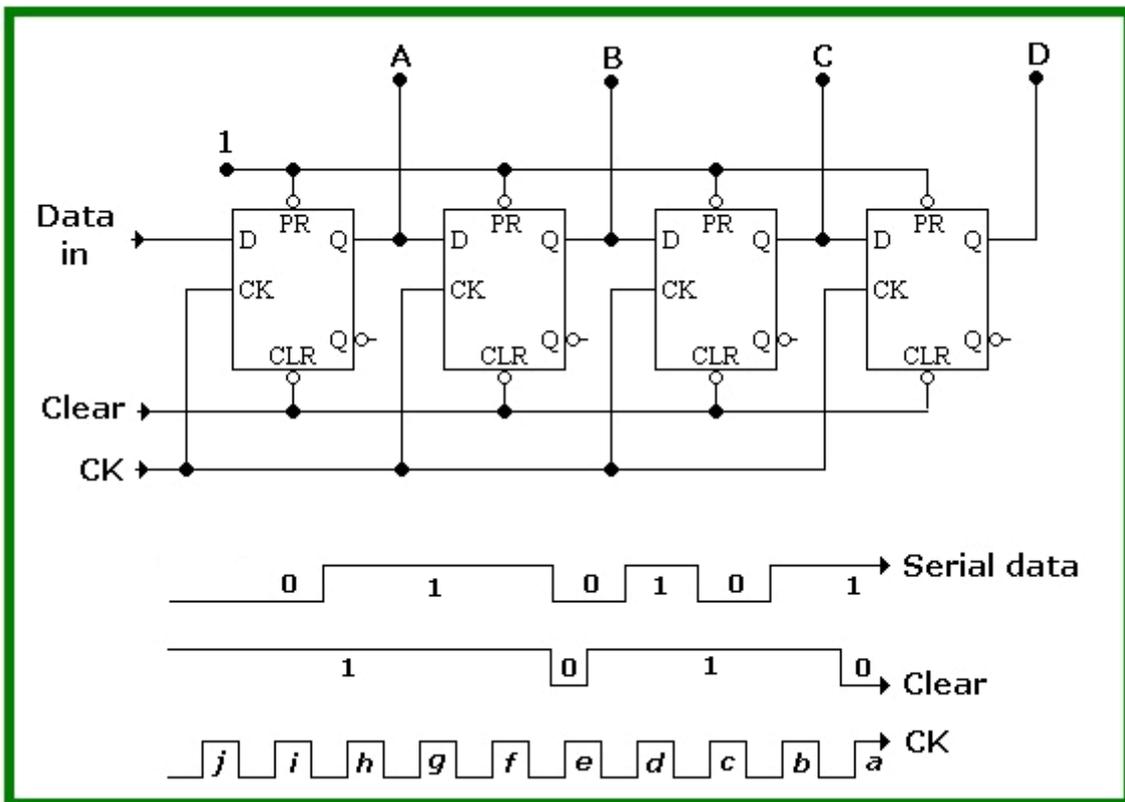
1. Vamos considerar o estado inicial de todos os FFs igual a 0.
2. Nos instantes "a" até "b" o circuito é carregado com 1.
3. Nos instantes "b" até "c" o circuito é carregado com 0.
4. Nos instantes "c" até "d" o circuito é carregado com 1.

Desta forma, o carregamento é feito em série, mas, temos nas saídas os dados em paralelo.

Então, para deslocar um pulso da entrada para a saída são necessários 4 pulsos de clock, e o deslocamento ocorre à direita.

Exercício resolvido 1:

Listar os estados de saída do registrador mostrado na figura abaixo, a partir do pulso de clock "a".



Solução:

Observe que as entradas PR e CLR são ativas em zero, portanto, para liberar os FFs é preciso que as entradas PR e CLR estejam em NL = 1.

Neste caso, para que ocorra o zeramento (limpeza) dos FFs, devemos ter a condição em que: PR = 1 e CLR = 0.

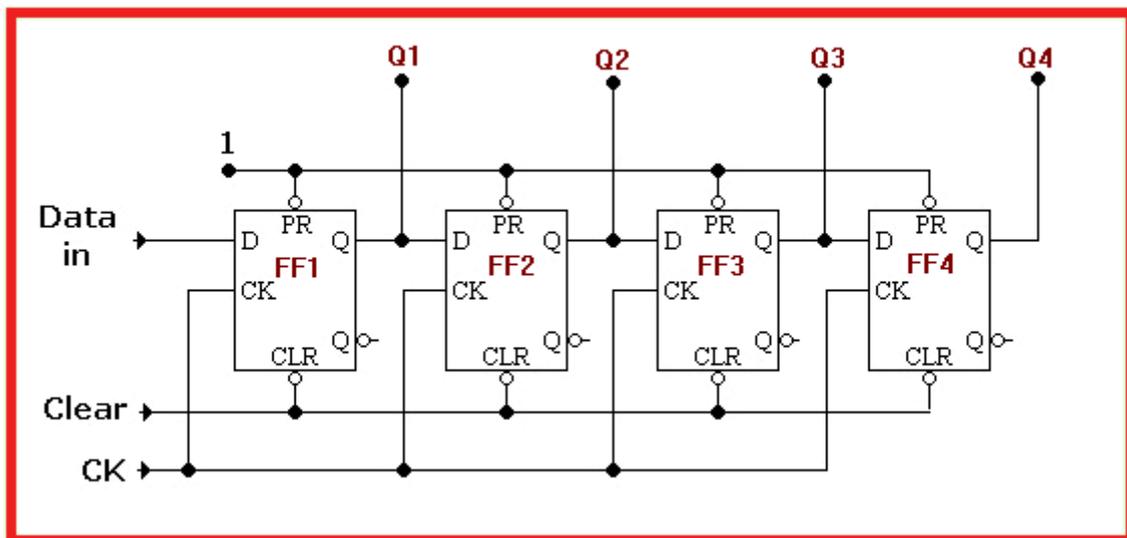
Essa limpeza já ocorre no primeiro pulso de CK, onde PR = 1 e CLR = 0.

É importante observar também que os FFs são ativados na subida do pulso de clock, ou seja, transição positiva ou L-H.

Pulsos	Saída binária	Comentários
a	0000	Modo limpar foi acionado, pois na entrada CLR temos NL = 0 enquanto que em PR temos NL = 1.
b	1000	A subida do pulso de clock encontra NL = 1 na entrada <i>Data in</i> .
c	0100	A subida do pulso de clock encontra NL = 0 na entrada <i>Data in</i> , fazendo que os bits sejam movidos à direita.
d	1010	A subida do pulso de clock encontra NL = 1 na entrada <i>Data in</i> , deslocando os bits à direita.
e	0000	Entra em ação o modo limpar (CLR) serando as saídas.
f	1000	A subida do pulso de clock encontra NL = 1 na entrada <i>Data in</i> , deslocando os bits à direita.
g	1100	A subida do pulso de clock encontra NL = 1 na entrada <i>Data in</i> , deslocando os bits à direita.
h	1110	A subida do pulso de clock encontra NL = 1 na entrada <i>Data in</i> , deslocando os bits à direita.
i	0111	A subida do pulso de clock encontra NL = 0 na entrada <i>Data in</i> , deslocando os bits à direita.
j	0011	A subida do pulso de clock encontra NL = 0 na entrada <i>Data in</i> , deslocando os bits à direita.

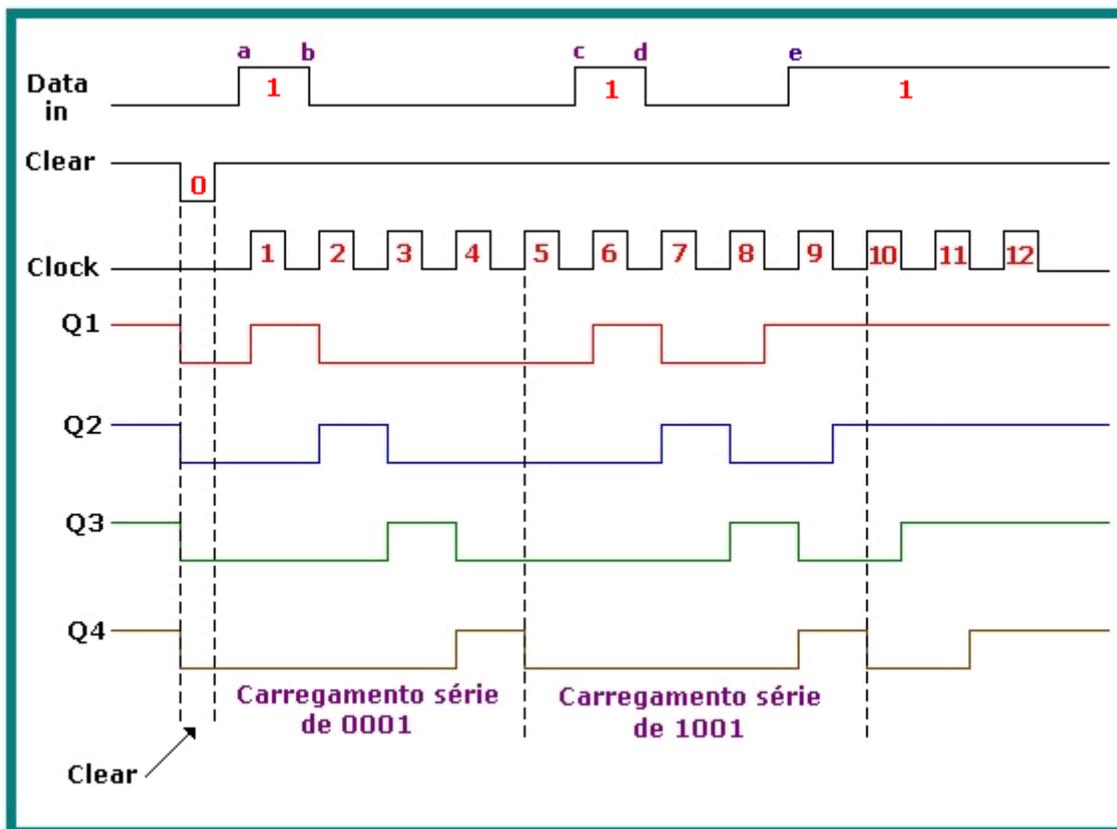
Exercício resolvido 2:

Para o mesmo circuito, vamos analisar as formas de onda dos FFs em relação às entradas CK, Data in e CLR.

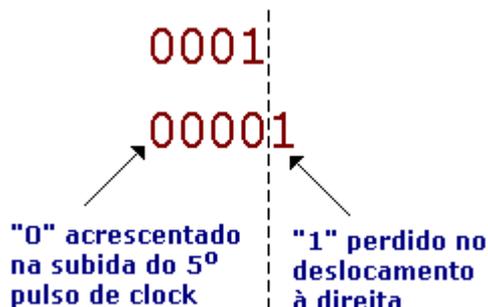


Como vimos anteriormente os FFs são ativos na transição positiva ou subida do pulso de clock.

Com as entradas PR e CLR ativas em zero, é preciso que as mesmas sejam levadas a NL = 1, para liberar os FFs.



1. Em "a" todos os FFs são zerados pela ação do comando "clear".
2. Em "a-b", "c-d" e a partir de "e" a entrada *Data in* é igual a NL 1.
3. O carregamento em série começa a partir do pulso de clock 1. Observe que na subida do pulso a entrada *Data in* está em NL 1 carregando o FF1.
4. Os pulsos 1, 3 e 4 transferem essa informação para os demais FFs, completando assim um carregamento em série igual a 0001.
5. O pulso 5 do clock acrescenta mais um zero à esquerda, fazendo com que o registrador desloque 1 bit à direita perdendo então a informação anterior e o registrador terá a saída 0000.



6. A partir do pulso de clock 6 a entrada *Data in* receberá NL 1 e nos pulsos de clock 7 e 8 *Data in* estará em NL 0, voltando a ficar em NL 1 somente a partir do pulso de clock 9. Com isto será completado o carregamento 1001.

7. A partir do pulso de clock 10 *Data in* estará em NL 1 e depois de decorridos os 4 pulsos de clock a registrador estará indicando um carregamento igual a 1111.

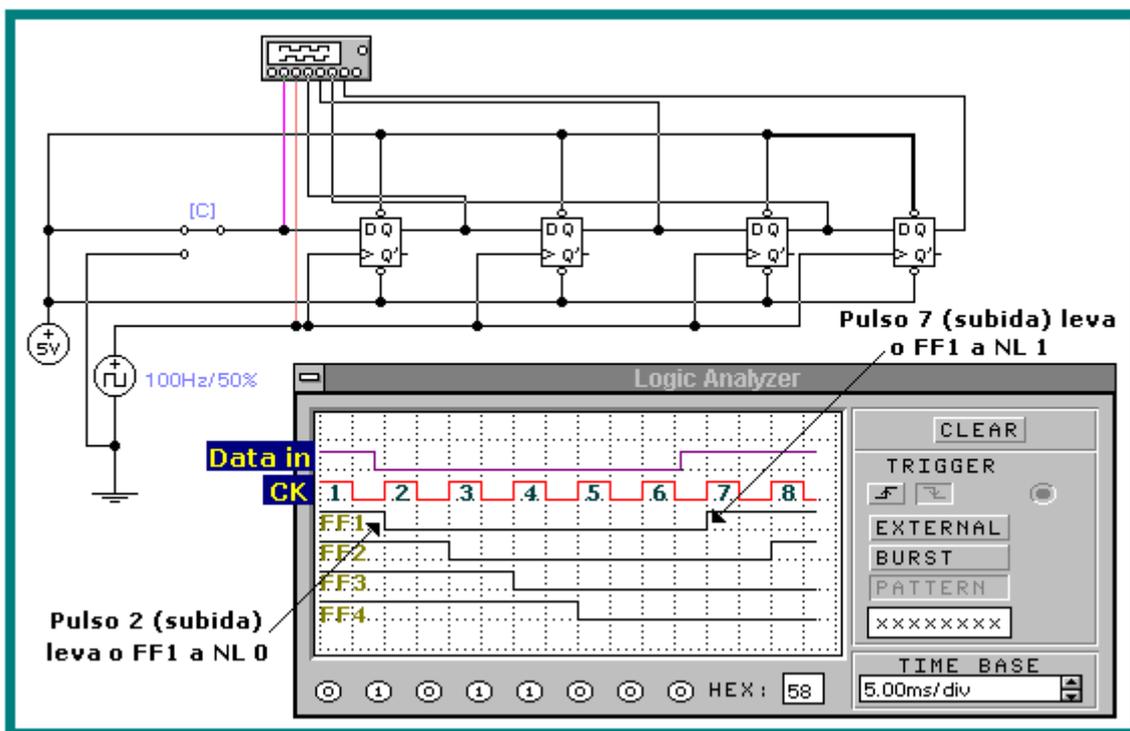
Exercício resolvido 3:

1. No circuito abaixo, quais as condições na saída do FF1 após o pulso de clock 1 e 7?
2. Como devem ser ativadas as entradas PRL e CLR para que o FF opere normalmente?
3. Como devem ser ativados os FFs quando aos pulsos de clock?

Solução:

Trata-se de um SR com FFs tipo D com entradas PR e CLR ativas em 0, com ativação por subida do pulso de clock (borda positiva).

Logo, para liberar esses FFs é preciso que as entradas PR e CLR estejam em NL 1 e somente responderão na subida do pulso de clock.



A entrada *Data in* inicia com NL 1.

O FF será responsivo no pulso de clock 2, quando na sua transição L-H (subida) encontrará NL 0 em *Data in*.

A entrada 0 em *Data in* vai sendo deslocada à direita a cada pulso de clock, até o pulso 6.

A partir do pulso de clock 7 o nível lógico (NL) em *Data in* é igual a 1.

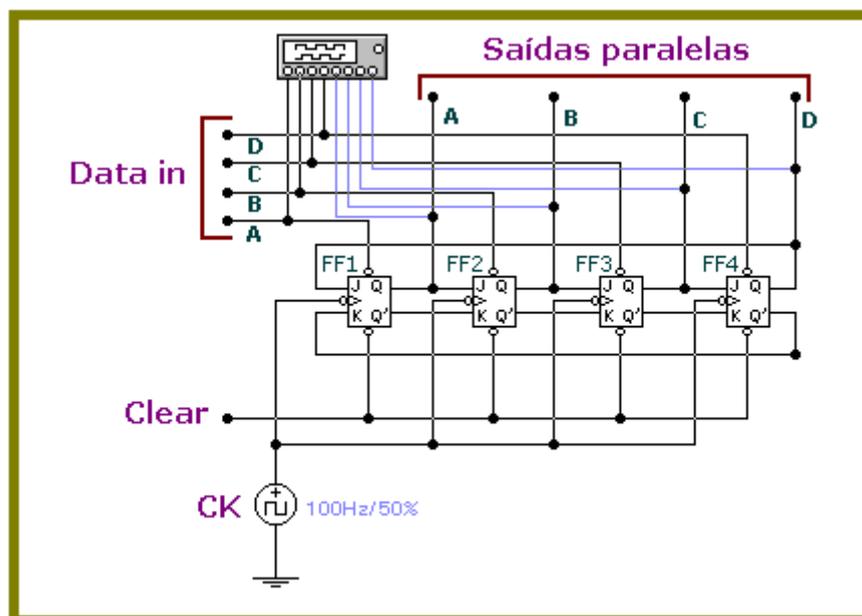
A partir daí esse nível lógico 1 vai se deslocando à direita com a ocorrência dos pulsos de clock.

Registrador de deslocamento Entrada Paralela / Saída Paralela

Uma desvantagem do SR (*Shift-Register - registrador de deslocamento*) com carga em série é que são necessários alguns pulsos de clock para carregar a unidade, podendo esse número ser elevado, dependendo do tamanho da palavra binária.

Um SR com carga de dados em paralelo carrega todos os bits de informação imediatamente.

A figura a seguir ilustra um SR com carga em paralelo (ou entrada de dados *Data in* em paralelo) e saídas em paralelo.



O circuito acima é um típico SR com EP / SP, com recirculação de dados, ou seja, os dados introduzidos na entrada não serão perdidos na saída do registrador.

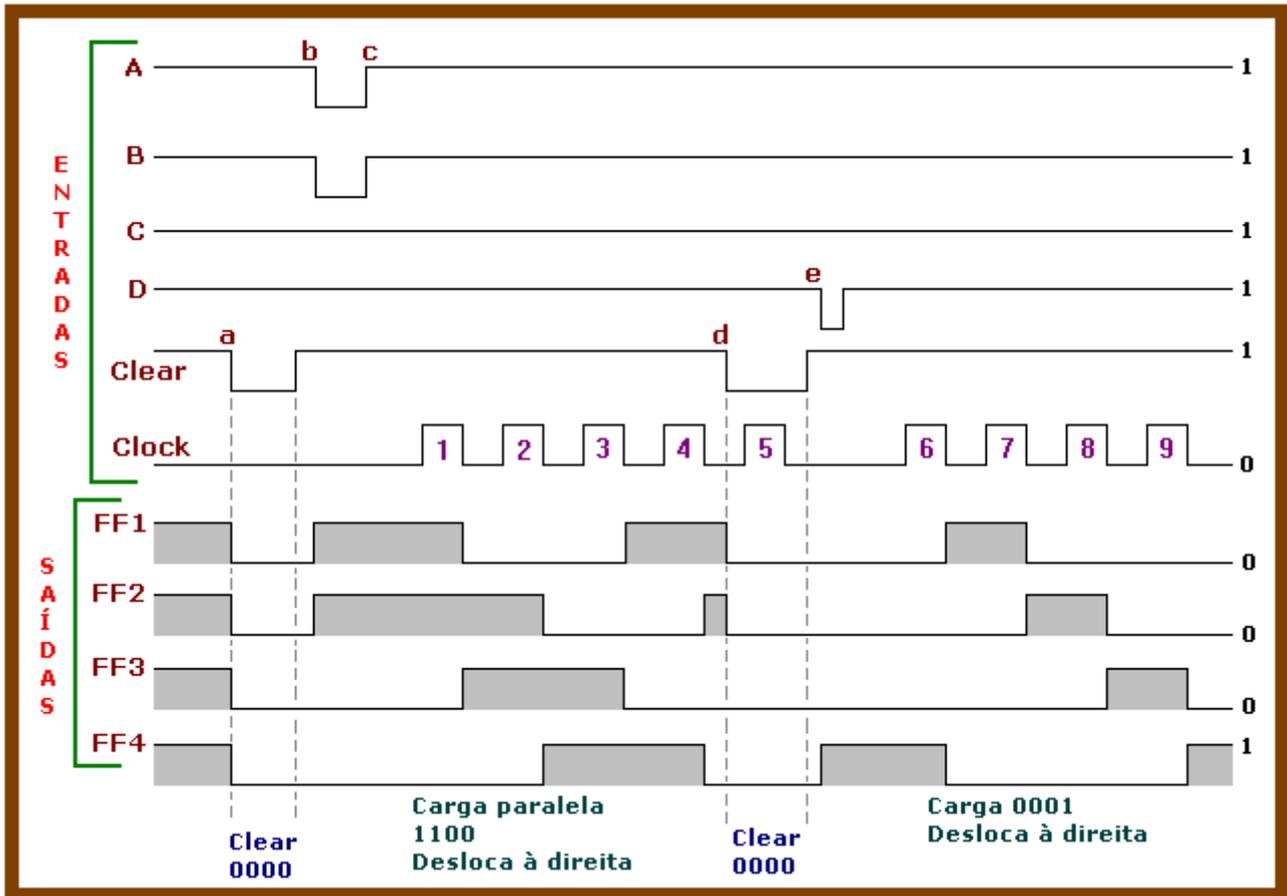
O circuito é formado por 4 FFs do tipo JK, com ativação na descida do pulso de clock e as entradas assíncronas PR e CLR são ativas em 0.

Se introduzirmos nas entradas a informação binária 1010, por exemplo, elas permanecerão no registrador, devido a recirculação de dados, até o acionamento da entrada CLR, que fará a limpeza dos dados do registrador para posterior recarregamento.

Por ser formado por 4 FFs, o tamanho da palavra é de 4 bits.

Observe as duas linhas de realimentação das saídas Q e Q' do FF4 que retornam à entrada do FF1, as quais são denominadas linhas de circulação de dados, que salvam os dados que normalmente seriam perdidos fora da extremidade direita do registrador, conforme já explicado anteriormente.

Analisemos então um diagrama de temporização desse registrador de deslocamento, com deslocamento à direita e recirculação de dados.

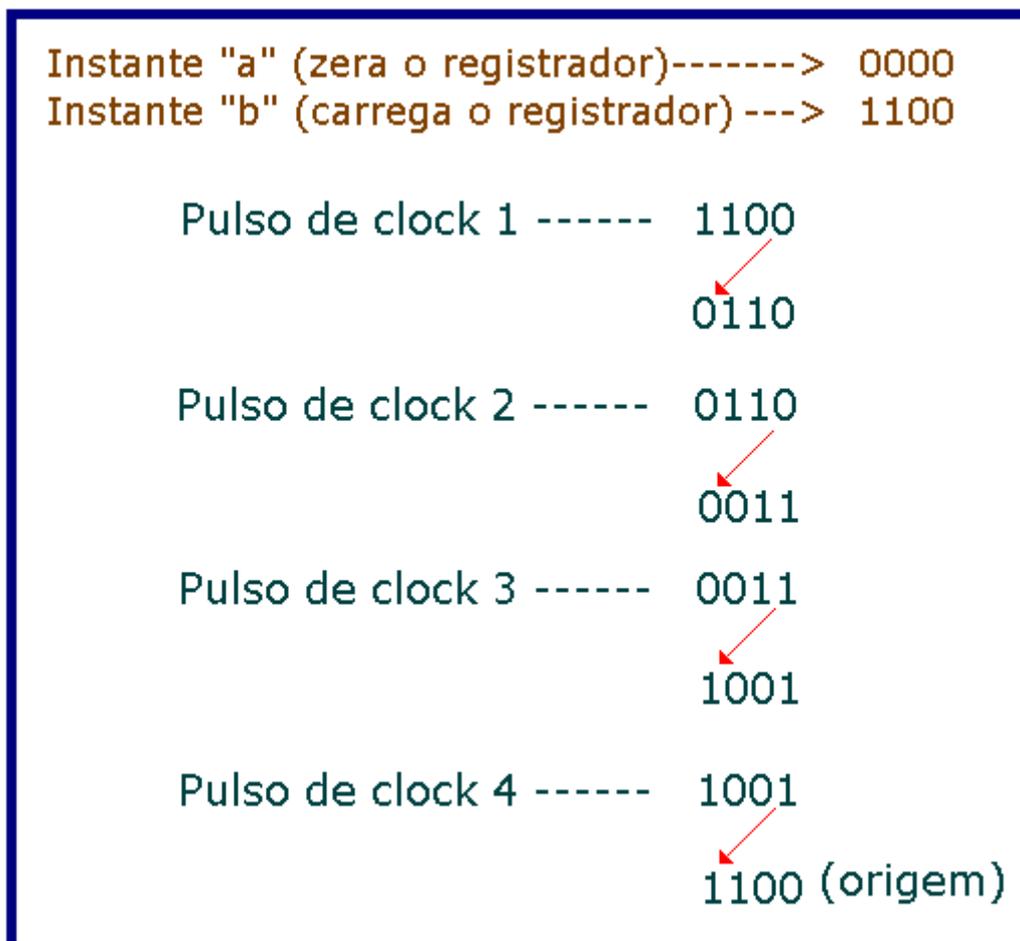


1. Antes do ponto "a" as saídas são 1111, sendo reajustadas imediatamente para 0000 pela ação da entrada clear (CLR).
2. No ponto "b" as entradas A e B de dados em paralelo estão ativadas e, como essas entradas são assíncronas, imediatamente as saídas do FF1 e FF2 são levadas imediatamente a NL 1, carregando o registrador com 1100.
3. Na transição negativa do pulso de clock 1 os dois 1s (uns) se deslocam uma posição à direita, indicando então o registrador: 0110.
4. Outro deslocamento à direita ocorre na transição negativa do pulso de clock 2, resultando nas saídas do registrador: 0011.
5. Consideremos agora o pulso de clock 3, onde a saída antes desse pulso era 0011 e na transição negativa desse pulso ocorre um deslocamento à direita. O "1" que seria perdido na saída do FF4, retorna pela recirculação de dados ao FF1, e desta maneira o registrador indicará: 1001 após a transição negativa do pulso de clock 3.
6. Analogamente o pulso 4 do clock na sua transição negativa desloca uma posição à direita e o "1" (antes do pulso 4 = 1001) que seria perdido na saída do FF4 também retorna ao FF1 e desta forma o registrador indicará: 1100, que é exatamente o que foi carregado no registrador antes do pulso de clock 1.

7. Conclui-se então que para retornar à sua posição original (carregamento) foram necessários 4 pulsos de clock para a recirculação dos dados.
8. No ponto "d" ocorre a limpeza (CLR) de todos os FFs, ajustando a saída do registrador para: 0000.
9. O pulso de clock 5 não tem nenhum efeito, pois ainda prevalece a entrada assíncrona CLR, que se sobrepõe ao pulso de clock.
10. No ponto "e" a entrada D da entrada de dados é ativada por um período de tempo muito curto, carregando então o registrador com: 0001.
11. O pulso de clock 6, na sua transição negativa recircula o "1" na saída do FF4 para a entrada do FF1, fazendo com que o registrador indique: 1000.
12. Os pulsos de clock 7, 8 e 9 deslocam o único "1" três casas à direita. Assim, após 4 pulsos de clock (6 a 9) os dados na saída do registrador são os mesmos originais, ou seja: 0001.

Veja abaixo um resumo do que ocorre nos instantes "a" e "b" e na ocorrência de 4 pulsos de clock.

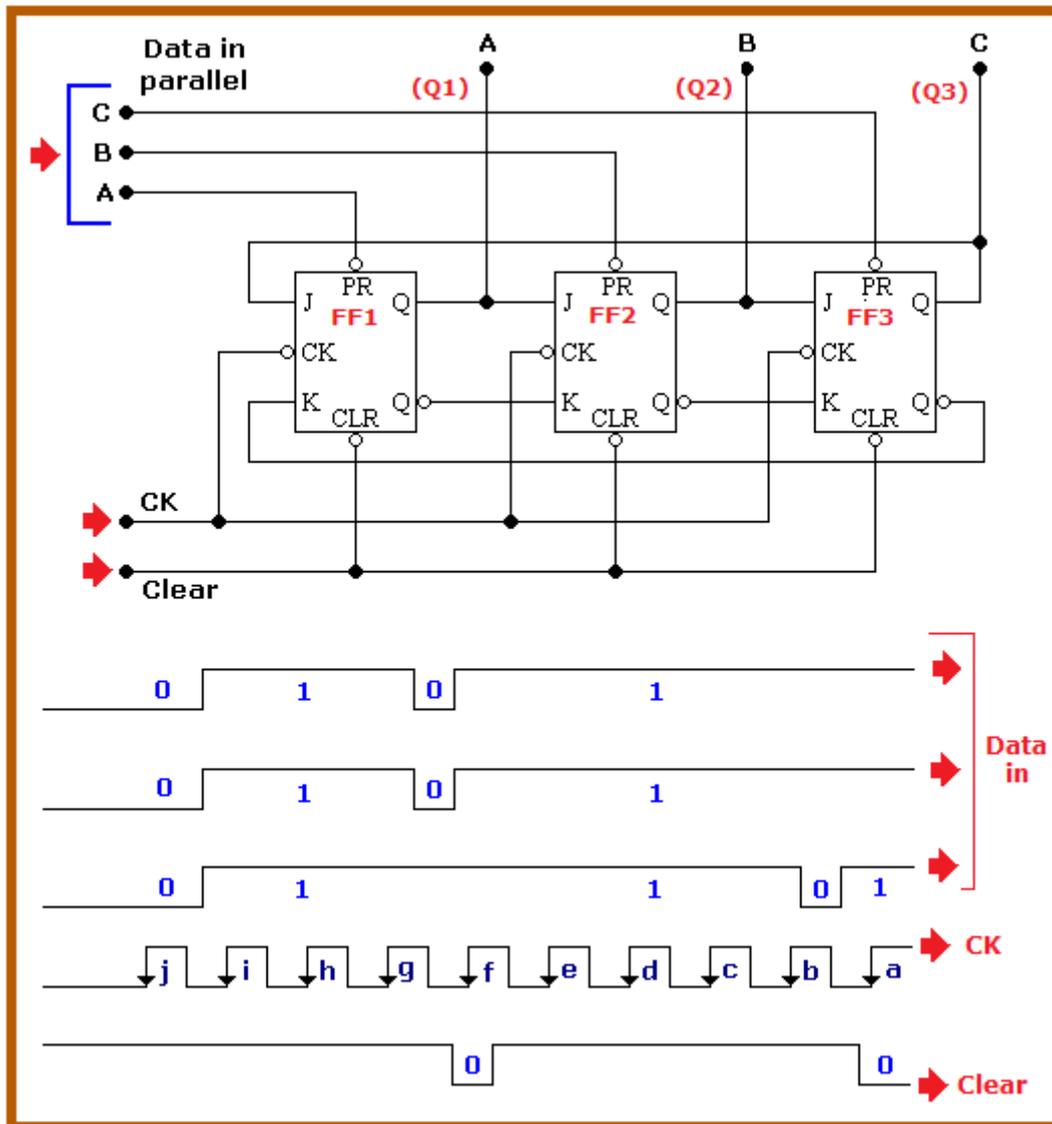
A partir de instante "d" a forma de análise é análoga.



Exercício resolvido:

Para entender melhor o funcionamento de um SR EP / SP, vamos analisar um registrador de 3 bits, com recirculação de dados.

O circuito é composto por 3 FFs do tipo JK, com ativação por descida do pulso de clock e com as entradas PR e CLR ativas em 0, conforme circuito a seguir.



Listar os estados das saídas do registrador após a ocorrência dos pulsos de clock de "a" até "j".

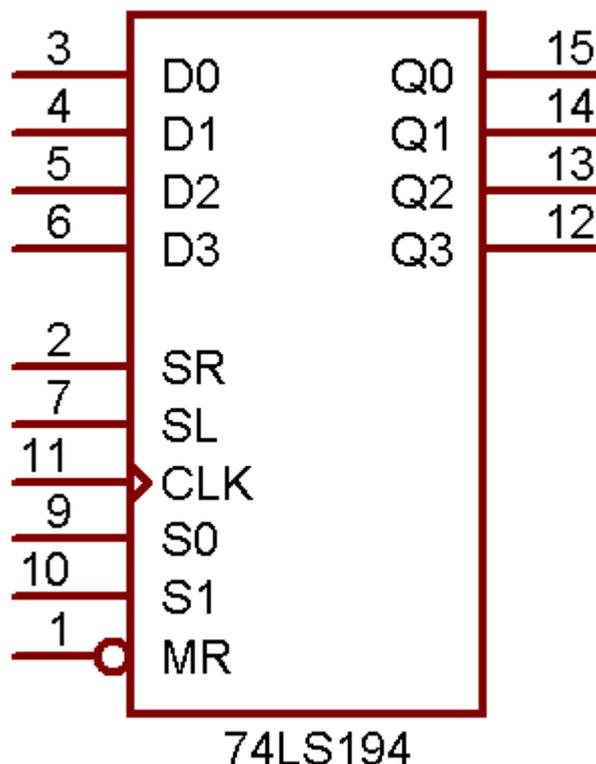
1. Pulso "a" = 000: Modo clear, reseta todos os FFs.
2. Pulso "b" = 010: O modo de carga em paralelo ajusta as saídas em 100. Após o pulso de clock ocorre o deslocamento à direita uma posição, para 010.
3. Pulso "c" = 001: Ocorre o deslocamento à direita de uma posição, de modo que o "0" em C (Q3) é recirculado e volta para A (FF1), onde teremos 001.

4. Pulso "d" = 100: O "1" em C é recirculado e volta para A, onde teremos 100.
5. Pulso "e" = 010: Ocorre o deslocamento à direita, onde teremos 010.
6. Pulso "f" = 000: A entrada CLR é acionada ajustando todos os FFs em 000.
7. Pulso "g" = 101: Temporariamente, antes da descida do pulso de clock as entradas paralelas carregam o registrador em 011. Após a transição negativa do pulso de clock ocorre o deslocamento à direita de uma posição, e o bit "1" na saída C é recirculado para a entrada A, onde teremos 101.
8. Pulso "h" = 110: Ocorre o deslocamento à direita e o "1" em C volta para A, onde teremos 110.
9. Pulso "i" = 011: Analogamente ao pulso "h" ocorre o deslocamento à direita com a recirculação do "0" para A.
10. Pulso "j" = 111: Modo de carga em paralelo onde todos os FFs assumem "1" e teremos na saída do registrador 111.

Registrador de deslocamento universal – CI comercial 74LS194)

O registrador de deslocamento universal é um registrador de 4 bits, que permite carregamento em paralelo ou em série com deslocamento de dados para a direita ou para a esquerda.

Vamos estudar o CI comercial 74LS194 (4 Bit Bidirectional Universal Shift-Register).



Pinologia:

Pinos 3, 4, 5 e 6 = carga em paralelo

Pino 2 = entrada serial de deslocamento à direita

Pino 7 = entrada serial de deslocamento à esquerda

Pino 11 = clock

Pinos 9 e 10 = controle de modo (hold, deslocamento à esquerda, deslocamento à direita e carregamento em paralelo)

Pino 1 = clear (MR = Master Reset)

Pinos 12, 13, 14 e 15 = saídas

Funções dos pinos 9 e 10 (controle de modo):

$S0 = S1 = 0 \rightarrow$ Hold (não fazer nada)

$S0 = 0, S1 = 1 \rightarrow$ deslocamento à esquerda

$S0 = 1, S1 = 0 \rightarrow$ deslocamento à direita

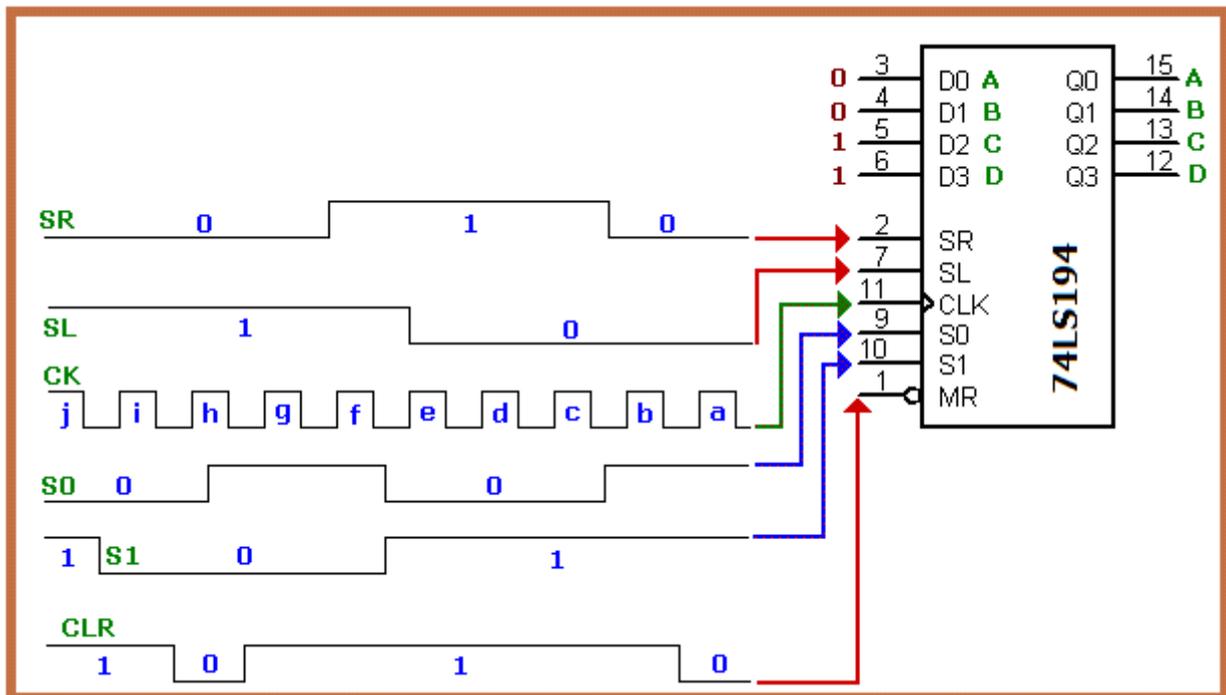
$S0 = 1, S1 = 1 \rightarrow$ carregamento paralelo

Daí podemos concluir que o CI 74LS194 possui 10 entradas e 4 saídas.

É importante observar também que esse registrador (FFs internos) são ativados na subida do pulso de clock, ou seja, transição positiva.

Exercício resolvido 1:

a) listar o modo de operação do registrador 74LS194 para cada um dos pulsos de clock, pressupondo uma carga em paralelo de 0011.

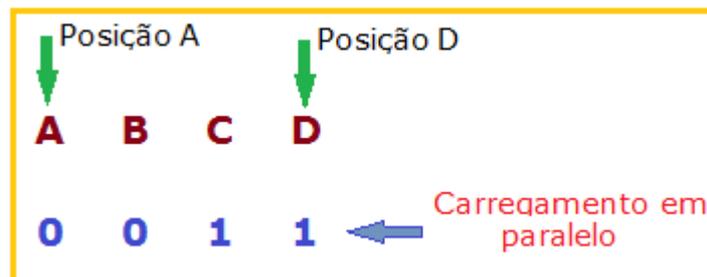


Solução:

- Pulso "a" = reset ou limpar
- Pulso "b" = carregar em paralelo
- Pulso "c" = deslocamento à esquerda (shift-left)
- Pulso "d" = deslocamento à esquerda (shift-left)
- Pulso "e" = deslocamento à esquerda (shift-left)
- Pulso "f" = deslocamento à direita (shift-right)
- Pulso "g" = deslocamento à direita (shift-right)
- Pulso "h" = reset ou limpar
- Pulso "i" = manter (hold) ou, não fazer nada
- Pulso "j" = deslocamento à esquerda (shift-left)

b) para o mesmo CI, listar as condições das saídas para cada pulso de clock, supondo um carregamento em paralelo igual a 0011.

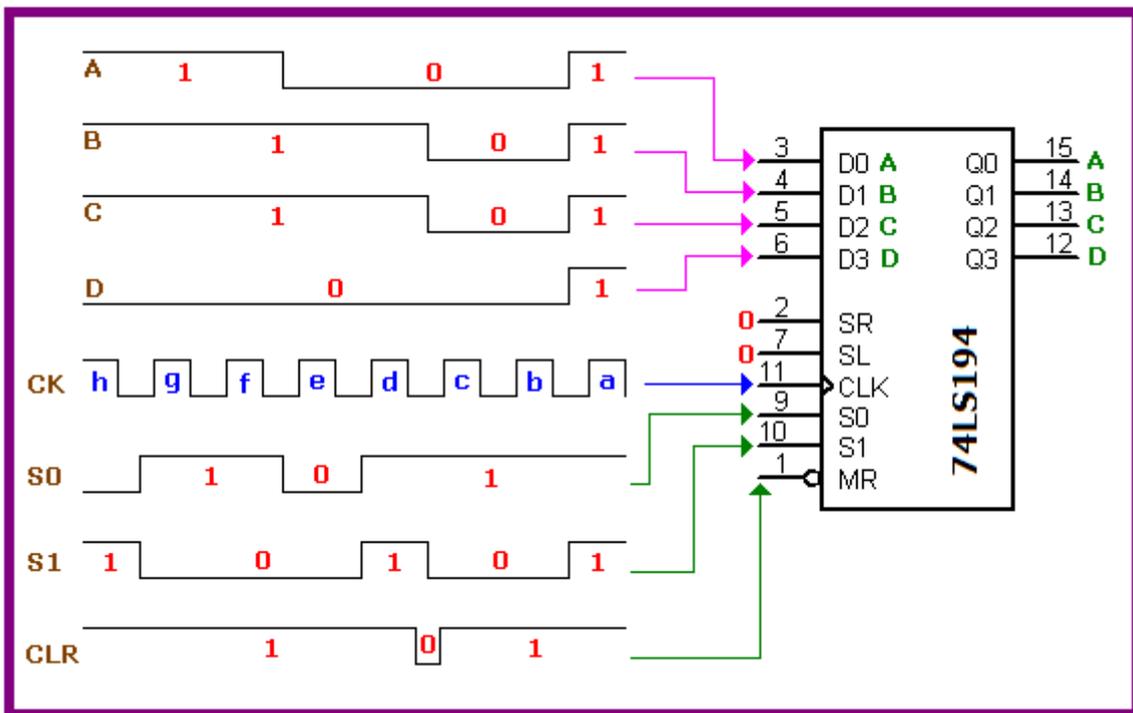
Solução:



Pulso	Saídas	Comentários
a	0000	Modo clear, reajusta as saídas em 0000
b	0011	Modo de carga em paralelo que carrega os dados nas entradas A, B, C e D (D0, D1, D2 e D3 respectivamente). Observe que S0=1 e S1=1.
c	0110	Deslocamento à esquerda. Observe que um "0" está sendo carregado em série na posição D, a partir da entrada em série à esquerda (pino 7), pois nessas condições temos: S0=0 e S1=1
d	1100	Deslocamento à esquerda. Observe que um "0" está sendo carregado em série na posição D, a partir da entrada em série à esquerda (pino 7), pois nessas condições temos: S0=0 e S1=1
e	1000	Deslocamento à esquerda. Observe que um "0" está sendo carregado em série na posição D, a partir da entrada em série à esquerda, pois nessas condições temos: S0=0 e S1=1
f	1100	Deslocamento à direita. Observe que um "1" está sendo carregado em série na posição A, a partir da entrada em série à direita (pino 2), pois nessas condições temos: S0=1 e S1=0
g	0110	Deslocamento à direita. Observe que um "0" está sendo carregado em série na posição A, a partir da entrada em série à direita (pino 2), pois nessas condições temos: S0=1 e S1=0
h	0000	Modo clear, reajusta as saídas em 0000
i	0000	Modo de retenção (hold)
j	0001	Deslocamento à esquerda. Observe que um "1" está sendo carregado em série na posição D, a partir da entrada em série à esquerda (pino 7), pois nessas condições temos: S0=0 e S1=1

Exercício resolvido 2:

a) Listar o modo de operação do registrador para os pulsos de clock "a até h".



Solução:

Observe que as entradas SR e SL (pinos 2 e 7) são submetidas a NL 0 e o clock é ativado na subida do pulso (transição positiva)

Pulso "a" = carga em paralelo
Pulso "b" = deslocamento à direita
Pulso "c" = deslocamento à direita
Pulso "d" = carga em paralelo
Pulso "e" = retenção (hold)
Pulso "f" = deslocamento à direita
Pulso "g" = deslocamento à direita
Pulso "h" = deslocamento à esquerda

b) Para o mesmo circuito e formas de onda nas entradas, listar as as saídas do registrador para cada pulso de clock (pulsos a até h)

Pulso "a" = 1111
Pulso "b" = 0111
Pulso "c" = 0011
Pulso "d" = 0110
Pulso "e" = 0110
Pulso "f" = 0011
Pulso "g" = 0001
Pulso "h" = 0010