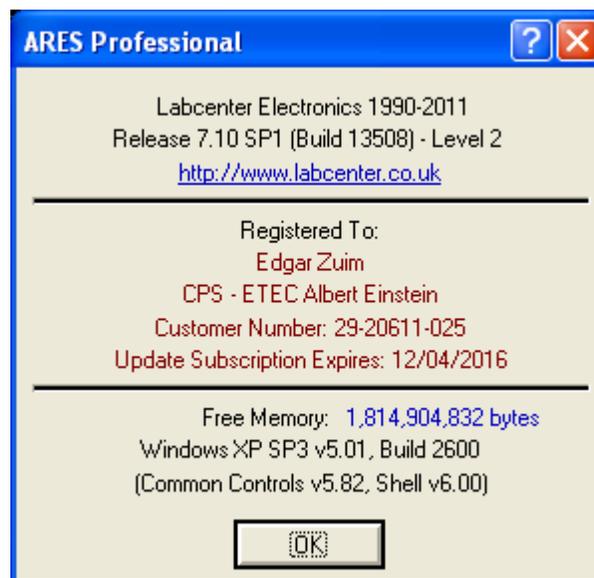


TUTORIAL - PROTEUS

ARES PROFESSIONAL – Design Suíte

O Proteus ARES Professional é uma suíte destinada à elaboração de placas de circuitos impressos, a partir do Proteus ISIS ou do próprio Proteus ARES.

Este tutorial foi desenvolvido com o Proteus ARES Professional, versão 7.10 – SP1.



Para melhor aproveitamento deste tutorial é altamente recomendável como pré-requisito, o conhecimento do funcionamento do Proteus ISIS uma vez que, muitas vezes a construção das placas de circuito impresso é feita a partir do diagrama esquemático desenvolvido no Proteus ISIS.

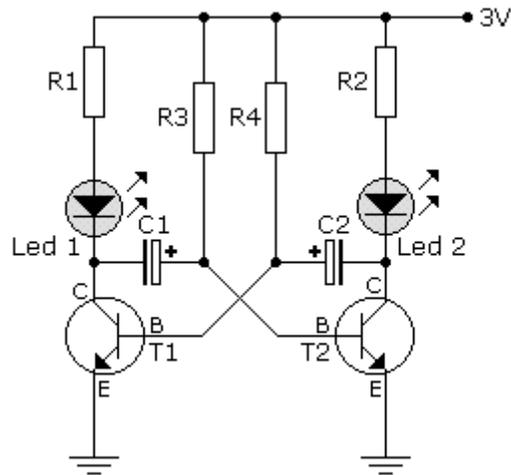
PLACA DE CI DE UM MULTIVIBRADOR ASTÁVEL

VAGALUME BIÔNICO

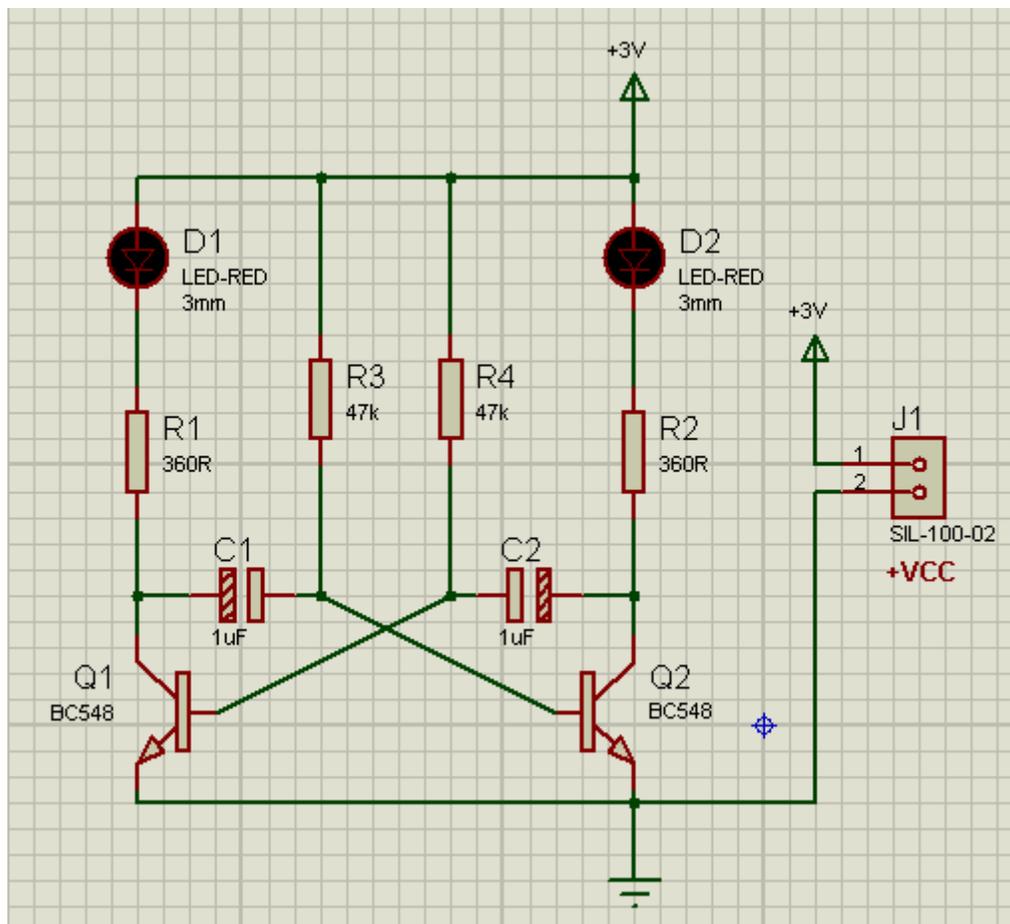
Iniciaremos este tutorial com um circuito simples, um *multivibrador astável*, o qual denominaremos Vagalume Biônico, conforme mostra o circuito a seguir.

O primeiro passo é a construção do esquema no Proteus ISIS. É importante atribuir o *PCB Package* ou *Invólucro* aos componentes, para facilitar a construção da placa de CI.

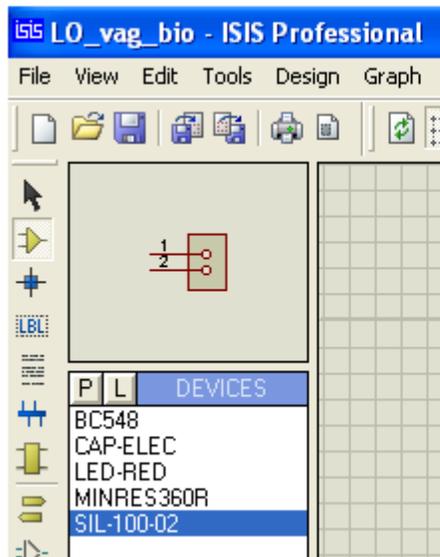
Neste caso, os únicos *packages* não atribuídos foram para os Leds (D1 e D2), mas veremos na sequência como proceder para atribuição de *packages*.



$R1 = R2 = 360 \text{ ohms}$
 $R3 = R4 = 47k$
 $C1 = C2 = 1\mu\text{F}$
 $T1 = T2 = \text{BC548 ou } 2\text{N3904}$
 $\text{Led1} = \text{Led2} = \text{Led vermelho } 3\text{mm}$
 $\text{Bateria} = 3\text{V}$

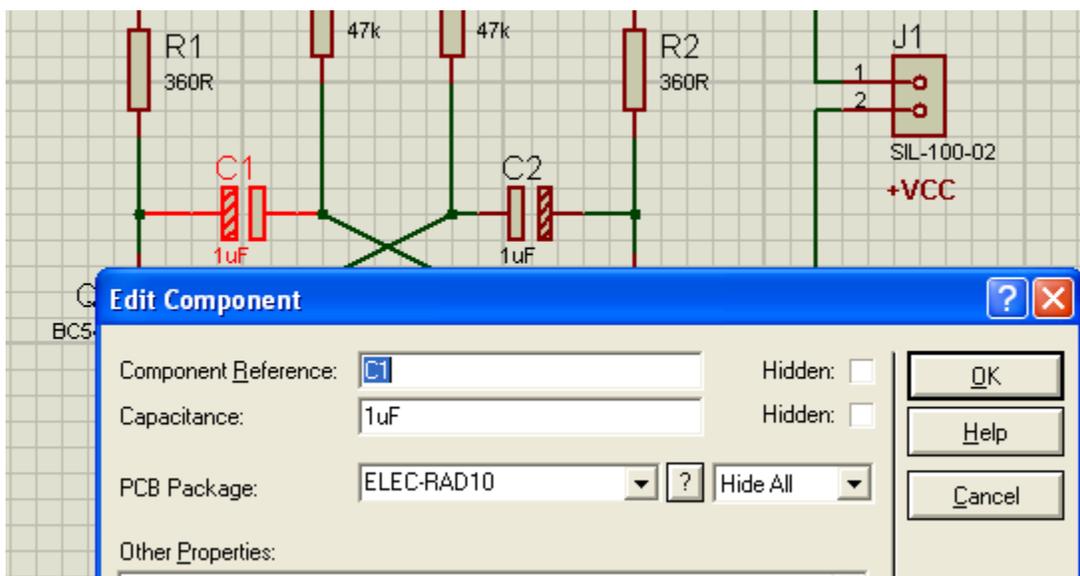


Veja a seguir os PBC Packages atribuídos aos componentes.



Conector (J1) - SIL-100-02
Resistores - RES40
Capacitores - ELEC-RAD10
Transistores - TO91/18

Com um duplo clique sobre o componente (Edit Component), é possível visualizar o PCB Package, conforme mostra a figura abaixo:

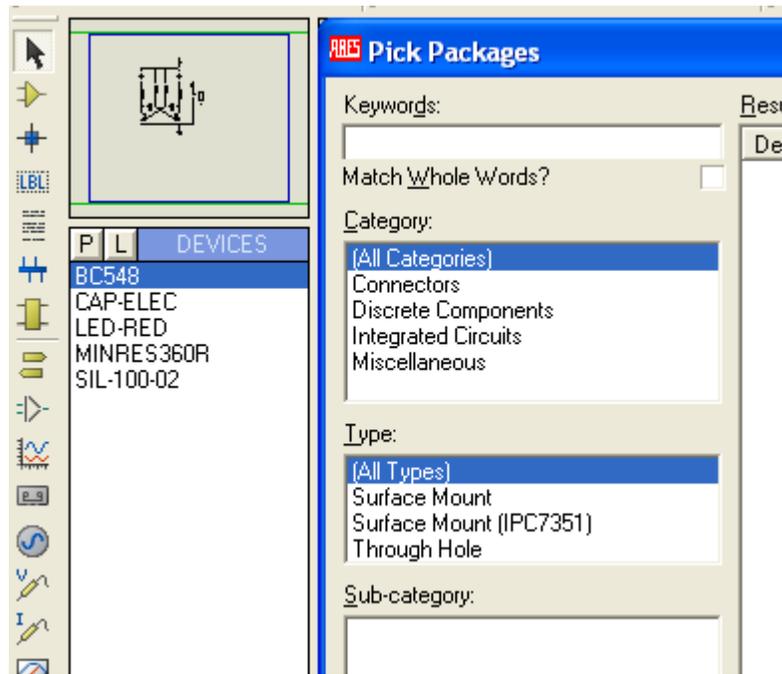
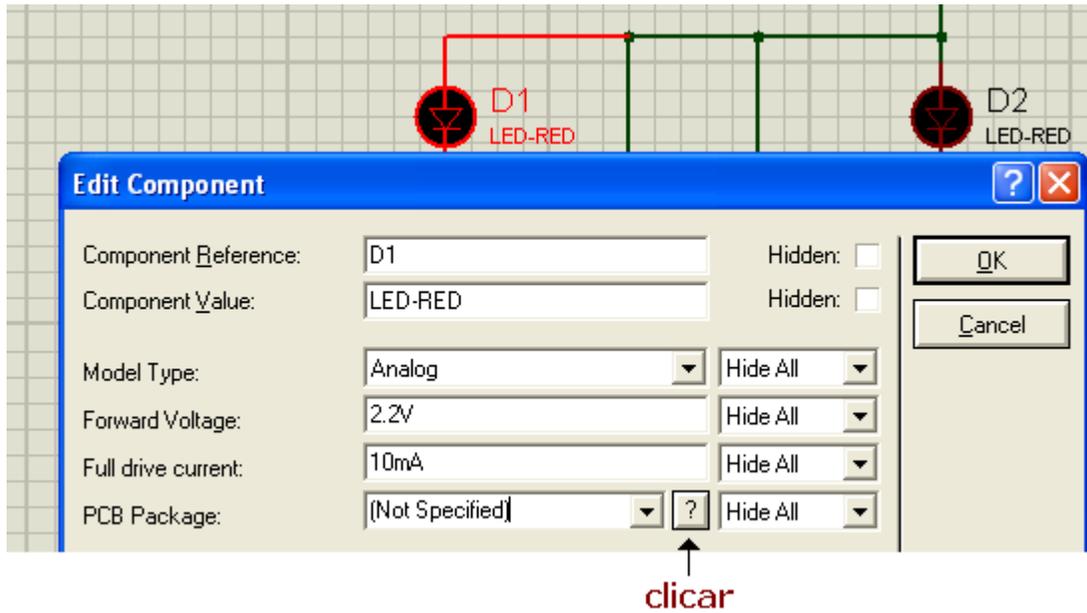


Atribuindo um PCB Package para os Leds:

1 – Editar o componente LED (duplo clique sobre o mesmo). Observe na figura a seguir que o campo PCB Package consta como não especificado (Not Specified).

É altamente recomendável que seja especificado o PCB Package antes de definir a Netlist final para a construção da placa de circuito impresso. Quando a Netlist é definida no Proteus ISIS, a exportação para o Proteus ARES permite que seja visualizada a interligação entre os diversos componentes do esquema, através dos "ratsnests".

2 – Clicar no botão "?", onde será aberta uma janela para escolha do PCB Package (Pick Packages).



Para esse componente foram selecionados:

Category = Miscellaneous

-> Device = LED

-> Type = All Types

-> Sub-category = All Sub-categories

Pick Packages

Keywords:

Match Whole Words?

Category:

- (All Categories)
- Connectors
- Discrete Components
- Integrated Circuits
- Miscellaneous

Type:

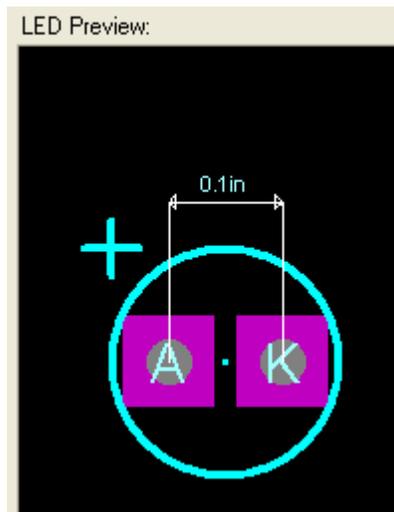
- (All Types)
- Surface Mount
- Surface Mount (IPC7351)
- Through Hole

Sub-category:

- (All Sub-categories)
- 14 Segment Displays

Results (79):

Device	Library	Description
7SEG-56	PACKAGE	Single 7 segment display, 0.56in digit height
7SEG.3+A	PACKAGE	7 Segment display common anode with decimal point, 0.56in digit height
7SEG.3-C	PACKAGE	7 Segment display common cathode with decimal point, 0.56in digit height
CB-5	PACKAGE	Package CB, 5-pin module, leadform PFF
DD14SEG-DIL18	PACKAGE	14 Segment display, 18 pin DIL IC, 0.6in width
DD7SEG-56	PACKAGE	Dual 7 segment display, 0.56in digit height
LDR	PACKAGE	Miniature LDR
LED	PACKAGE	Light Emitting Diode, 100th pitch, A-K pinout
LINK20	PACKAGE	200th wire link
LINK30	PACKAGE	300th wire link
LINK40	PACKAGE	400th wire link
MATRIX-5X7-18MM	PACKAGE	5X7 LED matrix, 18mm height
MATRIX-5X7-50MM	PACKAGE </td <td>5X7 LED matrix, 50mm height</td>	5X7 LED matrix, 50mm height
MATRIX-8X8-20MM	PACKAGE	8x8 LED matrix, 20mm height
MATRIX-8X8-48MM	PACKAGE	8x8 LED matrix, 48mm height
PRE-HMIN	PACKAGE	Minature skeleton preset potentiometer, horizontal mount
PRE-HMT	PACKAGE	Multi-turn preset potentiometer, horizontal mounting, L=0.5in
PRE-MT0.75	PACKAGE	Multi-turn potentiometer, horizontal mounting, L=0.75in



D1 LED-RED 3mm

D2 LED-RED 3mm

Edit Component

Component Reference: Hidden:

Component Value: Hidden:

Model Type: Hide All

Forward Voltage: Hide All

Full drive current: Hide All

PCB Package: ? Hide All

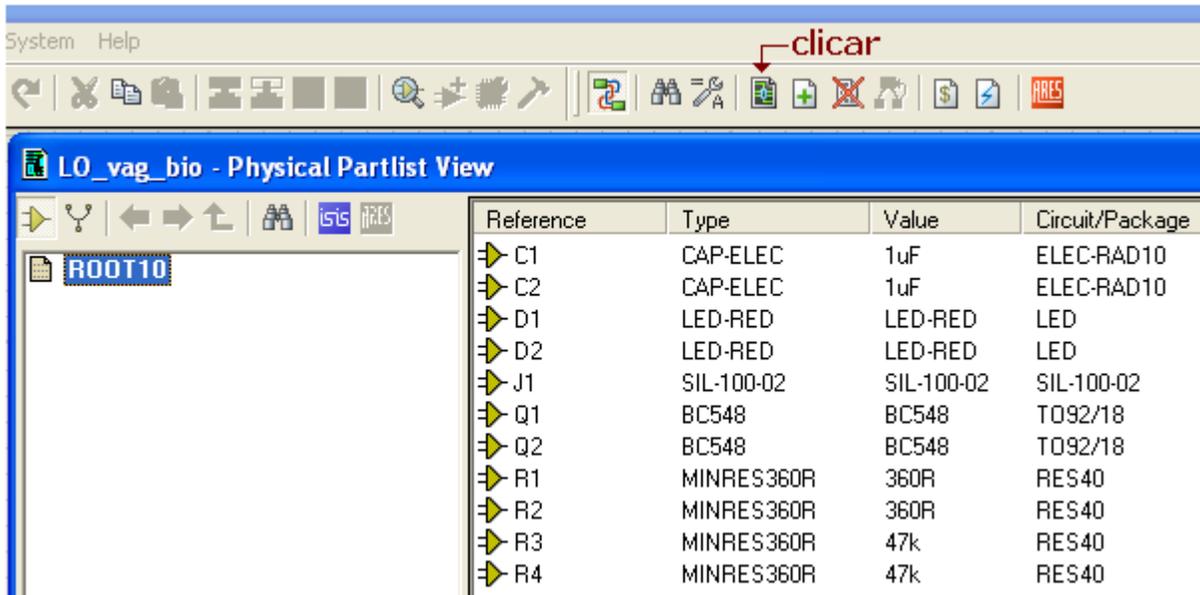
OK Cancel

Observe que a distância entre os pinos é de 0,1in (1/10 de polegada).

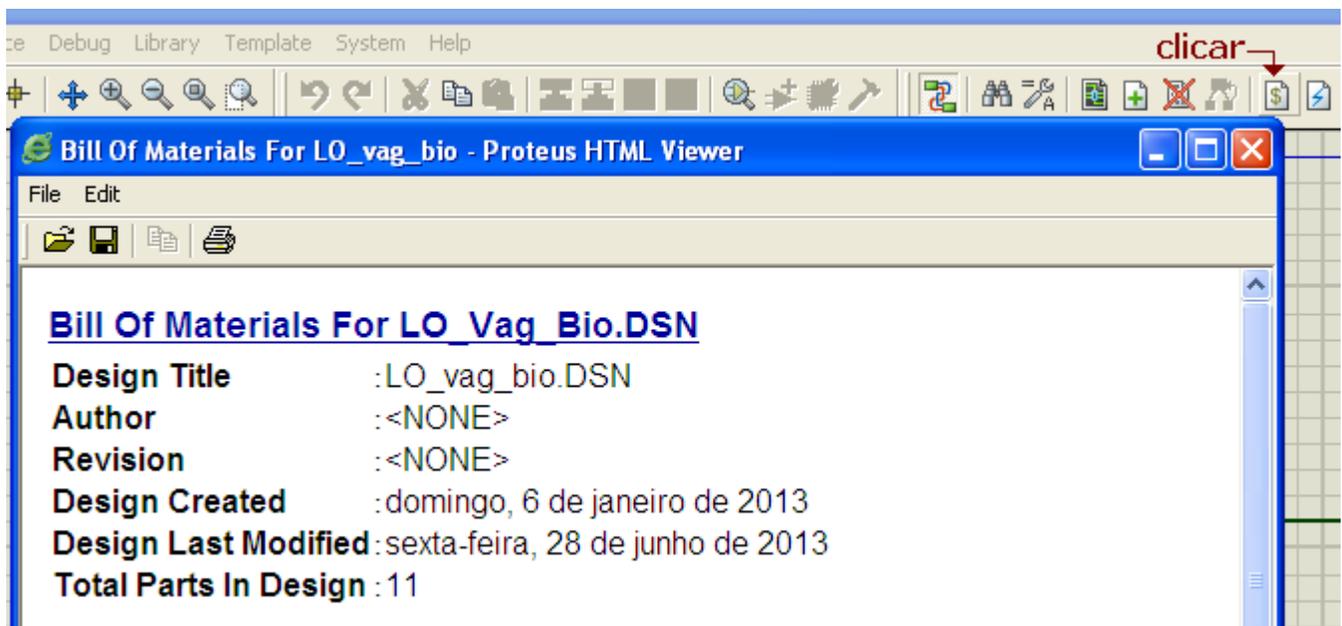
Relembrando as unidades de medidas usadas no Proteus:

Inch (in) = polegada = 25,4mm
Thou (th) = Mil = 0,0254mm
25,4 / 10 = 2,54mm (décimo de polegada)
25,4 / 1000 = 0.0254
1mm / 0,0254 = 39,37 mil

Antes de exportarmos a Netlist para o ARES, vamos verificar se tudo está em ordem no Proteus ISIS, clicando no ícone Design Explorer:

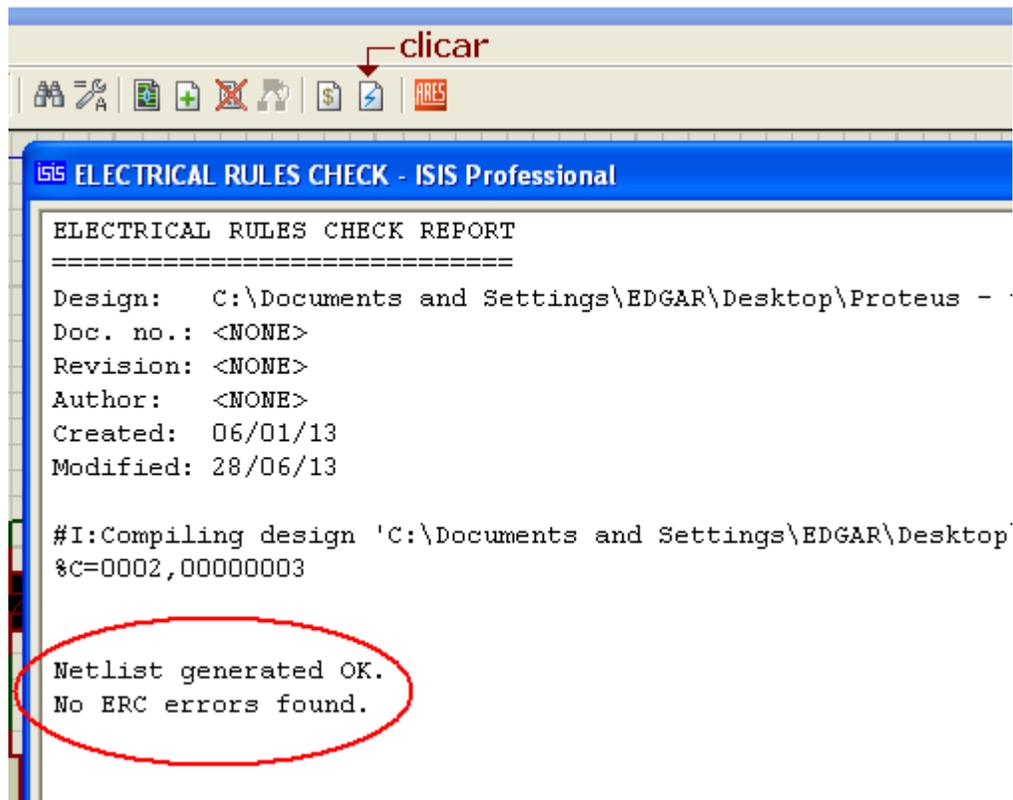


Podemos observar que todos os componentes estão com os seus respectivos PCB Packages.

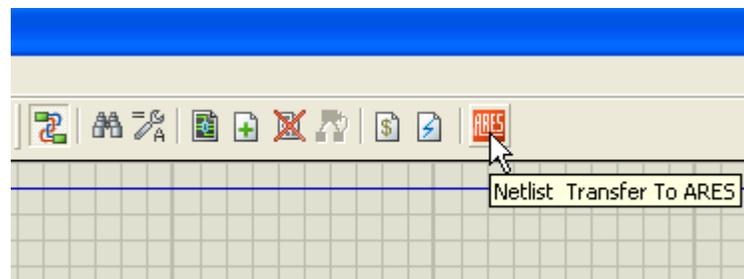


A figura anterior mostra a lista de materiais (BOM).

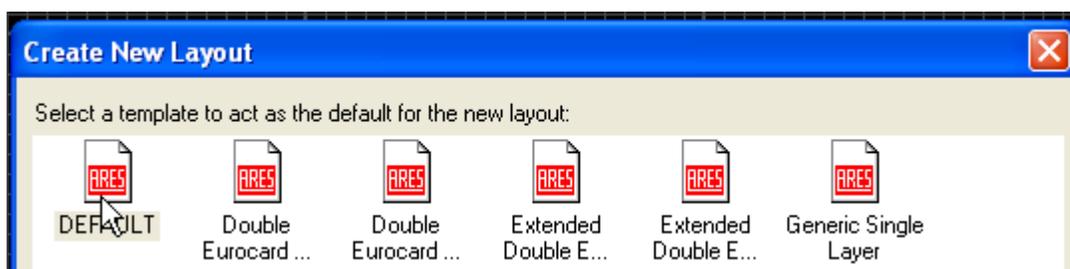
Para finalizar, podemos verificar se existem erros clicando no ícone "View Electrical Report" que nos mostrará as regras de ligações elétricas (ERC).



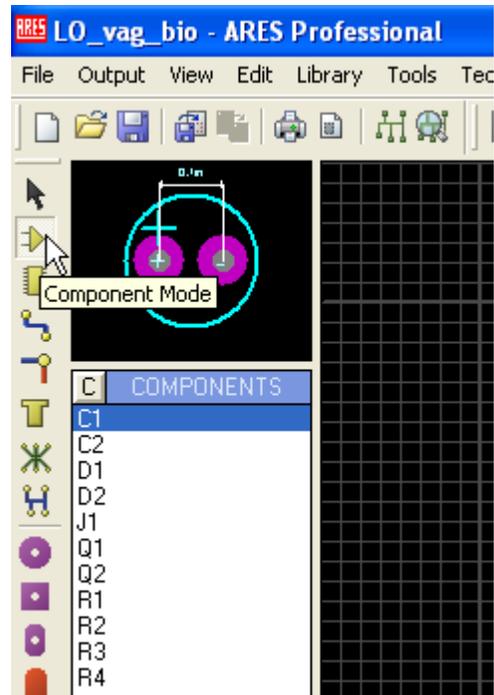
O próximo passo é transferir a Netlist para o Proteus ARES, bastando para isso clicar no ícone correspondente, conforme ilustra a figura abaixo:



Será aberto o programa Proteus ARES com a área de trabalho pronta para ser manipulada. Vamos escolher uma opção para o layout = DEFAULT:



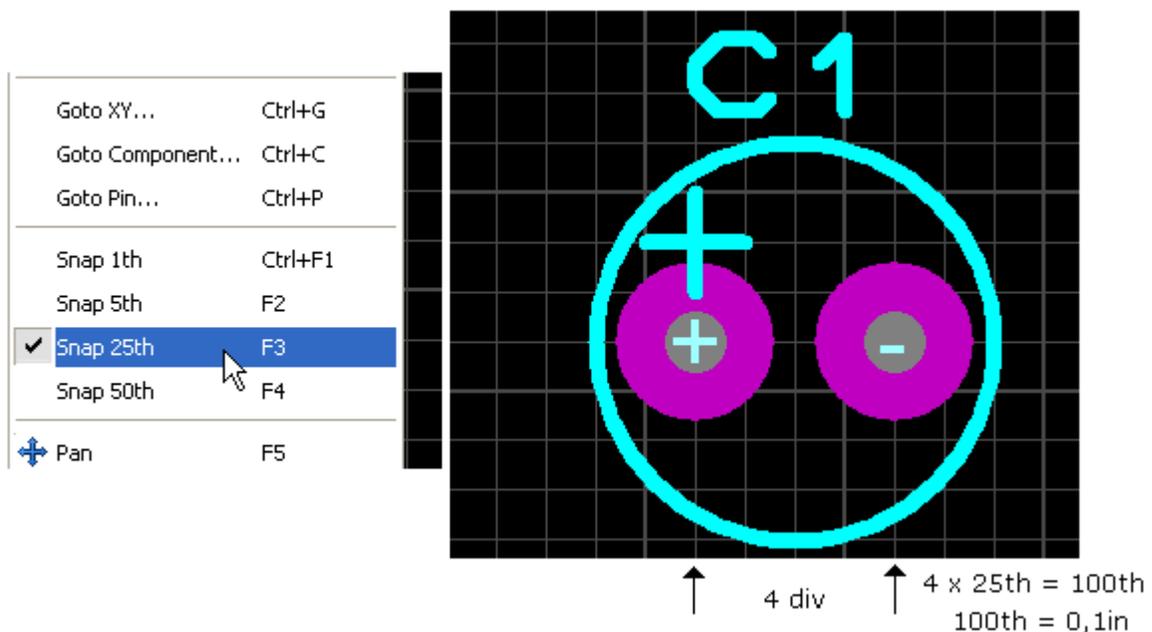
A opção Component Mode deverá estar selecionada:



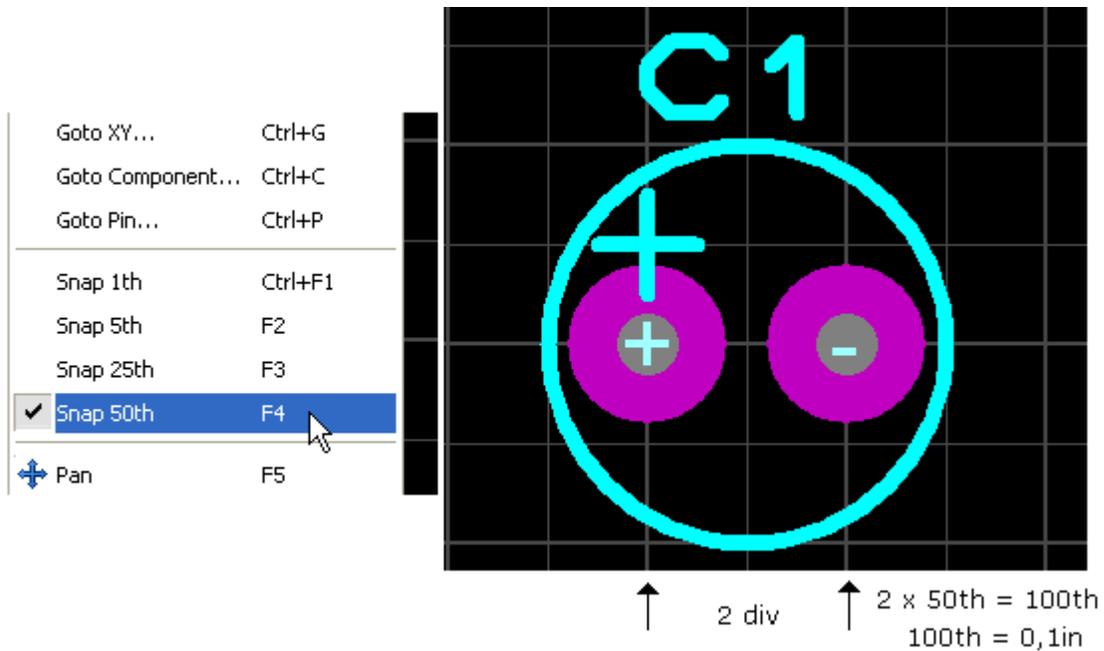
Escolha do Snap Grid

A escolha do Grid, antes de posicionar os componentes na área de trabalho é importante, pois facilita muito o posicionamento do componente principalmente com a função Snap habilitada (traduzindo para o português, snap = agarrar).

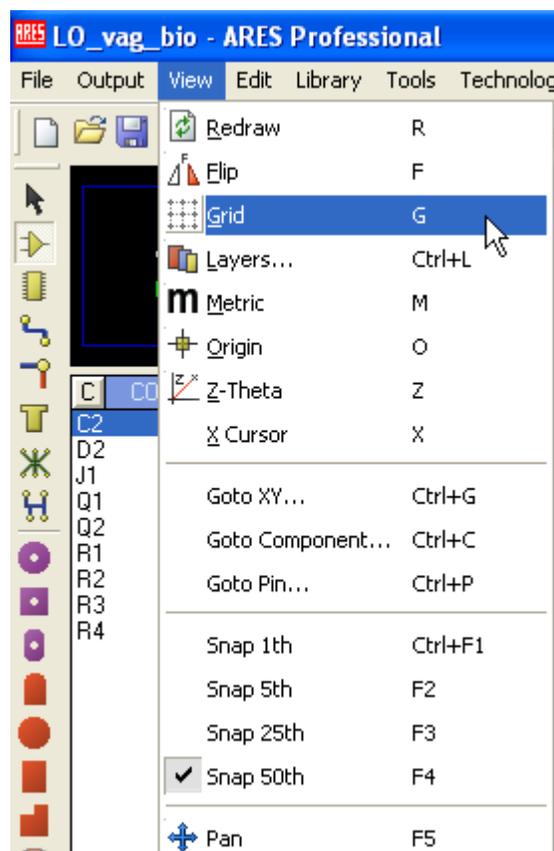
Por exemplo, um Grid de 25th, corresponde a 1/10 de polegada dividido por 4, conforme ilustra as figuras a seguir, tomando como exemplo C1, cujos terminais estão afastados entre si em 0,1in (1 décimo de polegada, que equivale a 2,54mm).



A figura abaixo mostra o mesmo componente em um Snap Grid igual a 50th:



A visualização (estilo) do Grid pode ser modificada de acordo com a preferência do projetista, como por exemplo, além de quadriculado, pode ser visualizado em pontos ou simplesmente fundo preto, sem nenhum Grid.



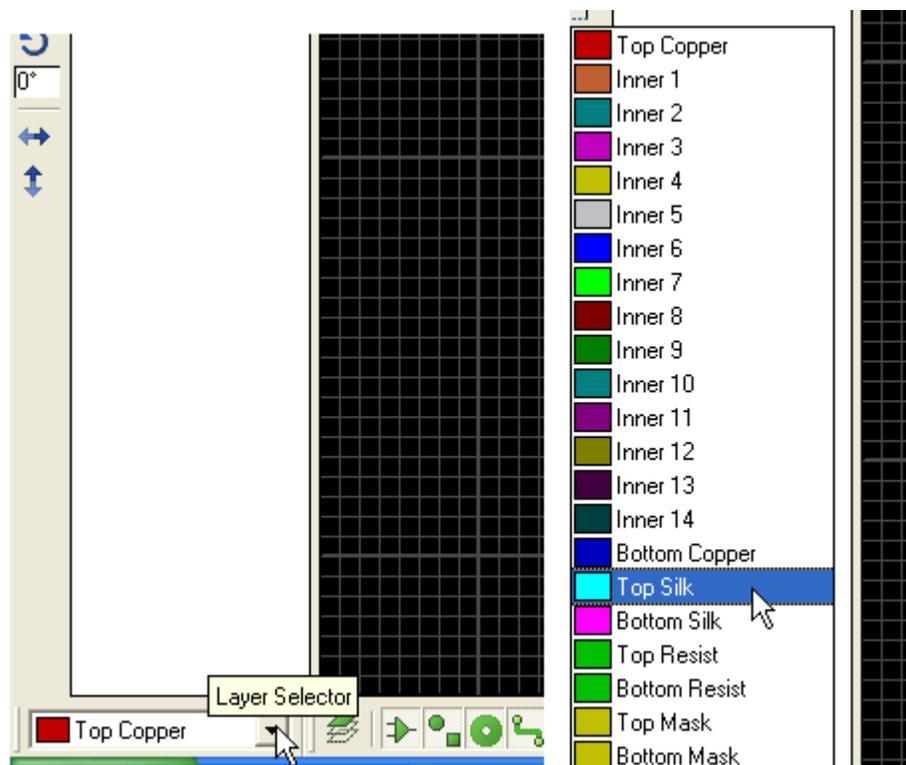
A modificação da visualização do Grid pode ser feita pressionando a tecla G e o *Snap to Grid* pode ser modificado pressionando as teclas de atalho Ctrl+F1, F2, F3 e F4, conforme ilustra a figura anterior.

Sobre os LAYERS do Proteus ARES:

Na construção da placa de CI, os layers devem ser devidamente configurados, caso contrário, ocorrerão erros. Para cada parte do projeto deve ser especificado o layer, como por exemplo, para colocação dos componentes o layer é Silk Bottom, para traçar as trilhas interligando os componentes o layer é Copper Bottom e assim por diante.

Os layers Inner 1 a Inner 14 são layers internos utilizados em placas de CI de multicamadas, do tipo das usadas em “motherboard” de computadores.

A figura abaixo mostra os layers disponíveis no Proteus ARES.



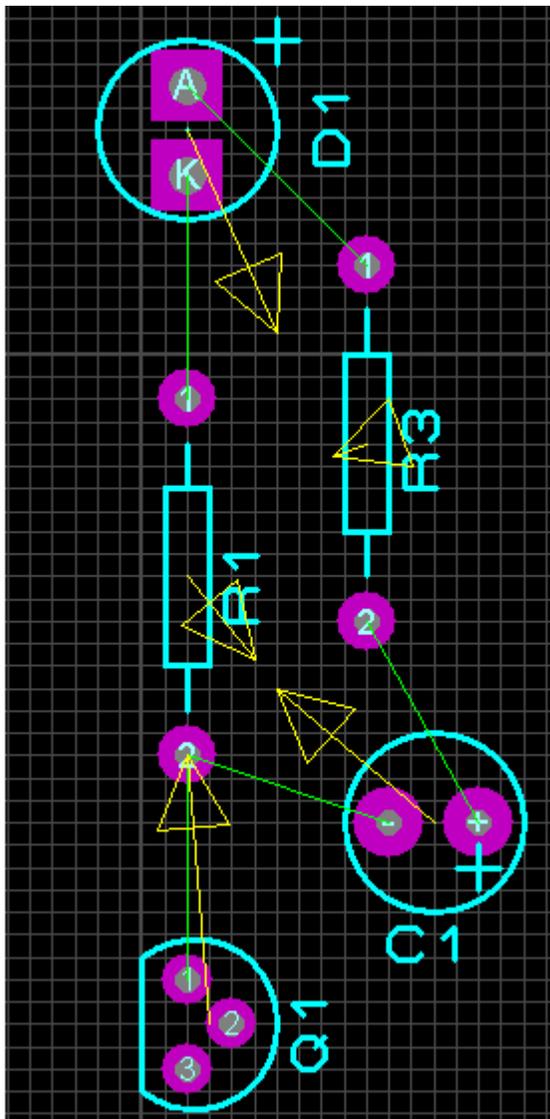
Posicionando os componentes – LAYER TOP SILK:

Vamos posicionar os componentes com Snap em 25th.

Iniciando da direita para a esquerda, posicionando os componentes de forma que o caminho a ser percorrido pela corrente seja o menor possível. É recomendável que se tenha em mãos o esquema para facilitar o posicionamento dos componentes.

A figura a seguir mostra os componentes Q1, R1, R3, D1 e C1 posicionados na área de trabalho, onde se observa que os mesmos estão interligados por uma linha verde.

Essa linha verde representa a ligação elétrica que auxiliará mais tarde no roteamento manual, ou seja, no desenho das trilhas através dos ratsnests (ninho de rato).



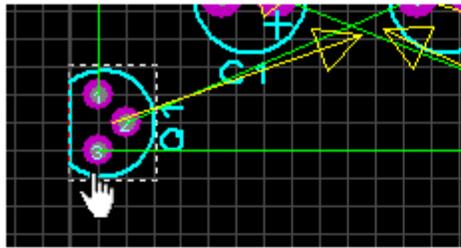
Usando as teclas " - " e " + " (NumLock) é possível rotacionar o componente antes de fixá-lo na área de trabalho.

Reposicionando componentes:

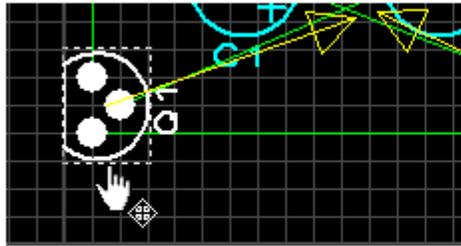
Depois de fixado na área de trabalho, qualquer componente pode ser reposicionado por necessidade de estética ou mesmo de fixação indevida.

Basta aproximar o cursor do mouse no componente, com o **Modo de Seleção** (Selection Mode) ativado, e ao ser criada a área de foco em torno do mesmo, clicar (botão direito) para selecionar, clicar novamente e arrastar mantendo o botão do mouse pressionado. Liberar o botão do mouse assim que for reposicionado.

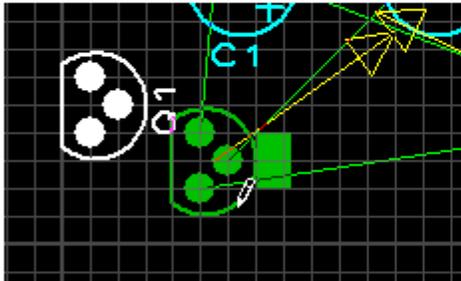
As figuras a seguir mostram esse procedimento, que é bastante simples.



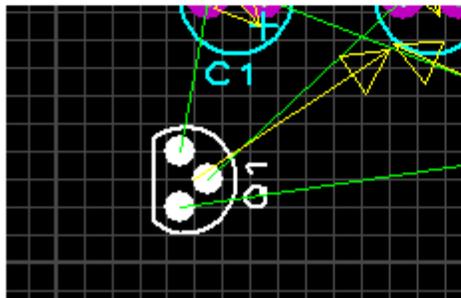
Aproximar o cursor e clicar com o botão direito do mouse para seleccionar



Clicar novamente



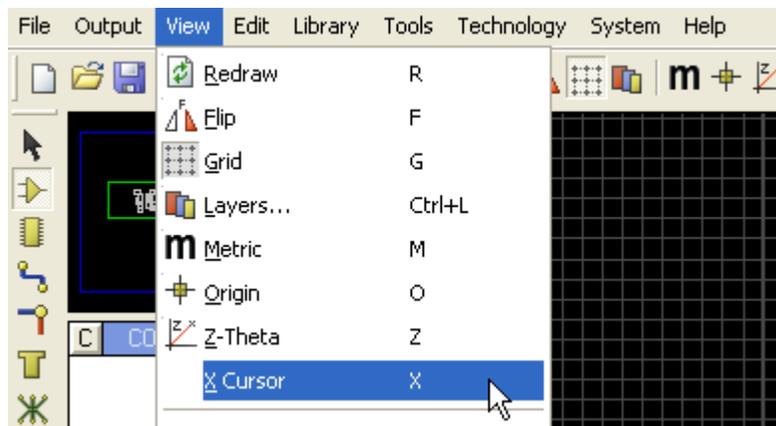
Arrastar com o botão do mouse pressionado



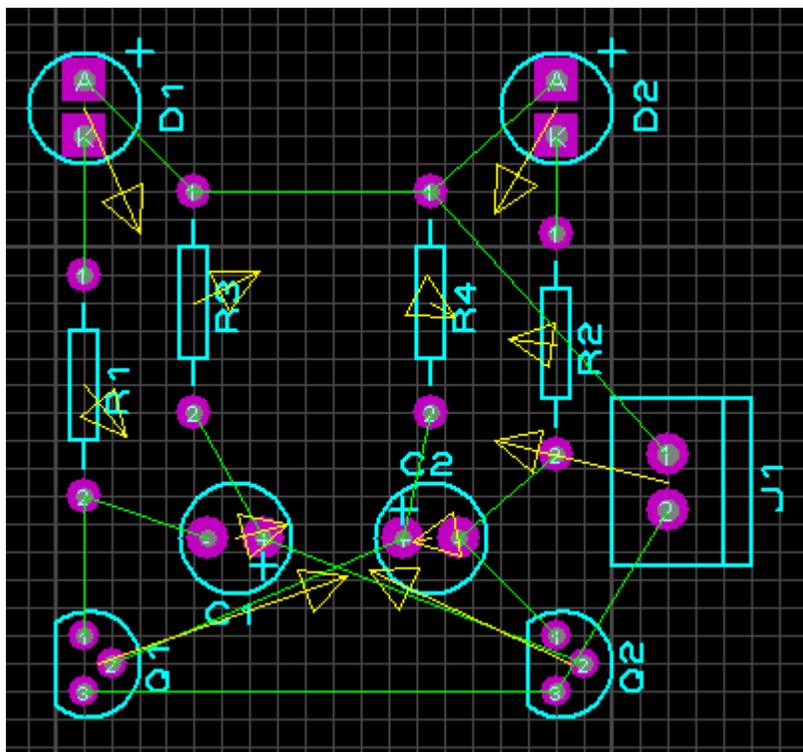
Liberar o botão do mouse

Mudança do estilo do cursor:

Da mesma forma que no Proteus ISIS é possível modificar o estilo do cursor para seta, seta + X e cruz grande (Large Cross), pressionando a tecla X.



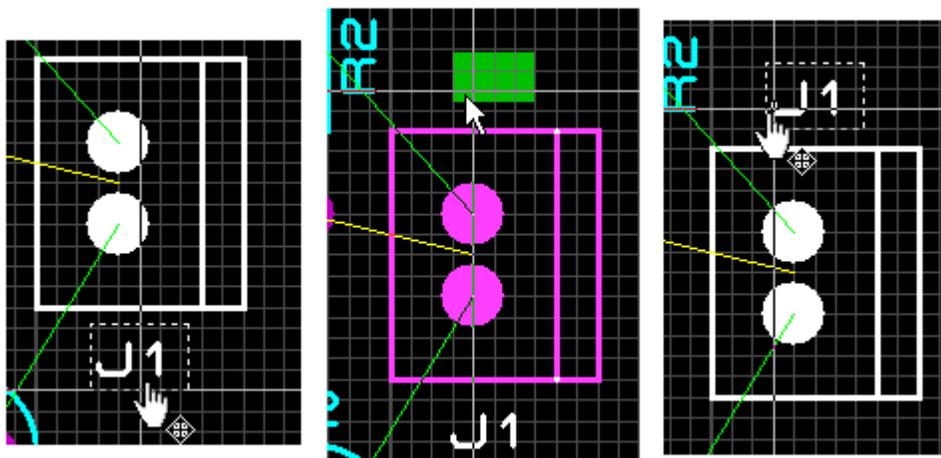
A figura a seguir mostra os componentes posicionados na área de trabalho, seguindo o mais fielmente possível o posicionamento dos componentes no esquema elétrico.



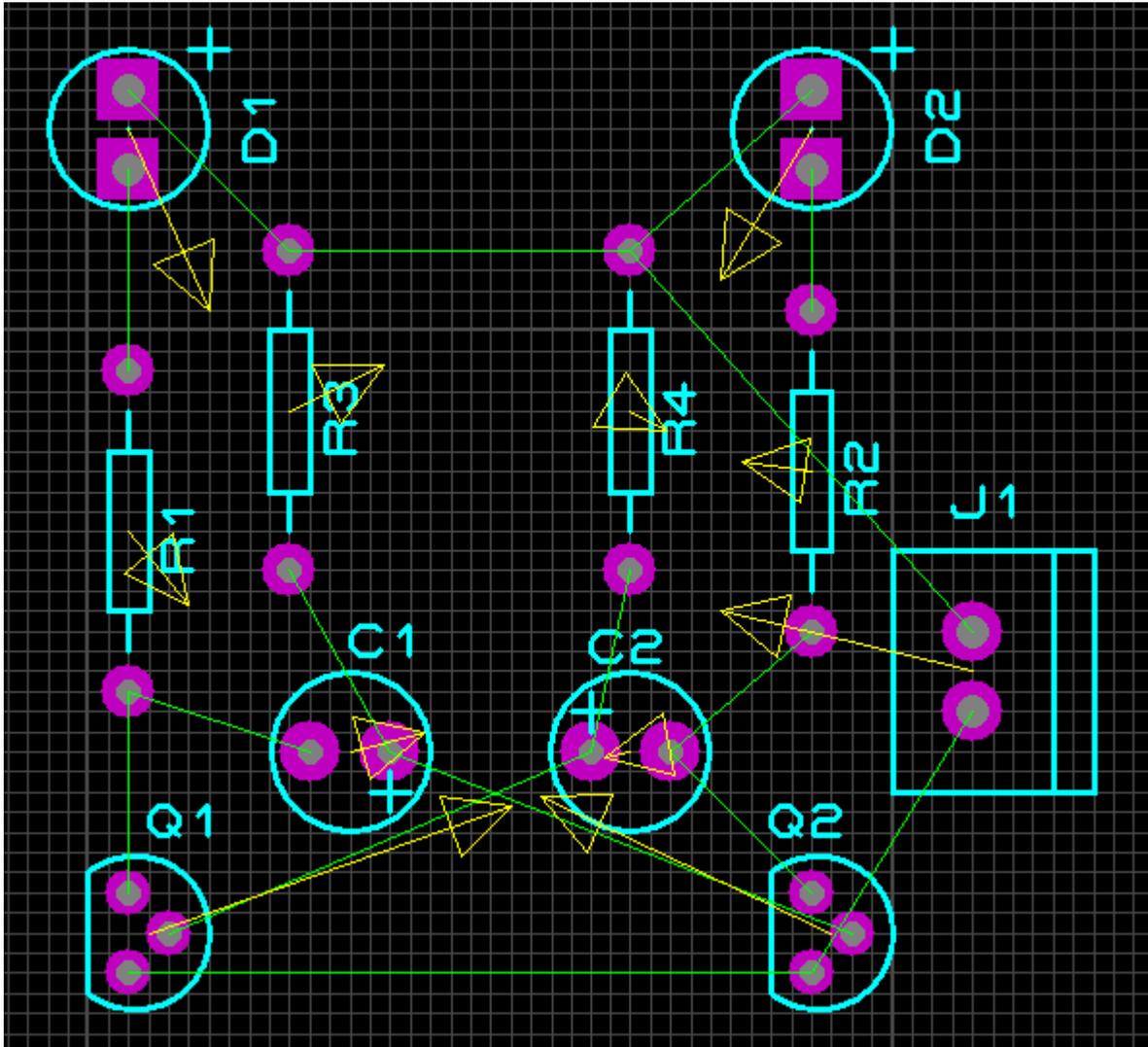
Vamos reposicionar o label de C2 e de J1, para tornar o layout mais estético.

O procedimento é idêntico ao mencionado para o reposicionamento do componente, bastando para isso, com o *Selection Mode* ativado, aproximar o cursor no label, e ao ser criada a área de foco, clicar com o botão direito do mouse, clicar novamente para selecionar e arrastar e, se for necessário rotacionar, usar as teclas "-" e "+".

Veja um exemplo na figura abaixo:

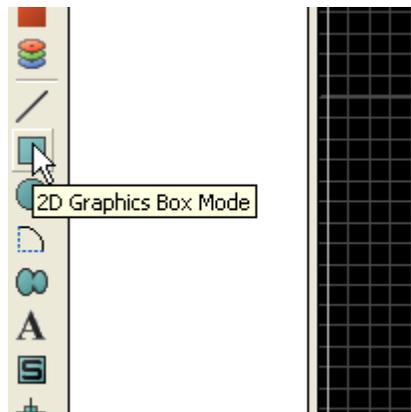


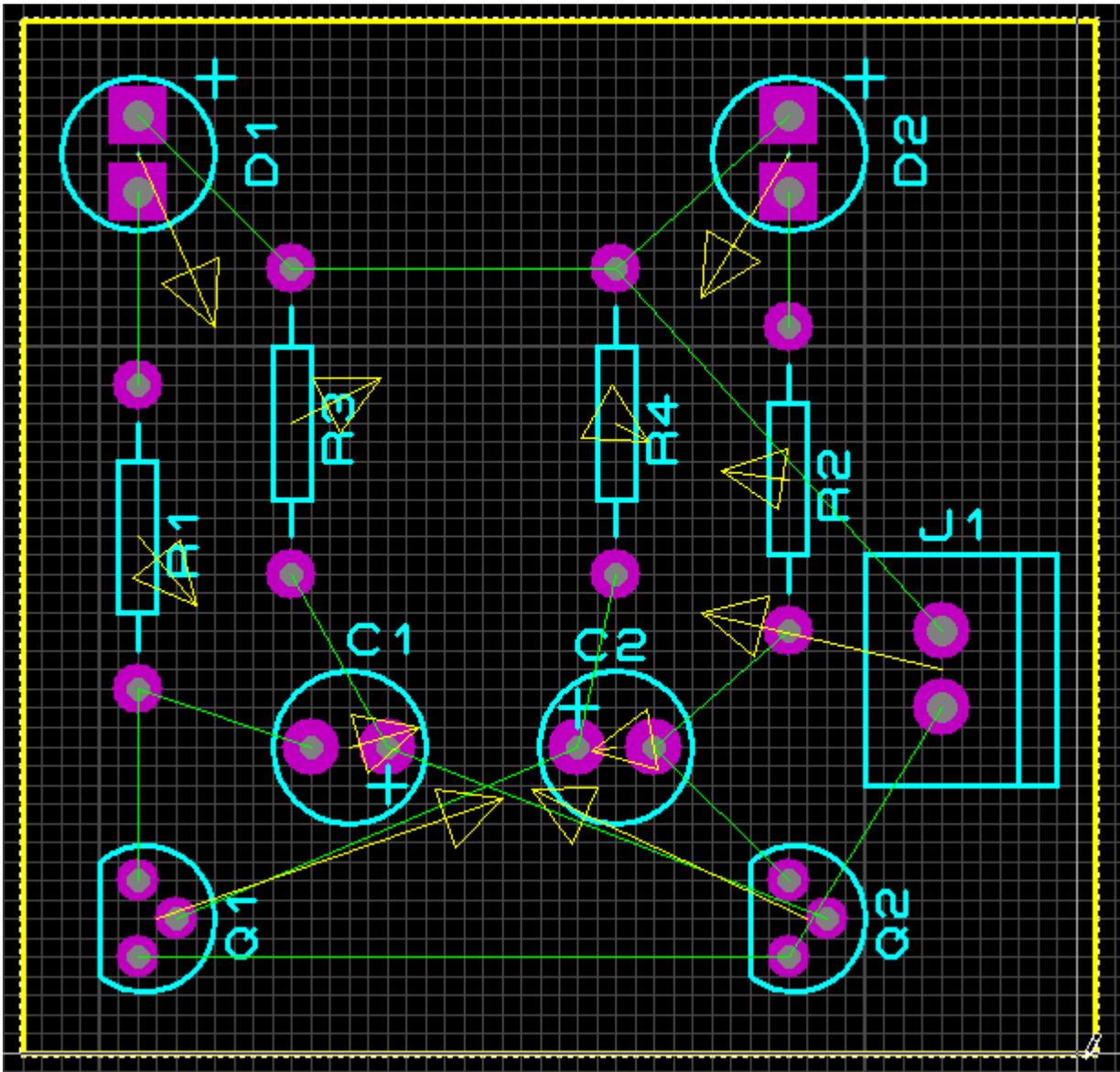
A figura a seguir mostra a alteração feita nos labels de C1 e J1.



Criando uma borda (contorno) para a placa – LAYER BOARD EDGE:

O primeiro passo é desenhar o contorno da placa com a ferramenta 2D Graphics Box Mode





Interligando os componentes (roteamento manual) – LAYER COPPER

BOTTOM:

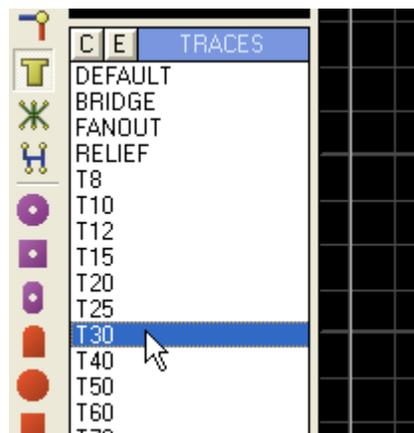
O próximo passo é interligar manualmente todos os componentes, orientando-se pelas linhas verdes (ratsnests).

Vamos antes criar uma área de chapado para interligar todos os pontos de terra comuns, no caso deste circuito, os emissores de Q1 e Q2 e o polo negativo da bateria em J1. Para criar o chapado, clicar no ícone Zone Mode.

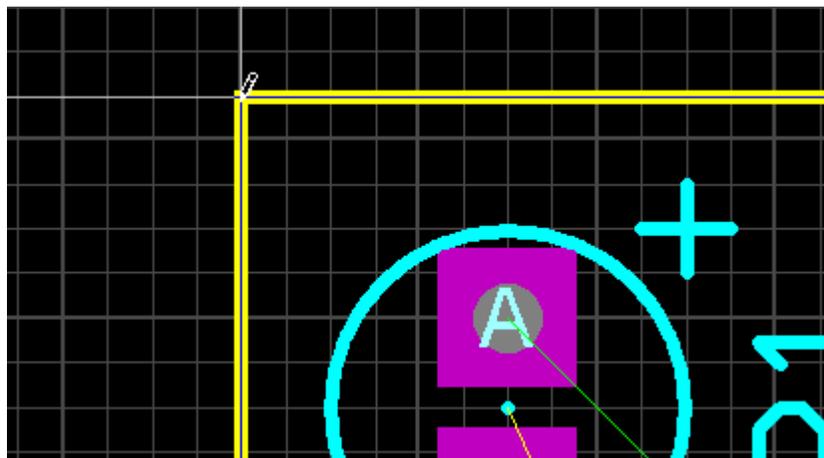


Veja as figuras a seguir:

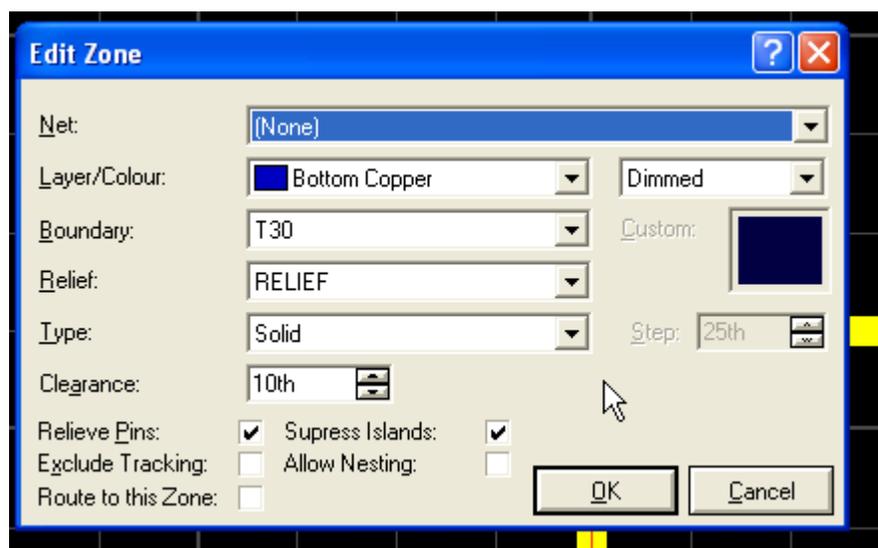
Selecionar T30:



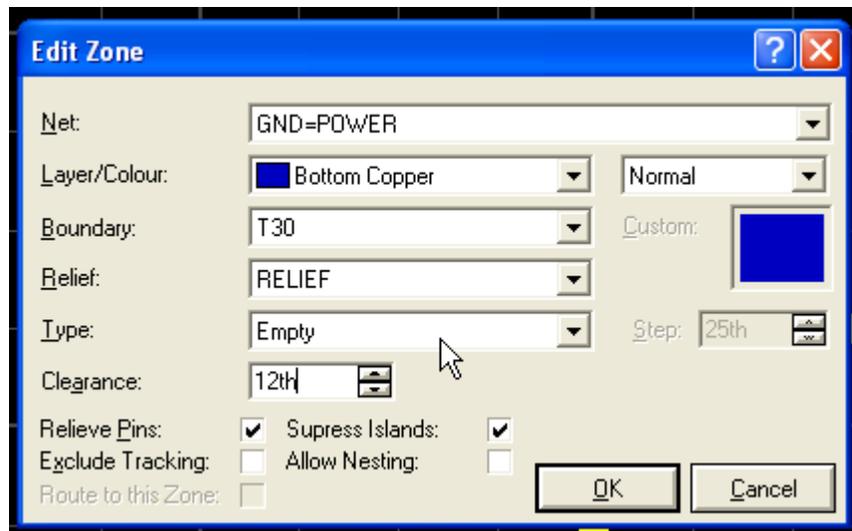
Tracejar dentro do contorno da placa:



Após ser completado o tracejado, surgirá uma janela (Edit Zone):



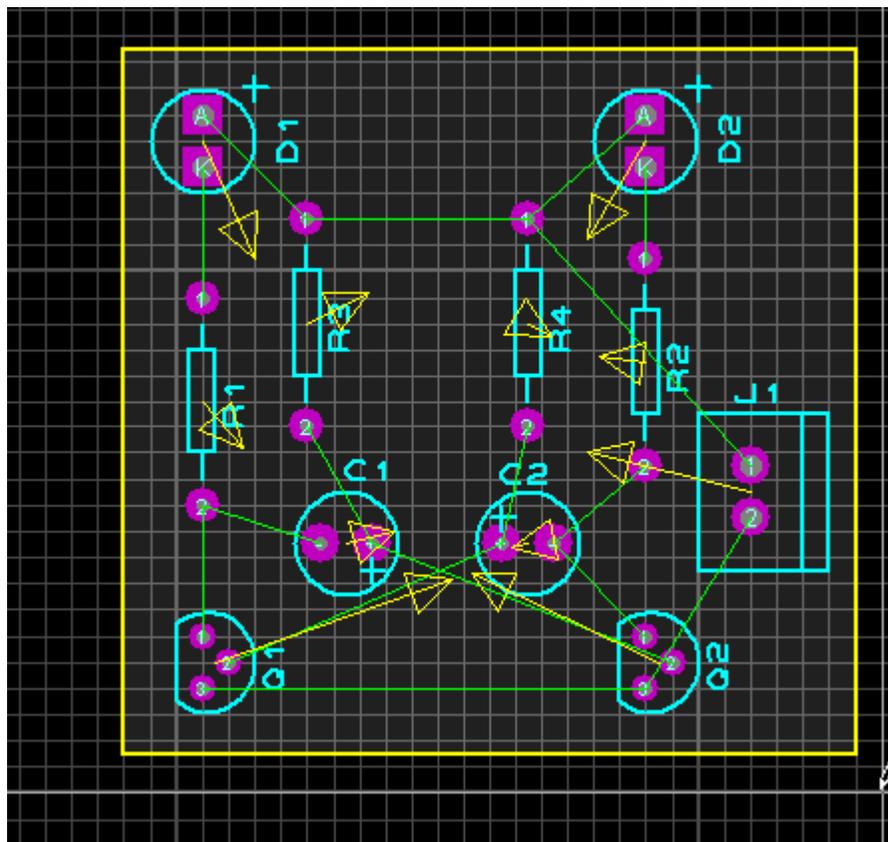
Vamos alterar os parâmetros conforme mostra a figura abaixo.



Observe que a opção Empty foi selecionada pois a placa será roteada manualmente.

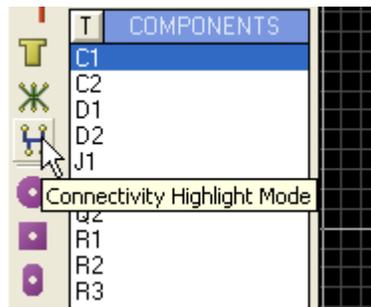
O clearance de 12th, significa que entre as trilhas e o chapado haverá uma distância de 12th, conforme veremos adiante.

Observe que a área do chapado ficou esmaecida em relação ao fundo da área de trabalho (pois foi selecionada a opção Empty, ou vazio).

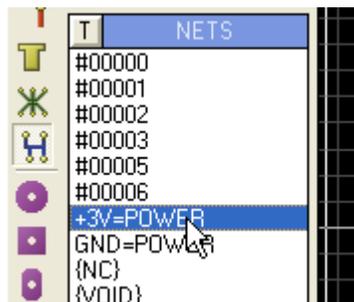


Antes de iniciar o roteamento, vamos analisar a conectividade elétrica.

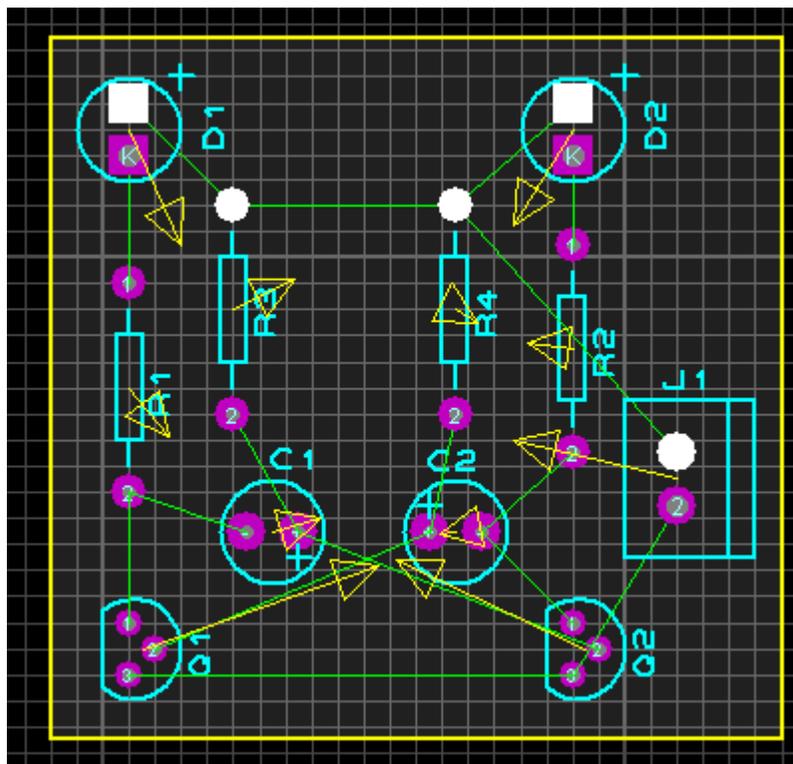
Clicar no ícone Connectivity Highlight Mode:



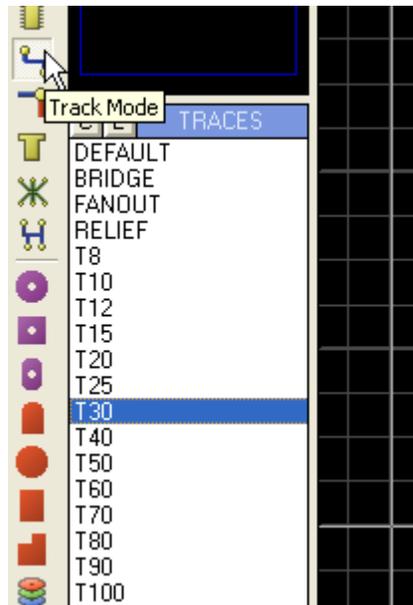
Será mostrada então a relação de todas as Nets



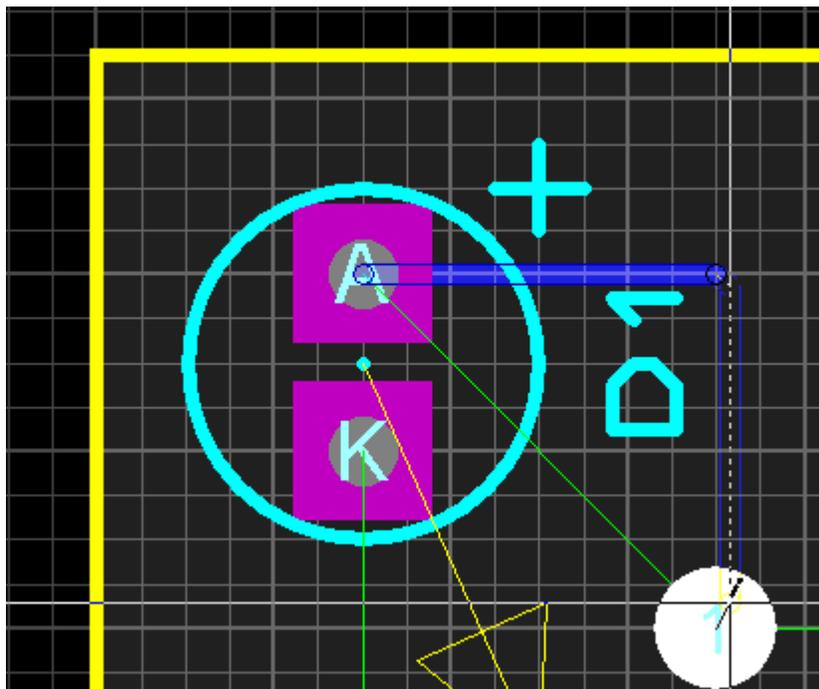
Um duplo clique em +3V=POWER, por exemplo, mostrará todos os componentes que são ligados no polo positivo da bateria de 3V e assim por diante. A figura abaixo mostra esses pontos iluminados (Highligh).



Para iniciar o roteamento, clicar no ícone Track Mode. Selecionar a opção T30, que configura a largura das trilhas.

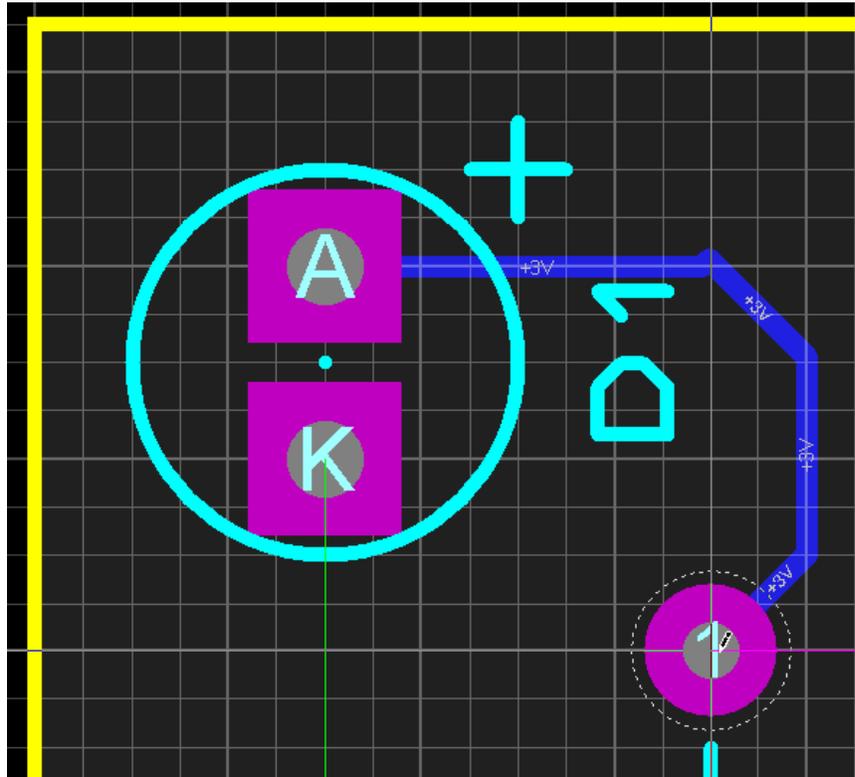


A figura abaixo mostra o início do roteamento, a partir do anodo do diodo D1 até o terminal 1 do resistor R3.



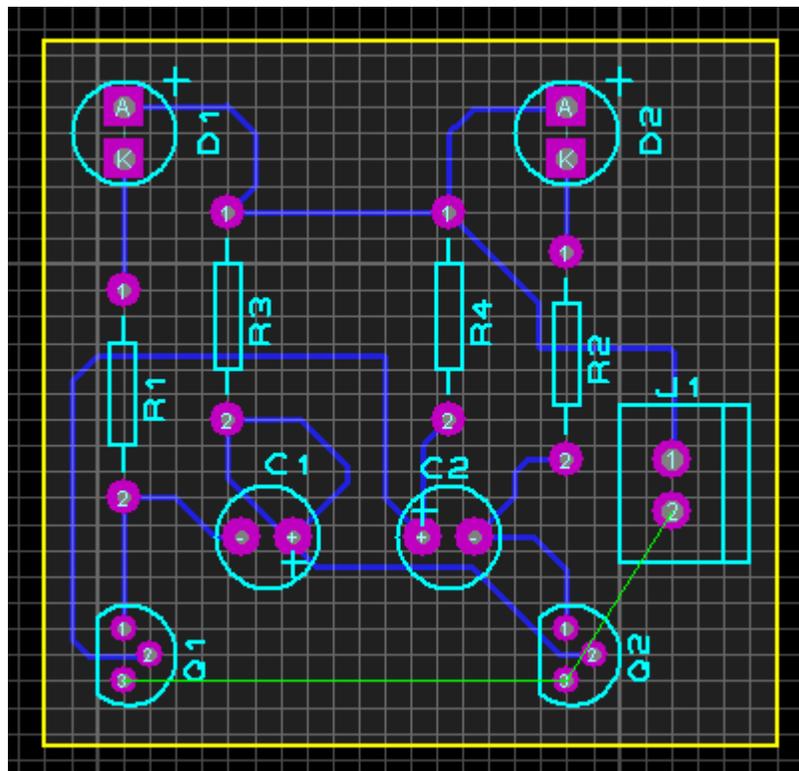
Observe a linha verde (ratsnest) que interliga esses dois pontos onde a seta amarela sugere a direção. A partir do momento em que esse dois pontos são interligados, essa linha verde desaparece, indicando que a conexão foi completada.

Veja a figura a seguir:



Proceder de forma idêntica para os demais componentes, exceto as ligações de terra que serão feitas na área de chapado.

A figura a seguir mostra os componentes interligados, exceto os pontos de terra.

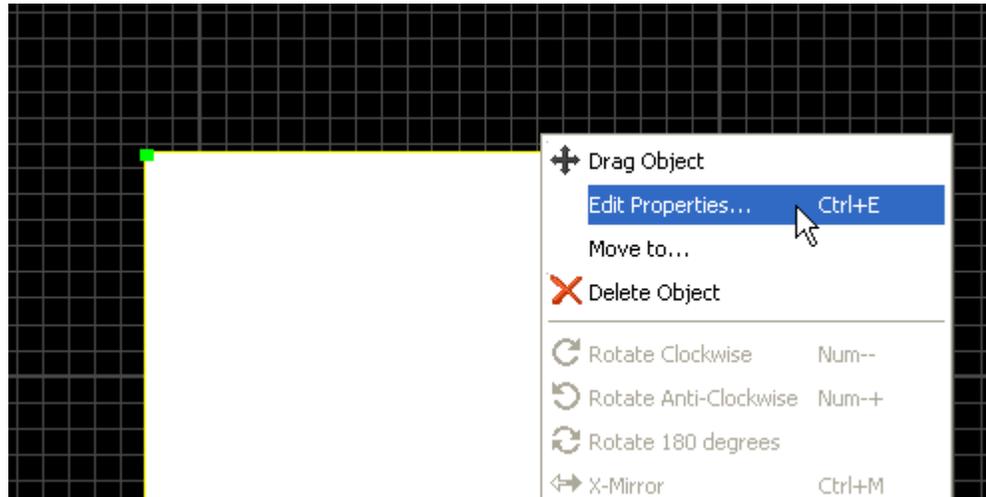


Para finalizar, vamos executar a área de chapado para interligar os pontos de terra.

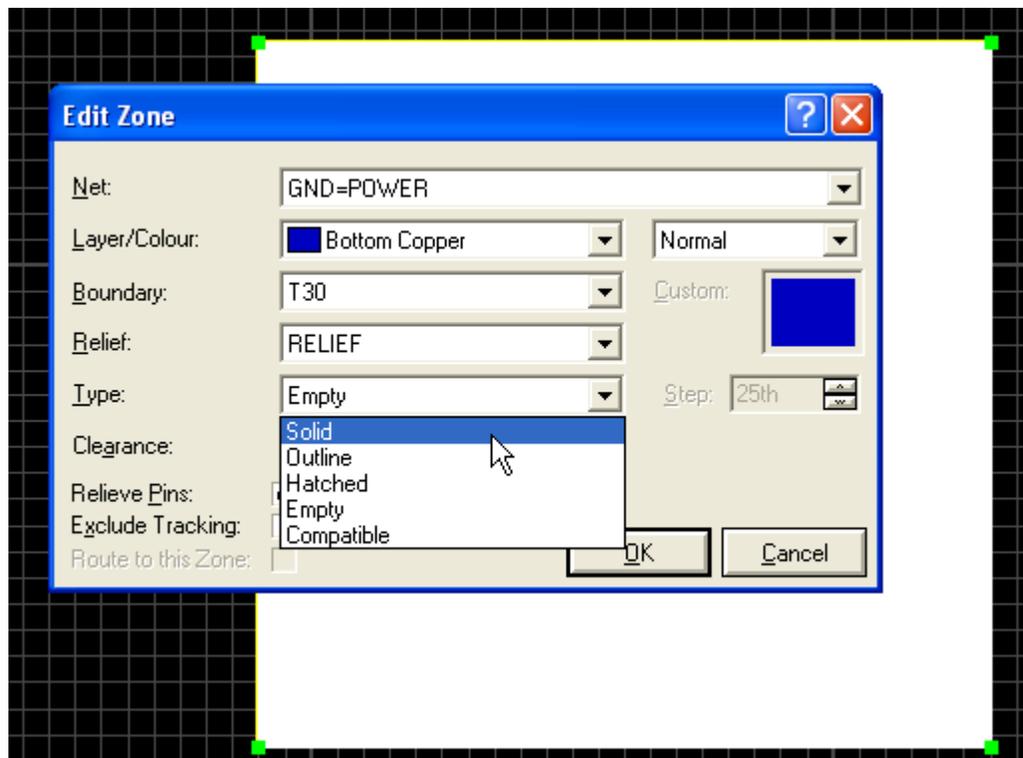
Clicar no ícone Zone Mode e em seguida na borda da placa, com o botão direito do mouse.

Toda a área ficará branca.

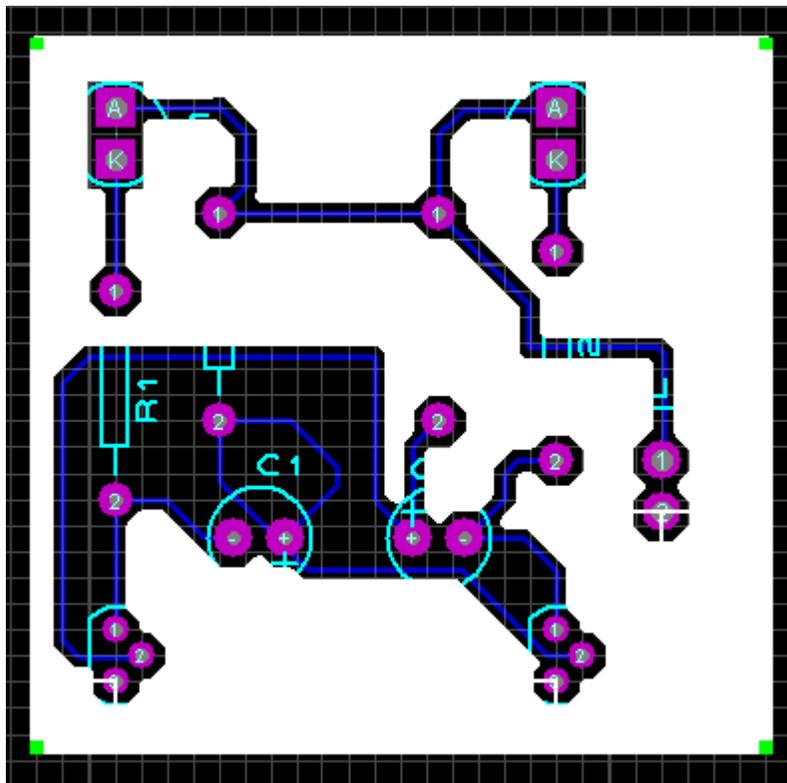
Clicar em Edit Properties:



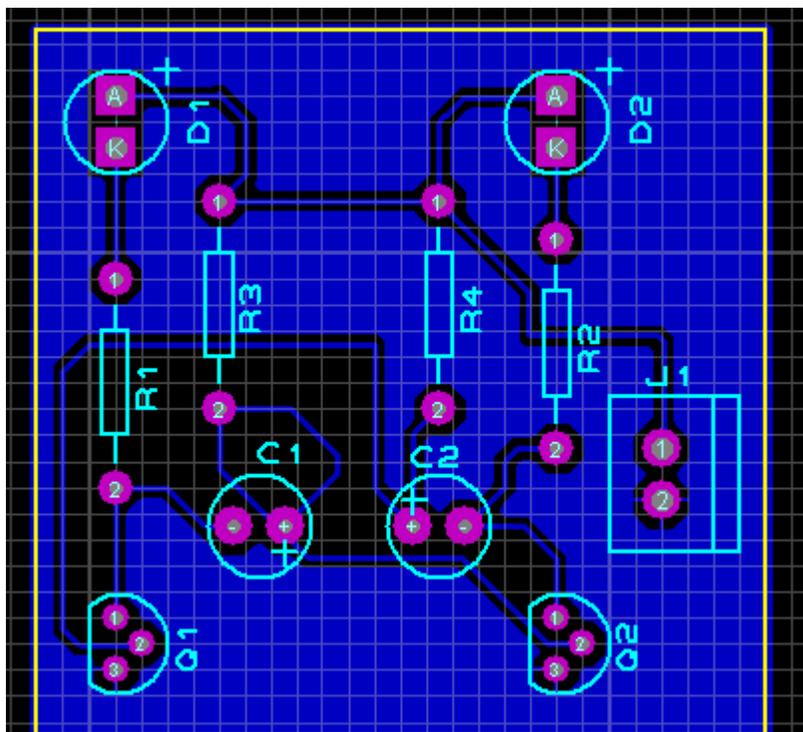
Modificar a opção Empty para Solid e clicar OK.



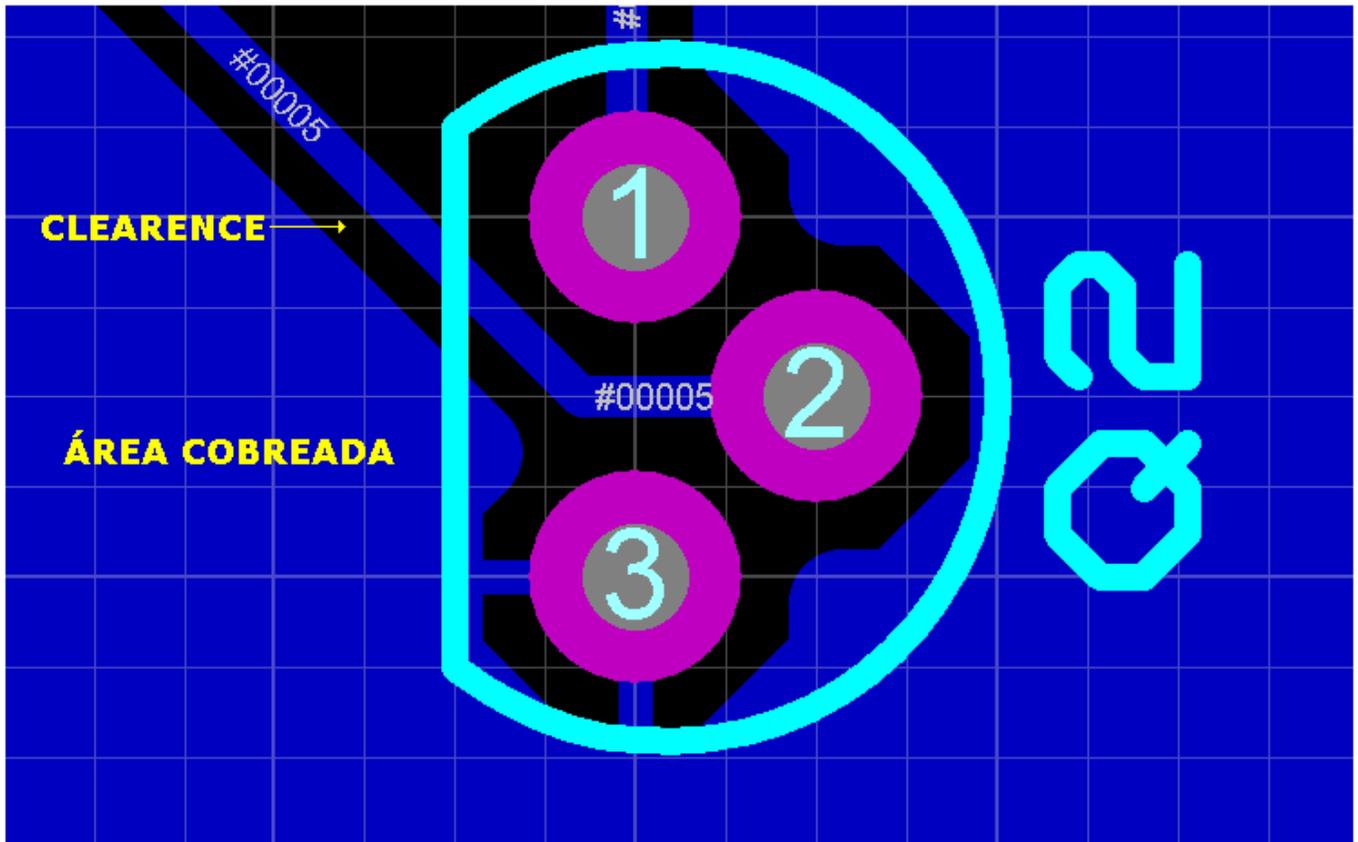
As figuras a seguir mostram a placa de CI com o chapado, interligando os pontos de terra.



Clicar em qualquer ponto da área de trabalho:

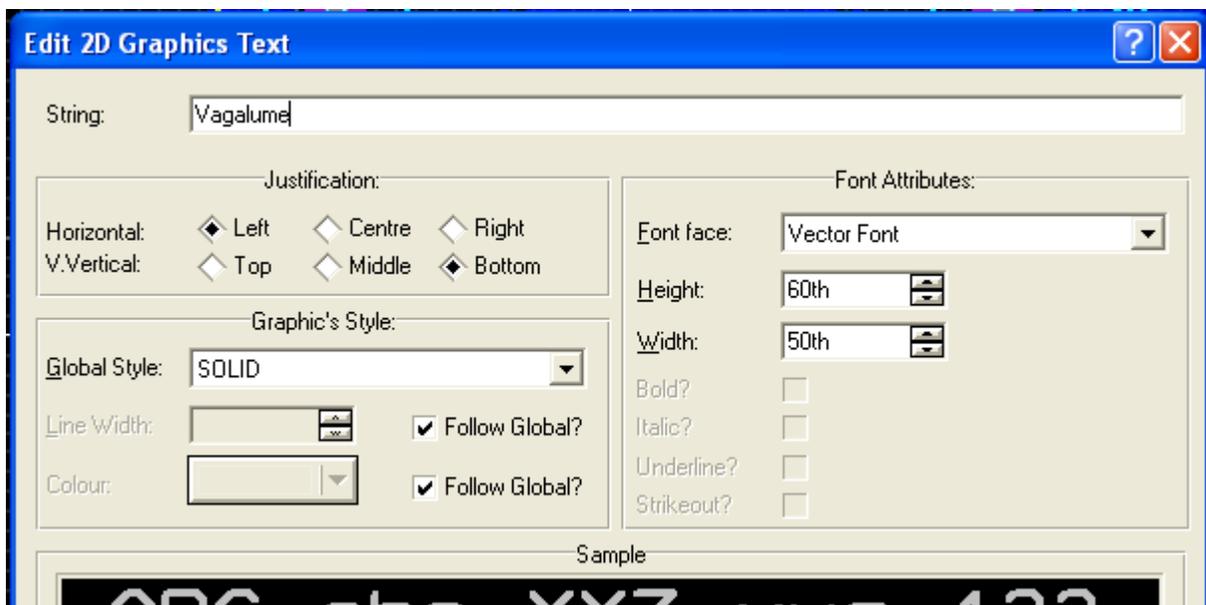


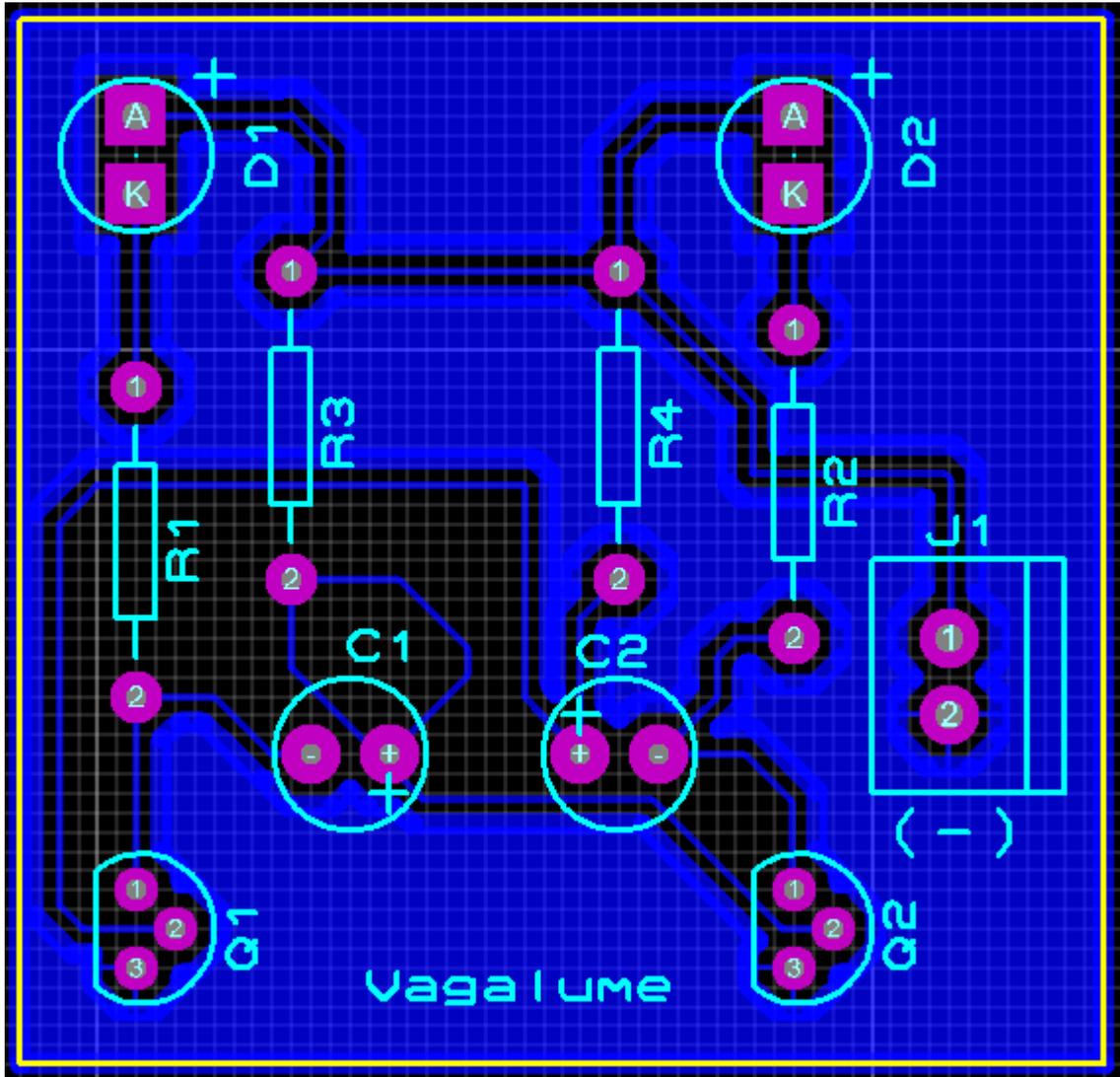
A figura a seguir mostra detalhes da ligação do terra.



Vamos agora identificar nossa placa, com o nome Vagalume e identificar o conector J1 quanto a sua polaridade. Basta apenas identificar a polaridade (-).

O processo é idêntico ao usado Proteus ISIS, porém não esquecer de que essa identificação deve ser feita no layer TOP SILK.





Salvando o projeto:

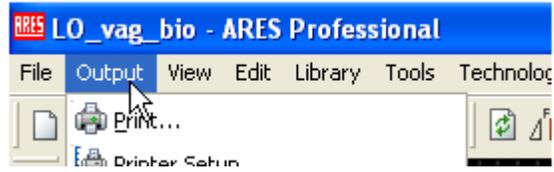
Antes de salvar o projeto, verificar se existem erros.



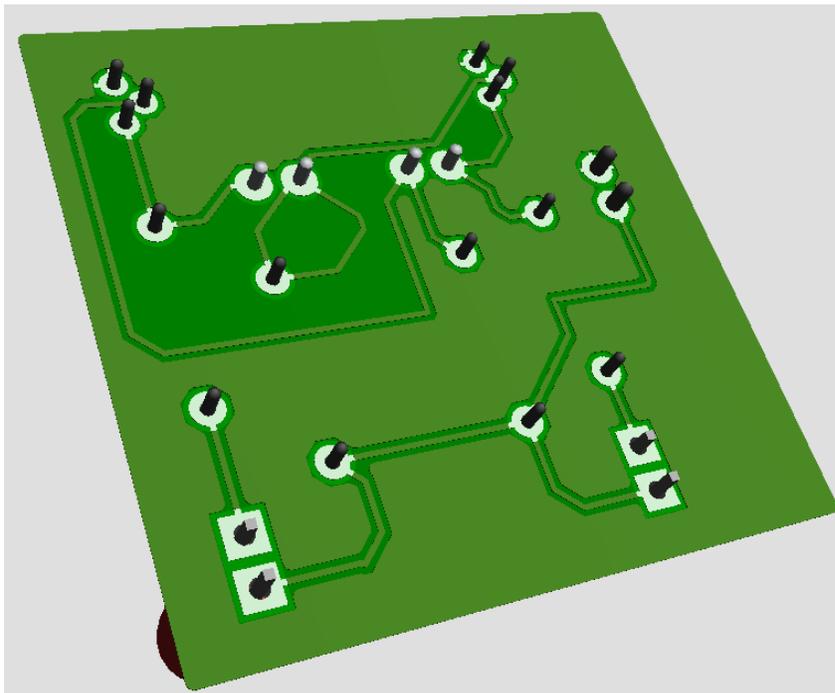
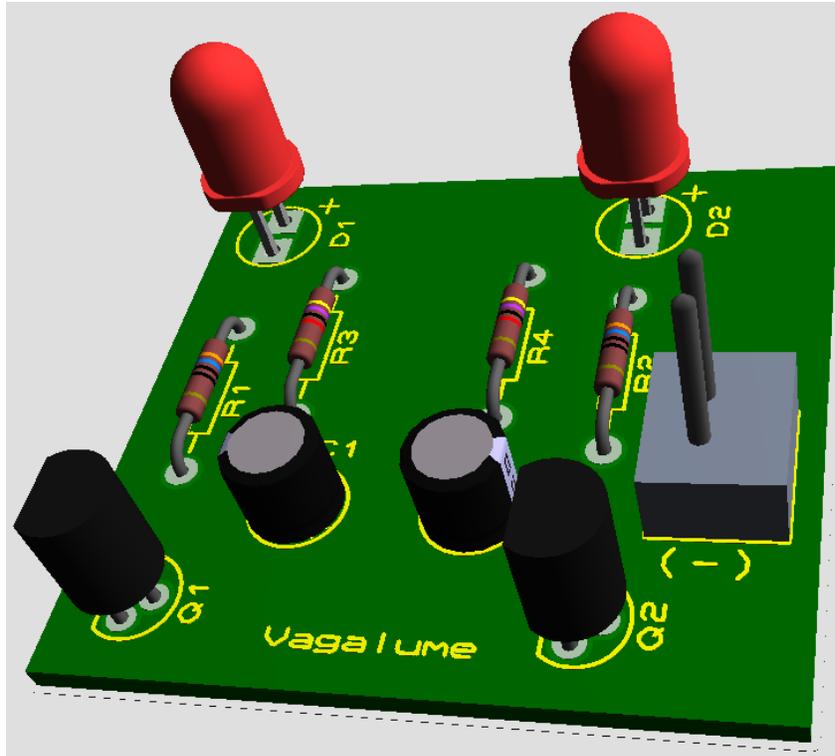
Podemos observar que não existem erros.

Salvaremos o projeto como *LO_vag_bio*. O programa se encarrega de colocar a extensão (.LYT). Isto significa que qualquer edição do projeto pode ser efetuada diretamente no Proteus ARES, sem a necessidade de abrir o Proteus ISIS.

As figuras a seguir mostram a visualização 3D das placas.



Clicar em 3D Visualization



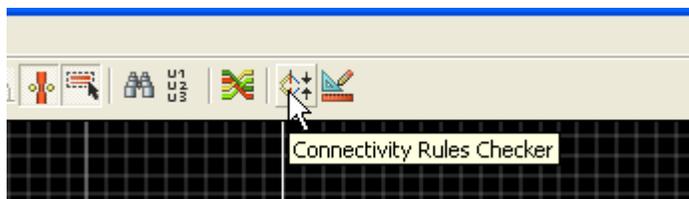
Gerando arquivos Gerber:

Antes de gerar os arquivos Gerber, vamos nos certificar de que não existem erros de conectividade.

Os arquivos Gerber possuem todas as informações dos layers e da furação (Drill).

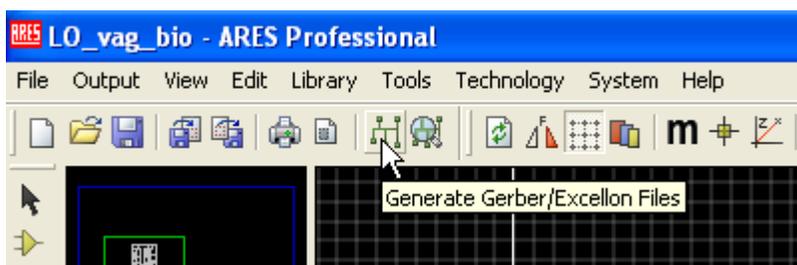
Conforme visto anteriormente não existem erros no DRC.

Basta clicar no ícone Connectivity Rules Checker.



Se tudo estiver normal, não haverá nenhuma resposta ao clique do mouse.

Para gerar os arquivos Gerber, basta clicar no ícone Generate Gerber/Excellon Files.



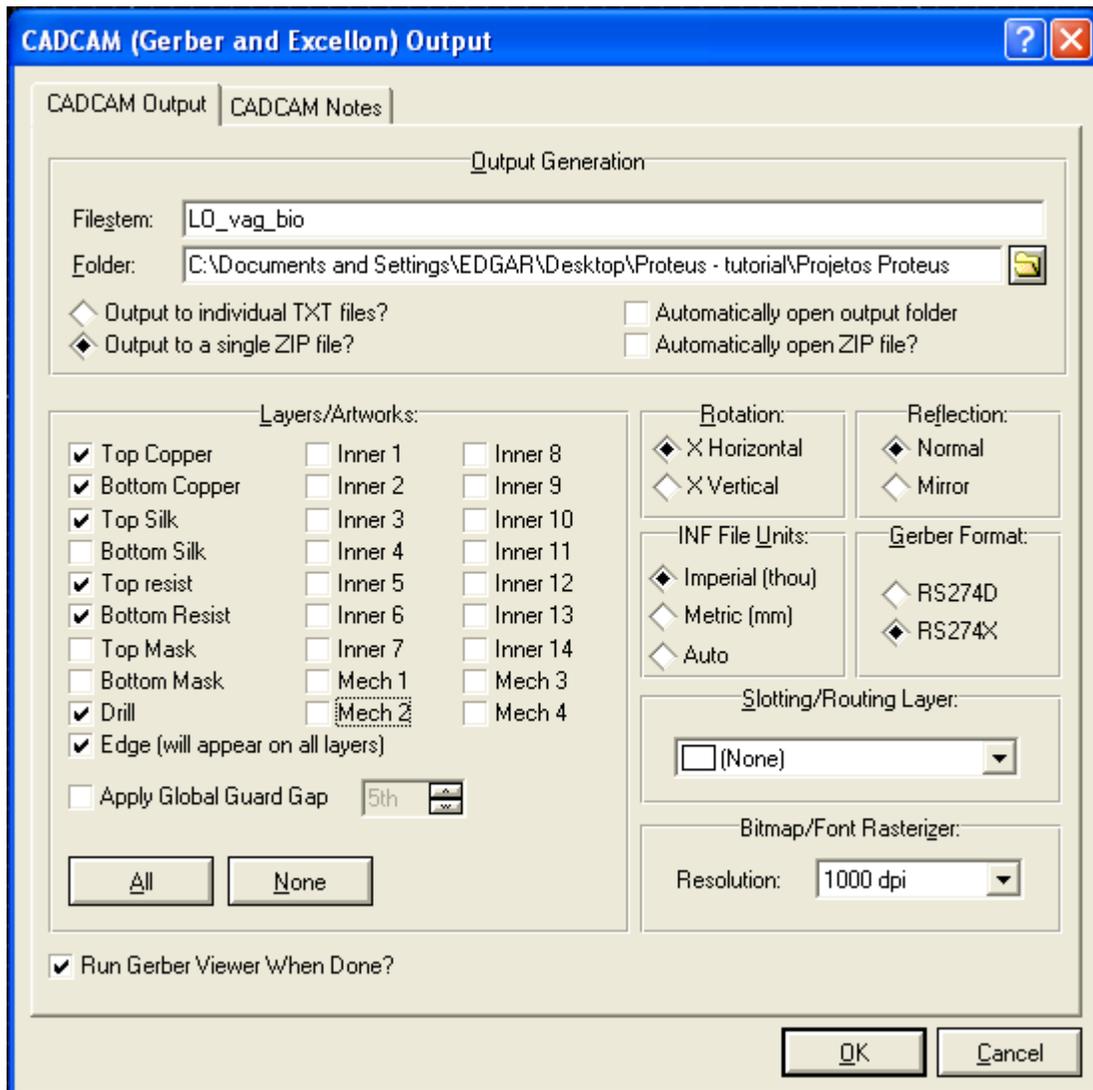
Ao clicar no ícone será aberta uma janela CAD/CAM (Gerber and Excellon) Output.

A janela mostra os layers cujos arquivos serão gerados, inclusive arquivos de furação (Drill).

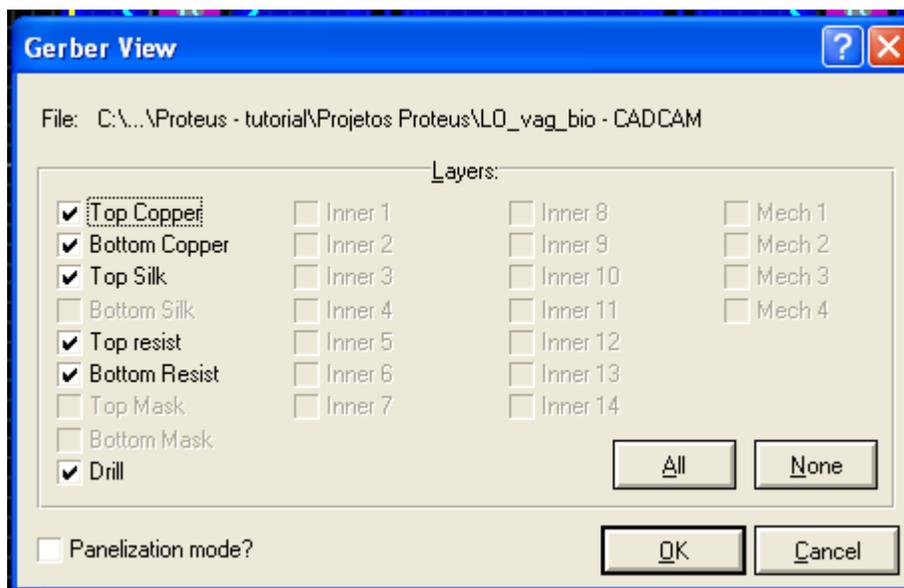
Vamos alterar:

- Resolução de 500 dpi para 1000 dpi
- Saída compactada com ZIP (Output to a single file?)
- Rodar visualização depois de completado (Run Gerber View When Done?)

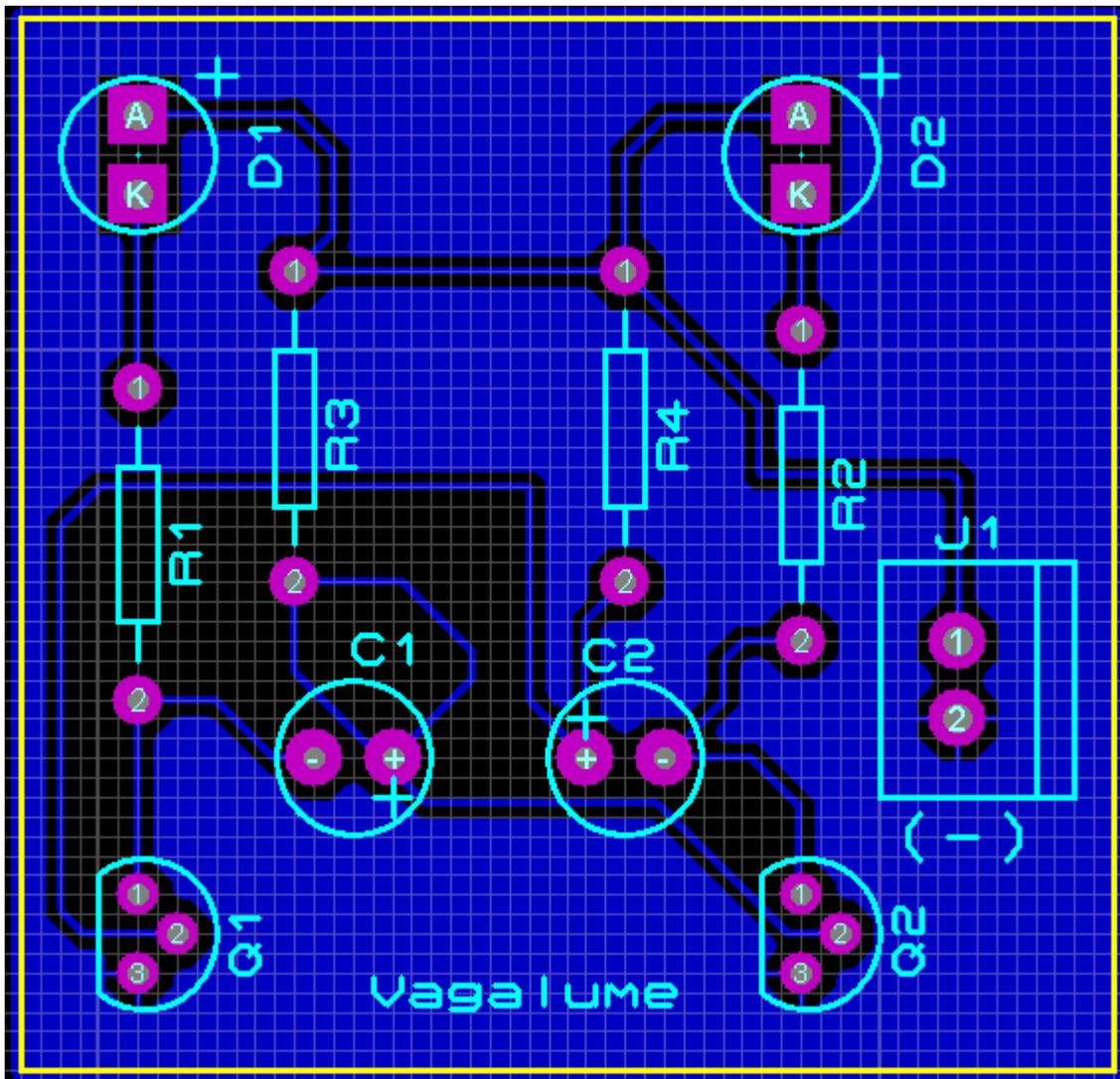
A figura a seguir mostra as configurações adotadas para o presente projeto. É bom lembrar que essas configurações podem ser alteradas.



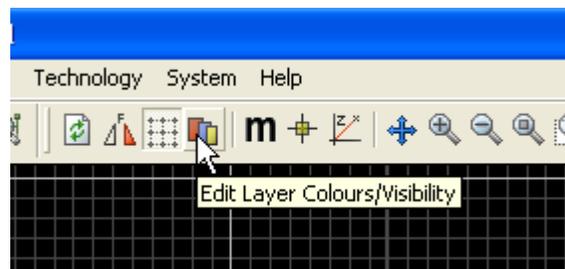
Ao clicar em OK abrirá uma janela com um resumo do que será visualizado



Clicar em OK e a geração dos arquivos será completada, conforme mostra a figura abaixo:

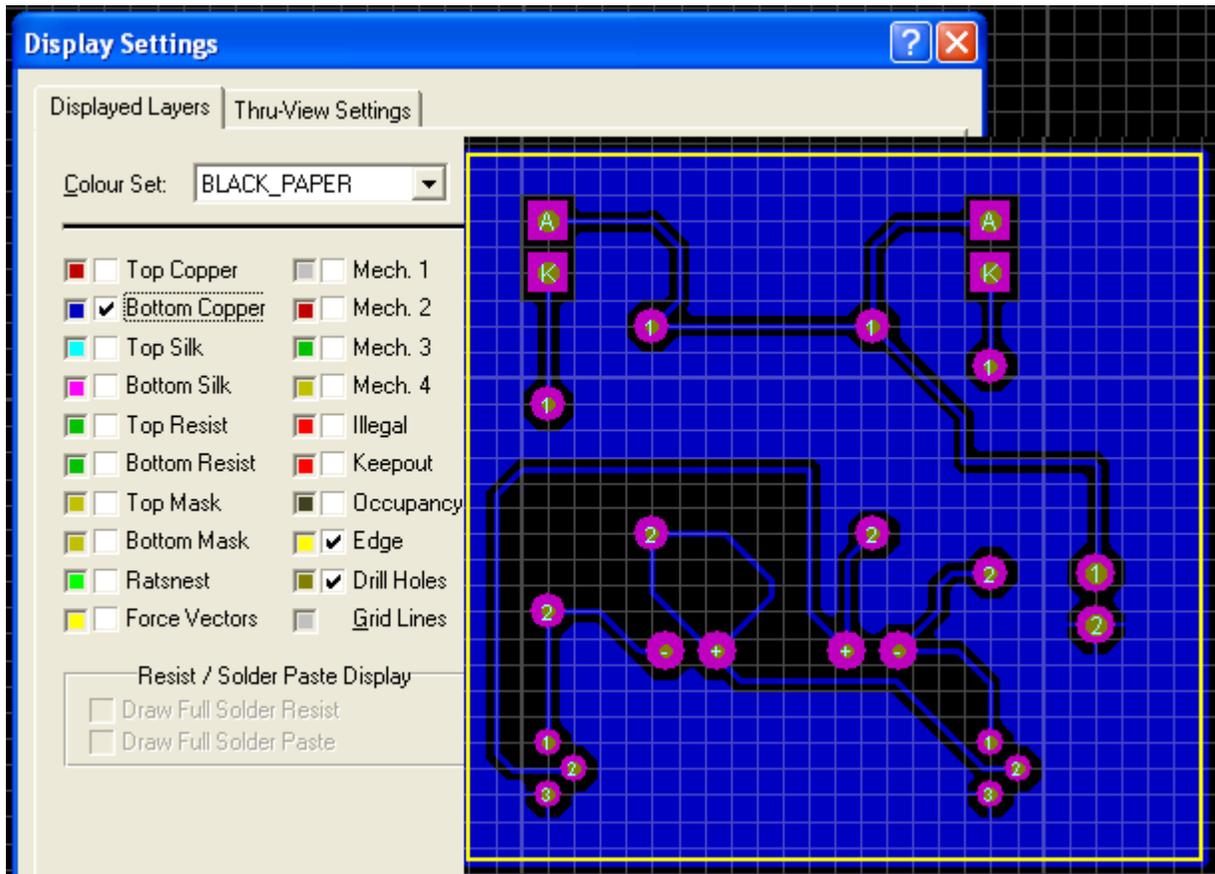
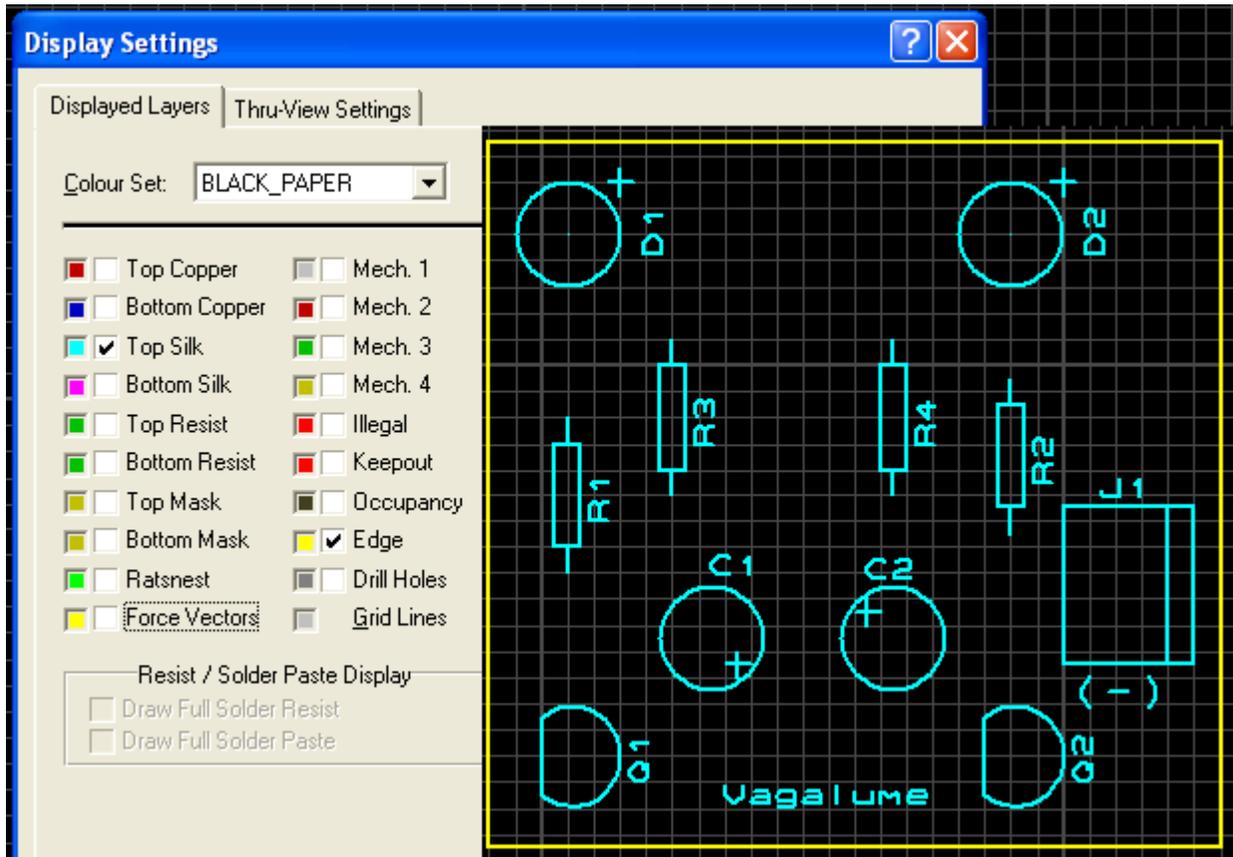


A partir daí, podemos visualizar cada um dos layers clicando no ícone Edit Layer Colours/Visibility

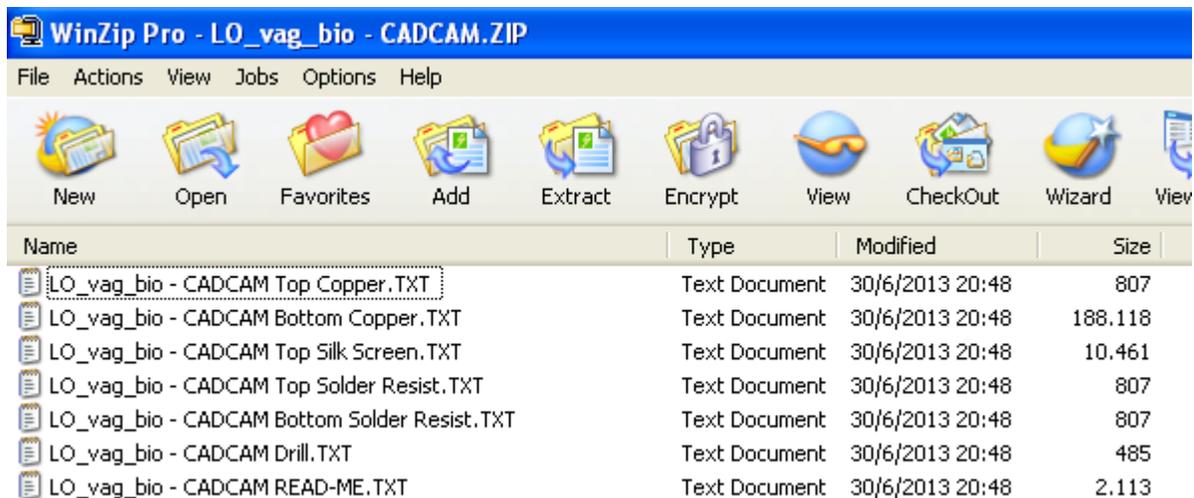


A figuras a seguir mostram a visualização do TOP SILK e do BOTTOM COPPER.

Observe que para ambos a visualização da borda (contorno da placa) está ativada.



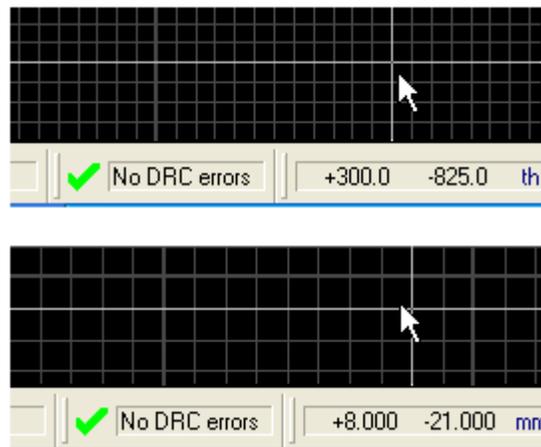
A figura a seguir mostra os arquivos CAD/CAM previamente compactados.



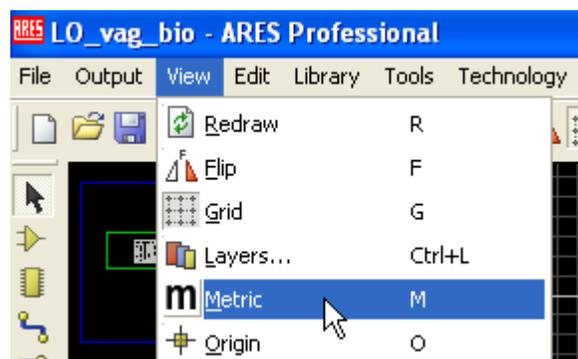
Dimensões da placa de CI:

Através da janela das coordenadas X e Y, localizada no canto inferior direito da área de trabalho, podemos medir com precisão o tamanho da placa.

Em Thou ou em milímetros respectivamente:



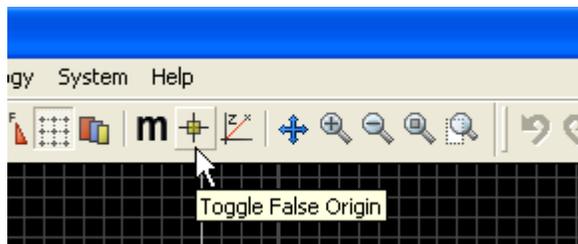
Para converter de Thou para milímetro, basta teclar "M".



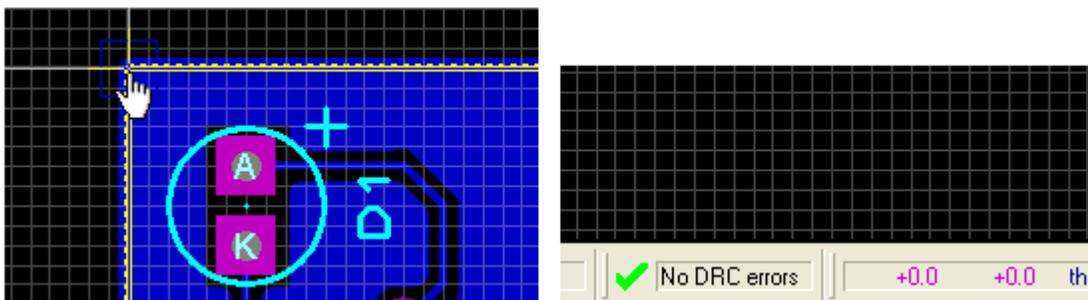
Vamos então medir a placa, cujo tamanho é representado pela borda ou contorno em amarelo.

Para isso vamos criar um ponto de origem no canto superior esquerdo.

Para criar um ponto de origem 0,0 basta clicar no ícone Toggle False Origin ou simplesmente, posicionar o cursor no canto superior esquerdo e teclar a letra "O".



Veja as figuras a seguir:



Procedendo a medição:

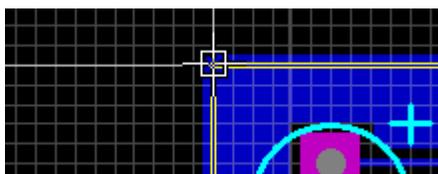
Largura = 1400th ou 35,56mm

Altura = 1350th ou 34,29mm

Podemos dizer então que o tamanho real dessa placa é de aproximadamente 3,6 x 3,4 cm.

OBS: O ponto de origem criado é chamado ponto de origem falso, ou seja, as coordenadas são forçadas para 0,0 em qualquer parte da área de trabalho. Para desfazer o ponto de origem basta clicar no ícone correspondente ou teclar a letra "O".

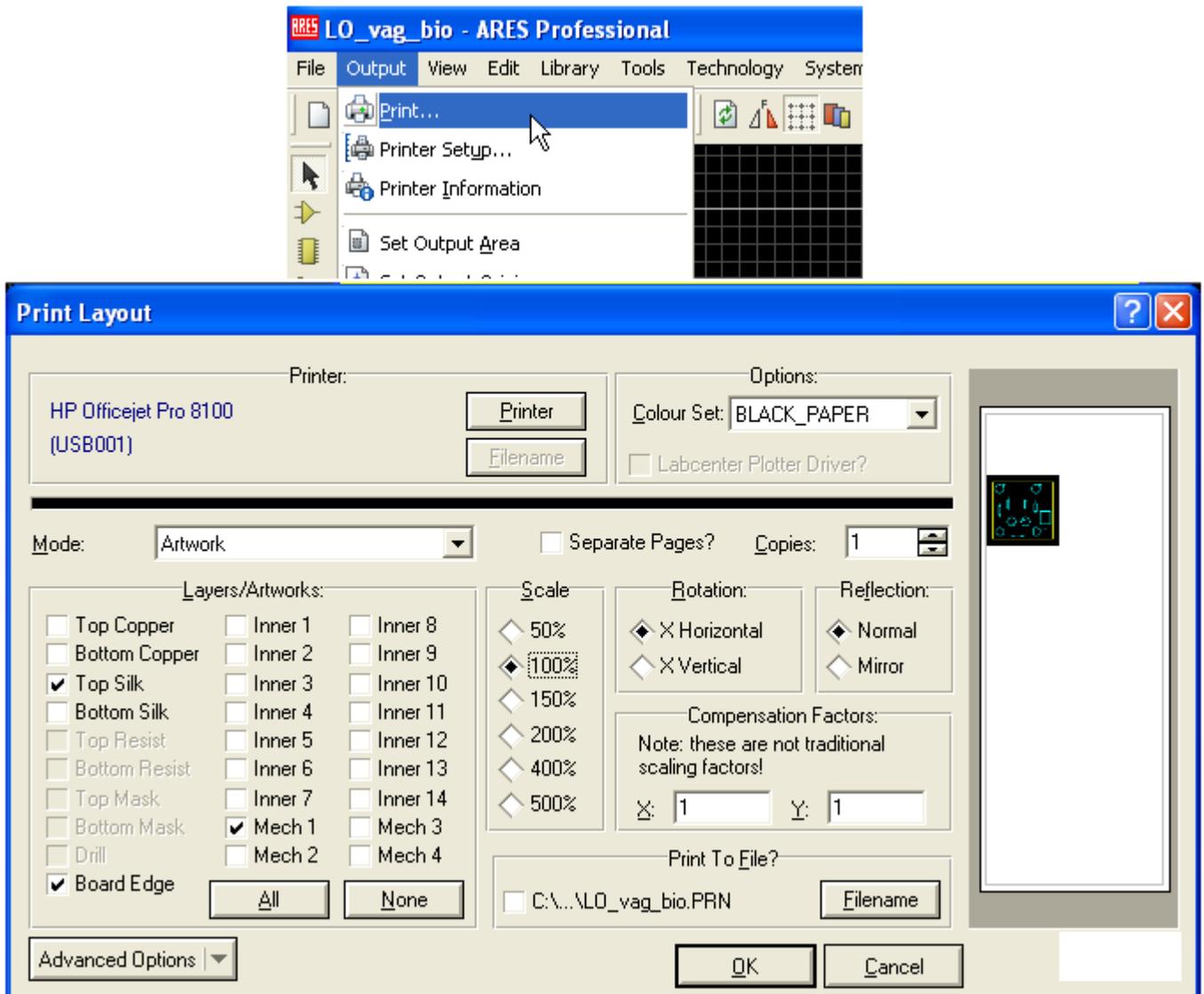
A figura a seguir mostra o ponto de origem falso criado através do ícone:



Imprimindo o projeto:

O projeto pode ser impresso em uma impressora convencional, sem maiores dificuldades. Basta apenas fazer as configurações adequadas.

A figura abaixo mostra a janela de configuração para impressão:



A escala 100% representa o tamanho real (1:1).

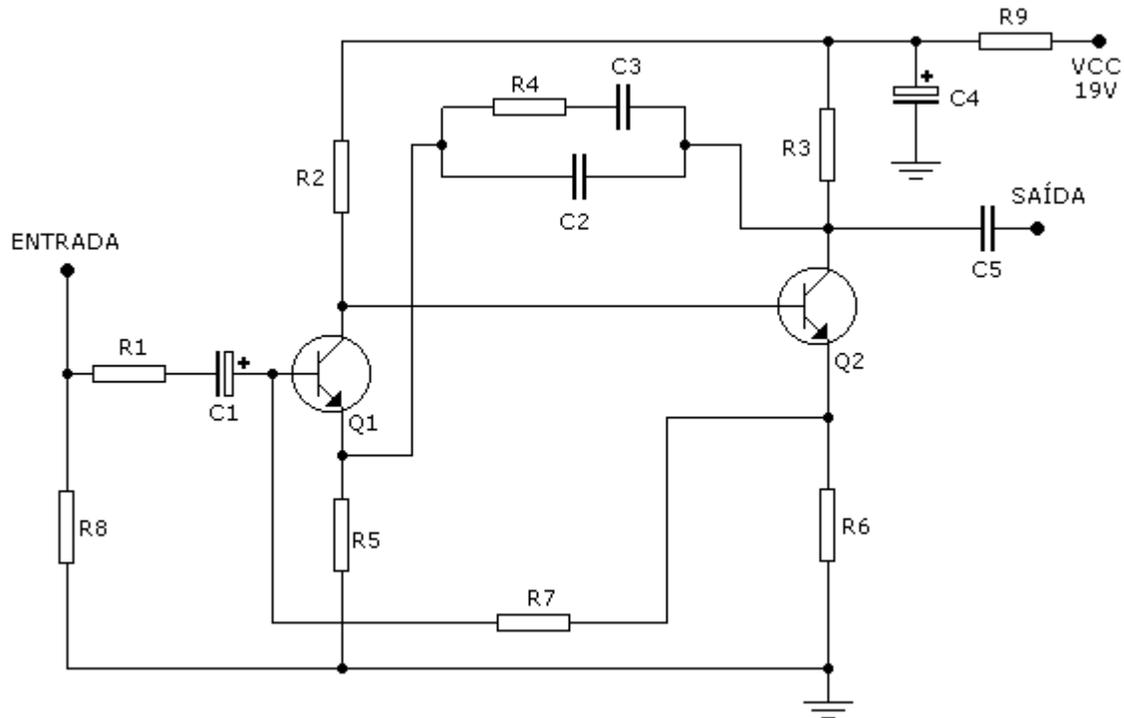
Observa-se na figura acima, que foi selecionado para impressão o layer BOARD EDGE e TOP SILK.

Seguindo o mesmo raciocínio é possível selecionar outros layers.

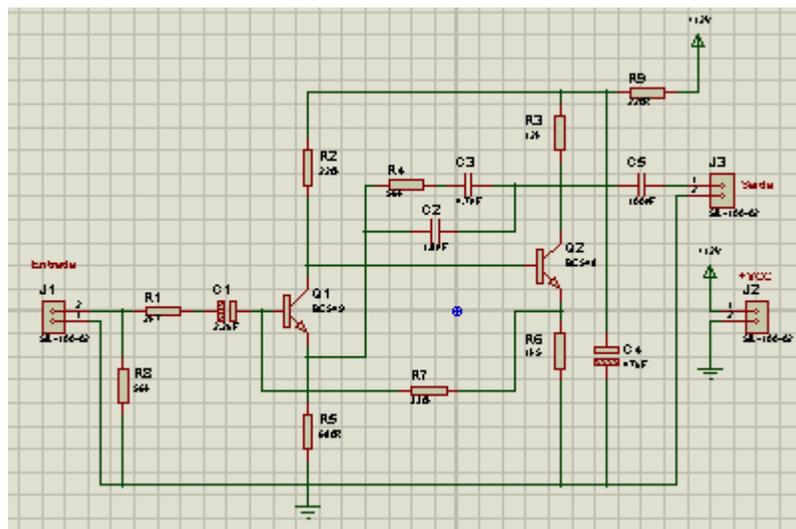
É possível ainda optar por impressão normal ou "mirror", sendo esta última muito útil quando se imprime o layer BOTTOM COPPER.

PLACA DE CI DE UM AMPLIFICADOR DE TENSÃO (PEQUENOS SINAIS)

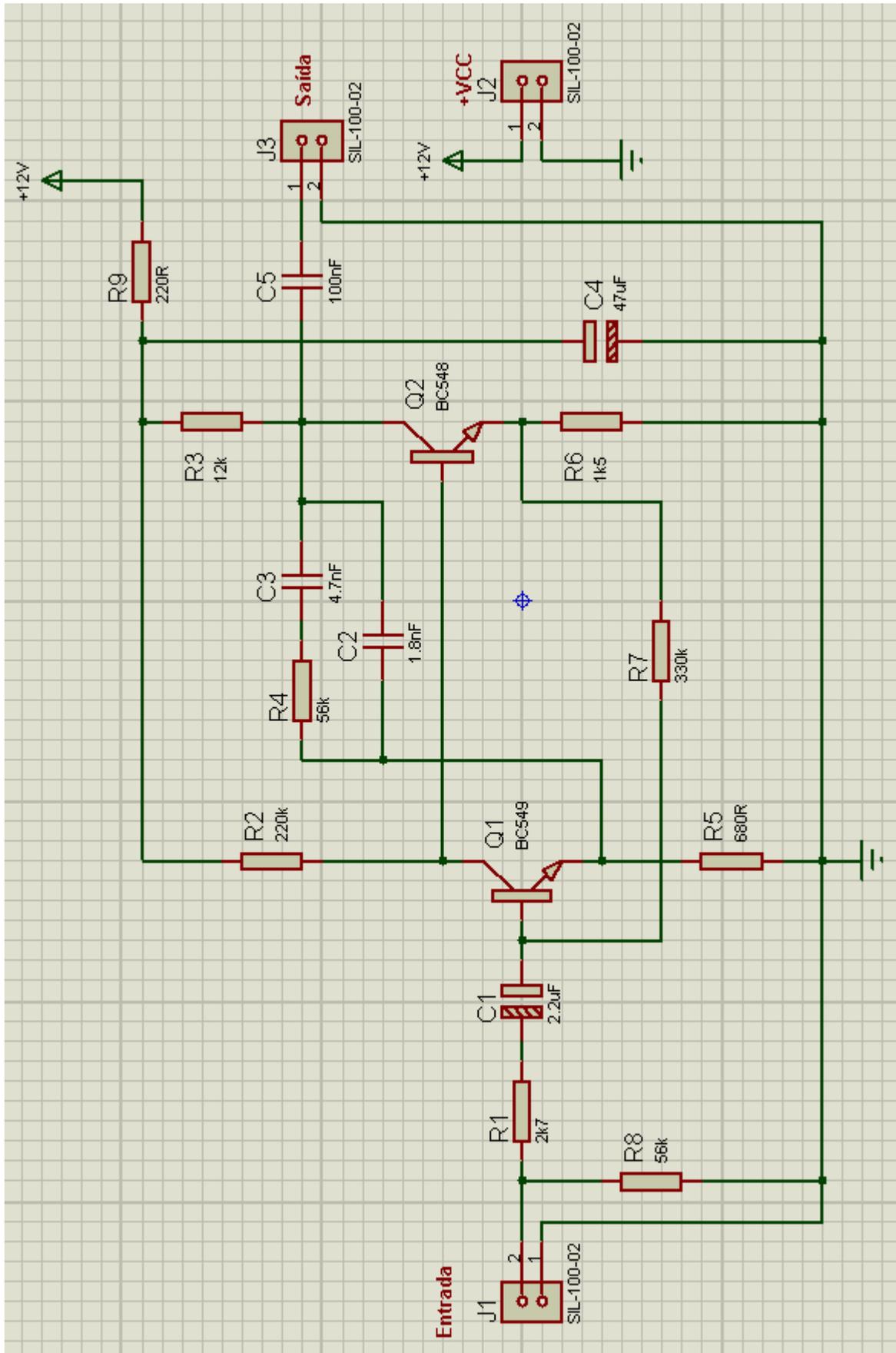
O circuito a seguir mostra um amplificador de tensão, também denominado pré-amplificador universal, por ser muito usado como módulo entre uma fonte de sinal e um módulo de potência. O primeiro passo é desenhar o circuito no ISIS.



Os procedimentos são iguais aos adotados no exemplo anterior, porém, a única diferença é que faremos um roteamento automático deste projeto (Auto-router).

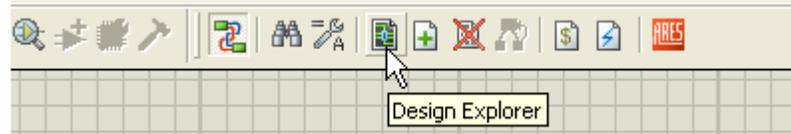


A imagem a seguir mostra o esquema mais detalhado.



A figura a seguir mostra a lista dos componentes e respectivos PCB Packages. O circuito foi salvo como *LO_amp_univ*

Para visualizar essa lista, basta clicar no ícone Design Explorer na barra de menus.



The screenshot shows the 'LO_amp_univ - Physical Partlist View' window. On the left, a tree view shows a folder named 'ROOT10'. The main area contains a table with the following data:

Reference	Type	Value	Circuit/Package
→ C1	CAP-ELEC	2.2uF	ELEC-RAD10
→ C2	CAP	1.8nF	CAP10
→ C3	CAP	4.7nF	CAP10
→ C4	CAP-ELEC	47uF	ELEC-RAD10
→ C5	CAP	100nF	CAP10
→ J1	SIL-100-02	SIL-100-02	SIL-100-02
→ J2	SIL-100-02	SIL-100-02	SIL-100-02
→ J3	SIL-100-02	SIL-100-02	SIL-100-02
→ Q1	BC549	BC549	TO92/18
→ Q2	BC548	BC548	TO92/18
→ R1	RES	2k7	RES40
→ R2	RES	220k	RES40
→ R3	RES	12k	RES40
→ R4	RES	56k	RES40
→ R5	RES	680R	RES40
→ R6	RES	1k5	RES40
→ R7	RES	330k	RES40
→ R8	RES	56k	RES40
→ R9	RES	220R	RES40

A figura a seguir mostra que não há erros em ERC, e assim sendo podemos dar prosseguimento ao projeto.

The screenshot shows the 'ELECTRICAL RULES CHECK - ISIS Professional' window. The report content is as follows:

```
ELECTRICAL RULES CHECK REPORT
=====
Design:    C:\Documents and Settings\EDGAR\Deskt
Doc. no.:  <NONE>
Revision:  <NONE>
Author:    <NONE>
Created:   20/01/13
Modified:  01/07/13

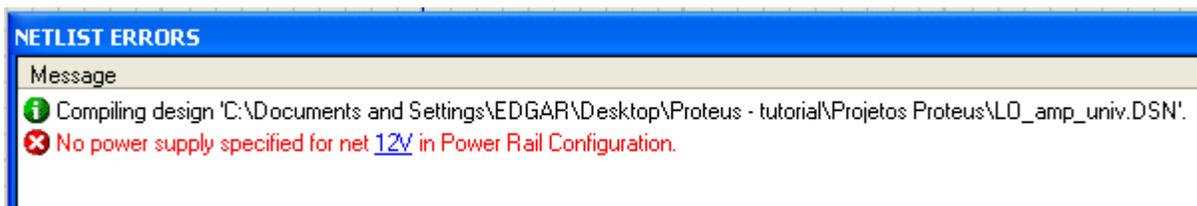
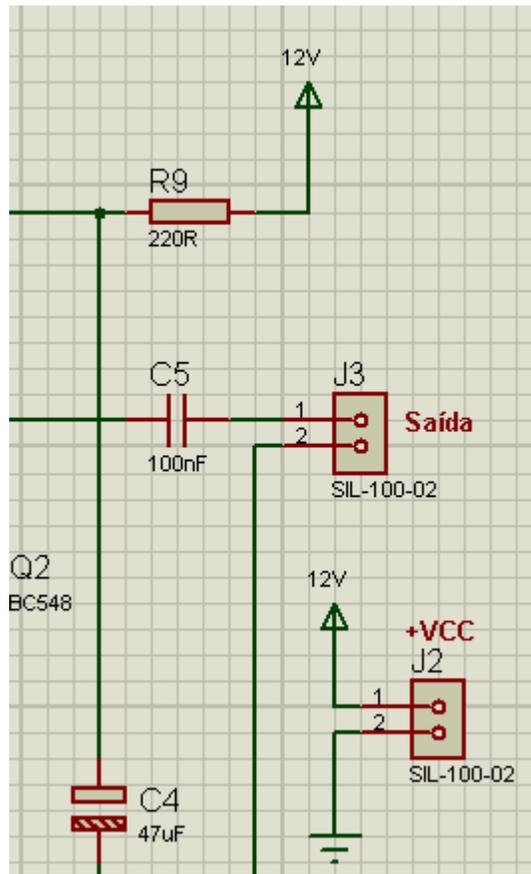
#I:Compiling design 'C:\Documents and Settings\
%C=0002,00000003

Netlist generated OK.
No ERC errors found.
```

Caso exista algum erro no projeto, ao exportar a Netlist para o Proteus ARES será exibida uma mensagem com as informações para a devida correção.

Vamos aqui simular um exemplo de erro para entender melhor.

Se digitarmos 12V ao invés de +12V para o valor da fonte, ao exportar a Netlist, ocorrerá uma notificação de erro conforme mostram as figuras a seguir, embora a ERC esteja normal, ou seja, não apresenta informação de erros.

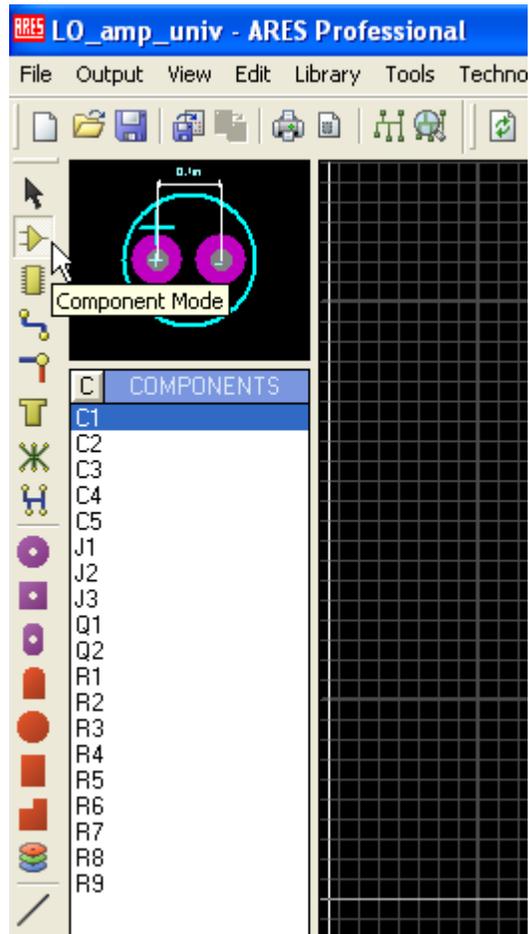


Observa-se então que, um pequeno detalhe impedirá a continuação do projeto.

Basta editar o componente, fazer a correção e salvar o projeto para dar a continuidade, exportando a Netlist para o Proteus ARES.

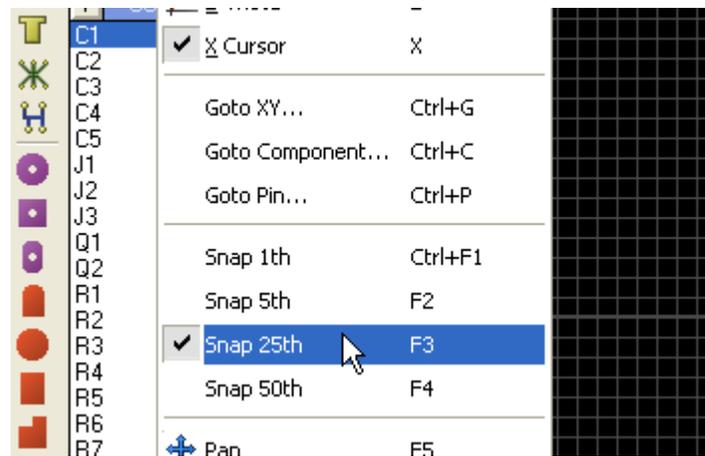
Vamos exportar a Netlist para o Proteus ARES e vamos optar pelo layout DEFAULT e em seguida clicar OK.

Lembrando que o ícone Component Mode deve estar ativado.

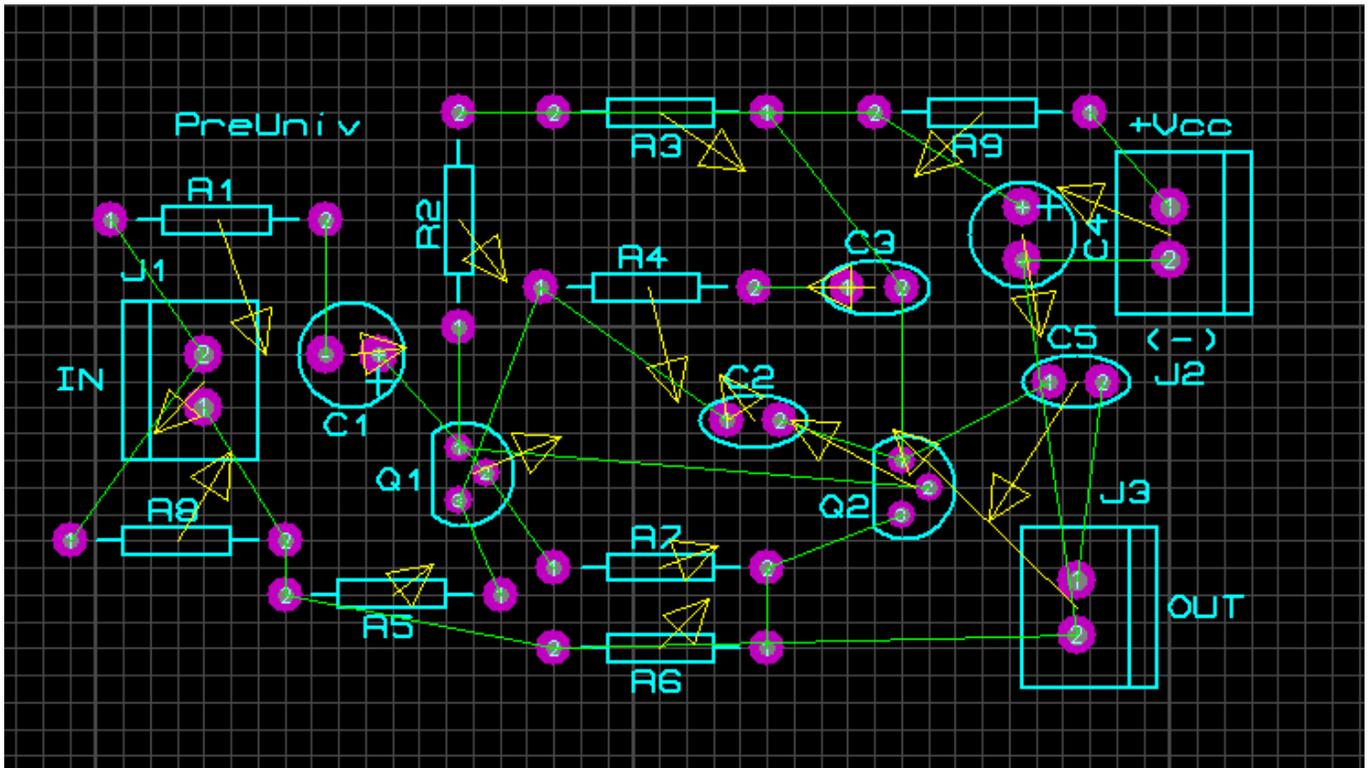


Vamos iniciar o posicionamento dos componentes na área de trabalho, lembrando que o layer é TOP SILK.

Vamos posicionar os componentes com Snap = 25th.



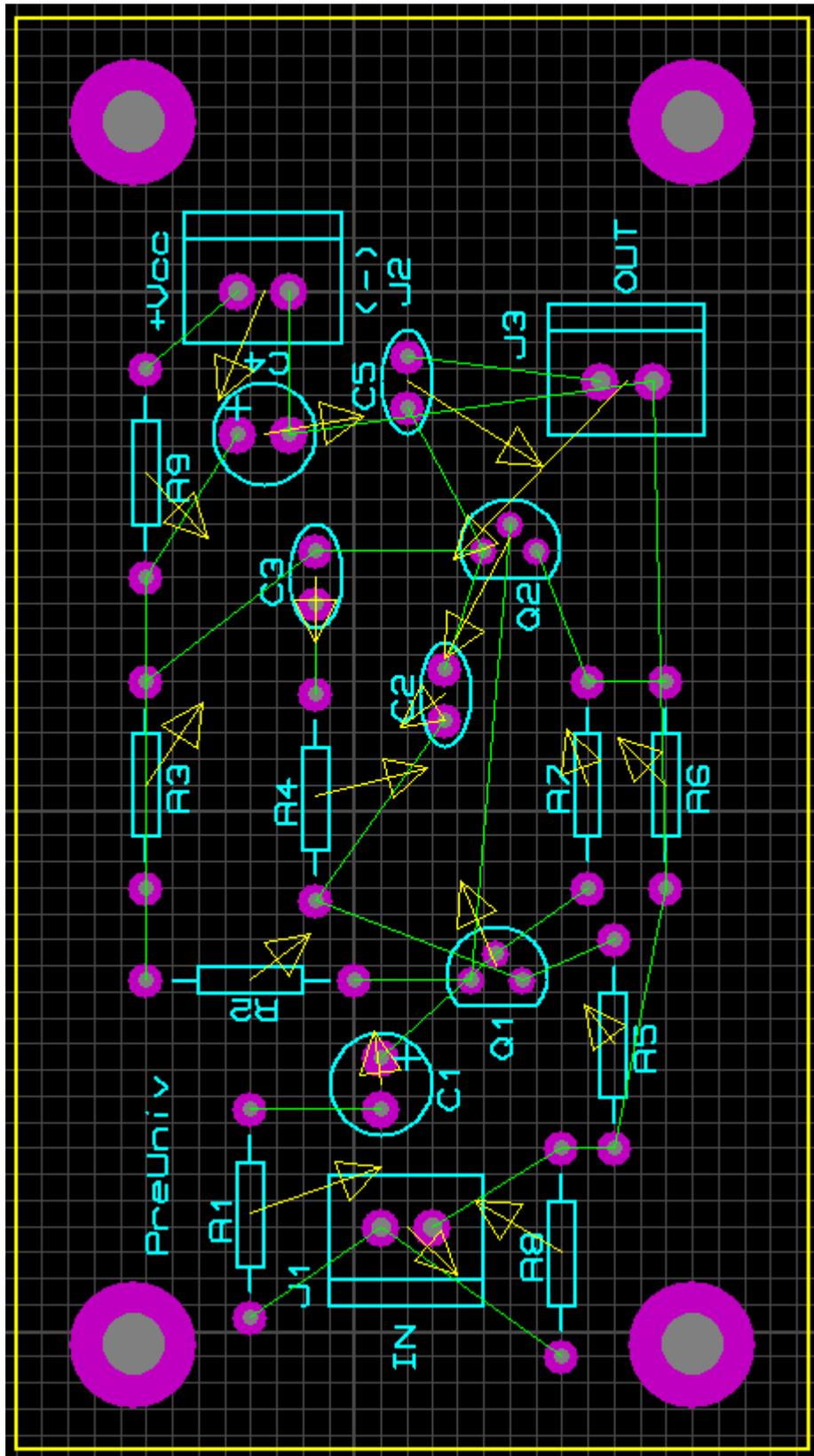
A figura a seguir mostra os componentes posicionados e a identificação dos conectores J1 (entrada do sinal), J2 (alimentação) e J3 (saída do sinal), identificação da placa e reposicionamento de alguns labels.



Vamos inserir na placa quatro furos de fixação, com diâmetro interno de 3mm.

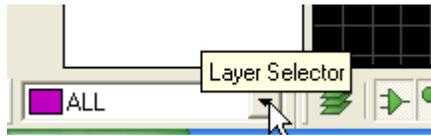
Clicar no ícone Round Through-hole Pad Mode e selecionar C-200M3, conforme ilustra a figura a seguir:



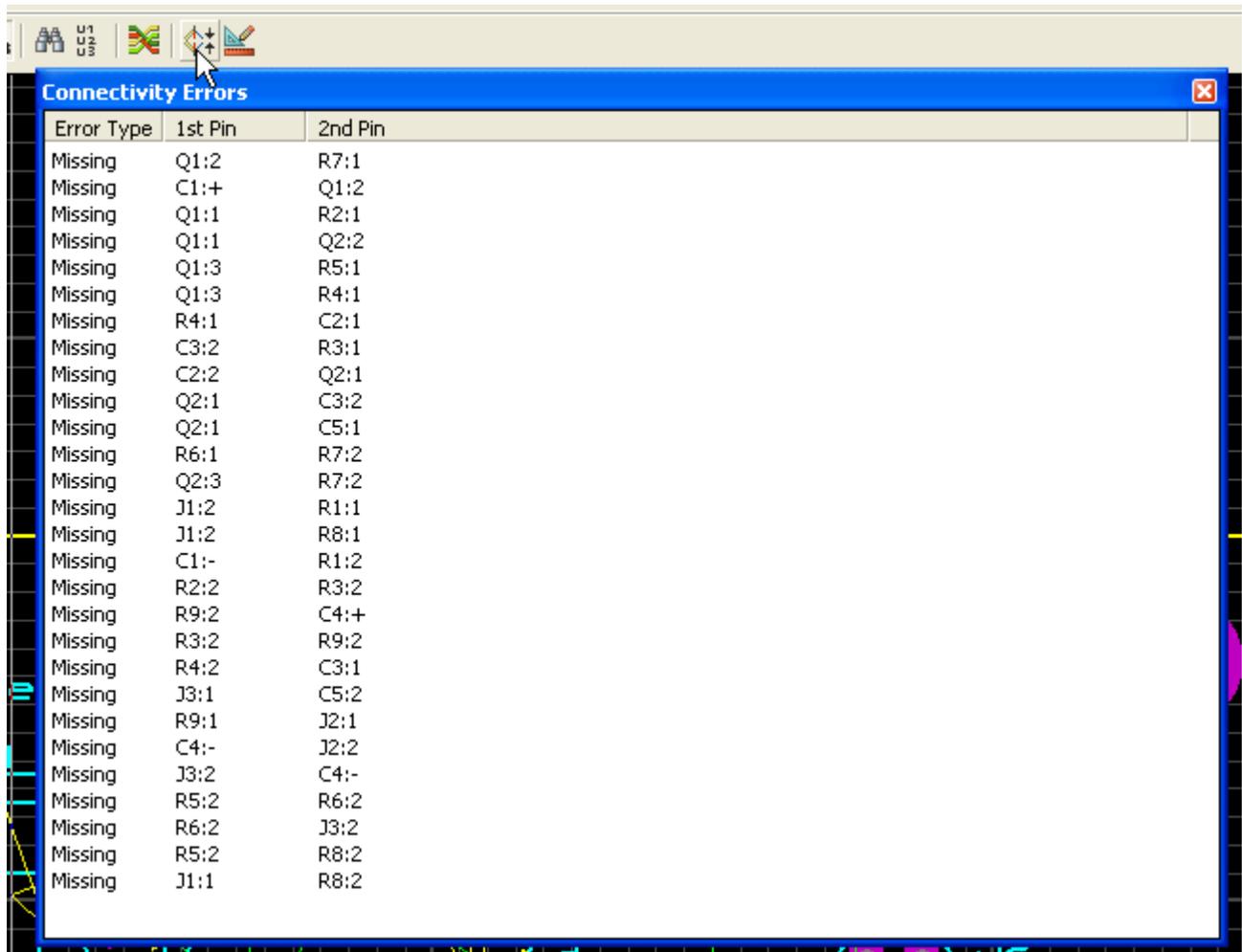


A figura acima mostra a placa com as ilhas de furação para fixação da placa e o seu contorno. Lembrar que o contorno deve ser feito com o layer BOARD EDGE.

Como se trata de furo para fixação, quando o Pad é selecionado, automaticamente o Layer Selector muda para ALL, pois se subentende que a furação afeta todos os layers da placa de CI.



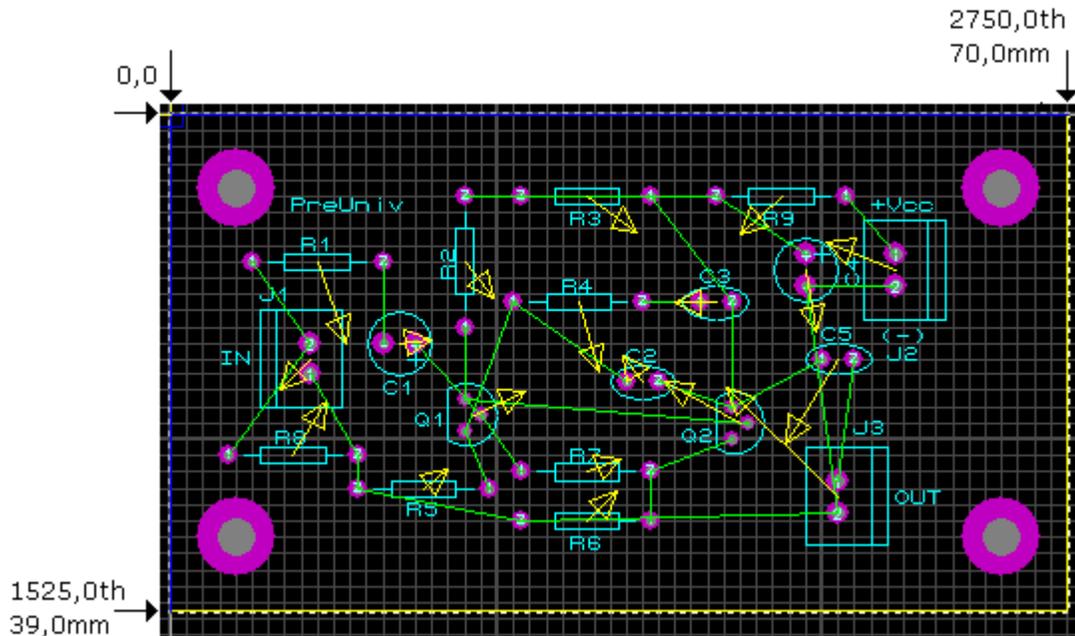
Como ainda não foi feito o roteamento, ao clicar no ícone Connectivity Errors, aparecerá uma janela mostrando todas as ligações a serem feitas. Essas ligações são mostradas pelos ratsnests (linha verde).



Quando for feito o roteamento e se não houver erros, esse ícone simplesmente não responde ao clique do mouse.

Medindo a placa:

Conforme visto no projeto anterior podemos medir a placa, criando um ponto de origem a partir de uma das extremidades da mesma, correr o cursor no sentido X e Y e determinar as dimensões da mesma.

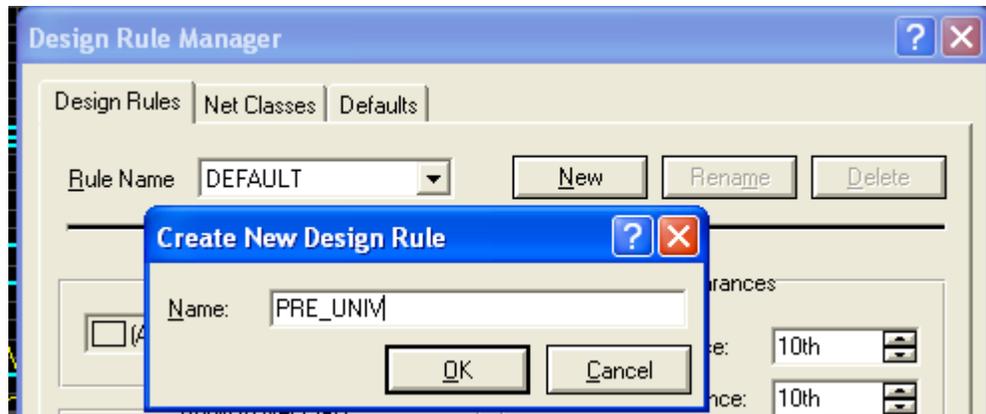
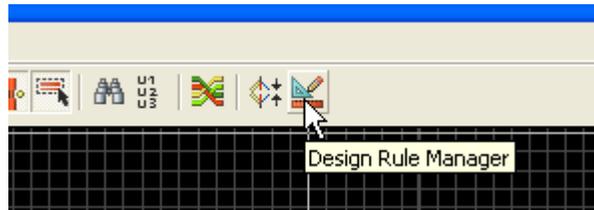


Convertendo de milímetros para centímetros, a placa terá uma dimensão de 7 x 3,9cm.

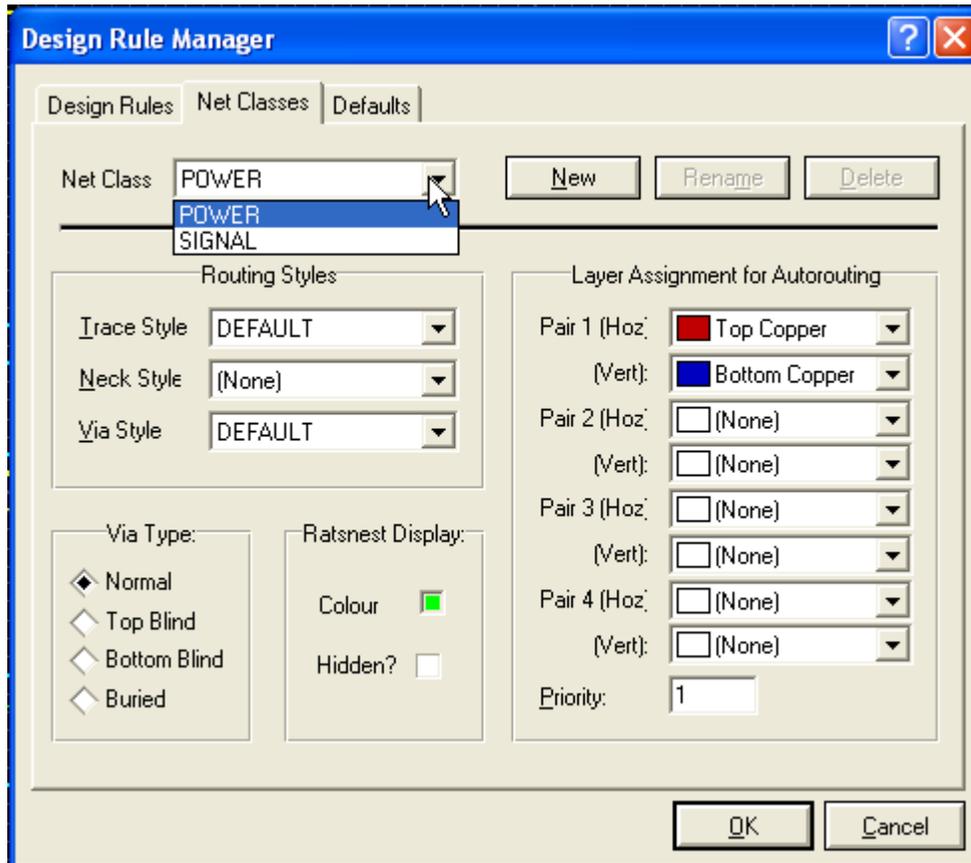
Roteamento automático (Auto-router):

Para proceder ao roteamento automático devemos configurar alguns parâmetros e definir onde será feito o mesmo. No nosso projeto o roteamento será feito apenas em uma face no layer BOTTOM COPPER.

Clicar no ícone Design Rule Manager:

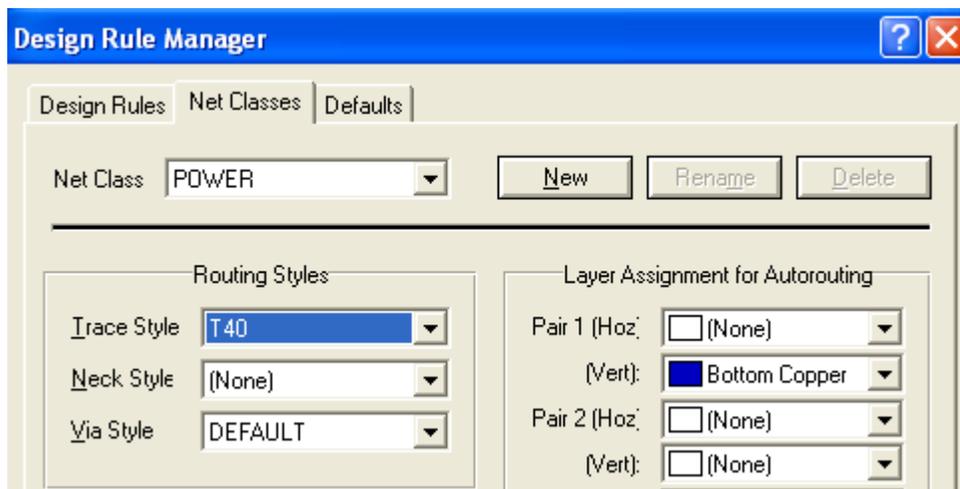


Na aba Design Rules, vamos dar um nome (opcional) para Rule Name, no caso, PRE_UNIV. A configuração mais importante está na aba Net Classes, onde será definido o layer de roteamento.

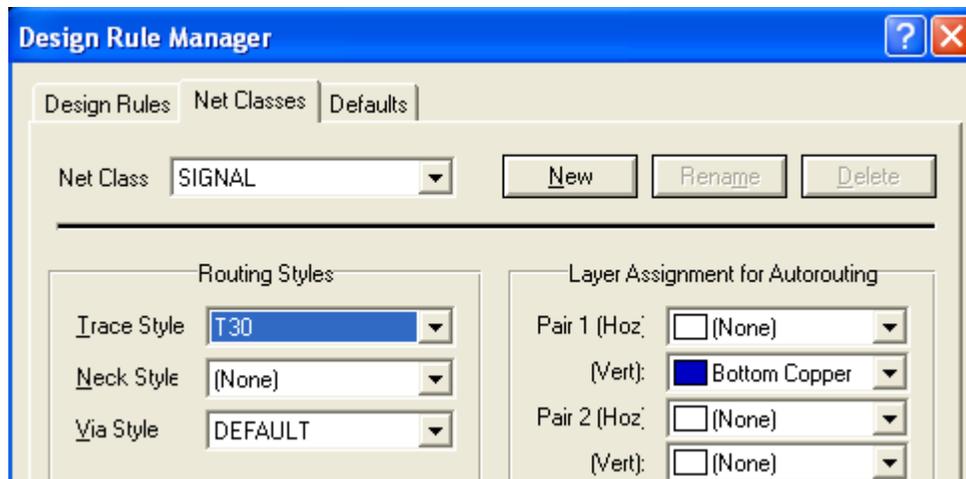


Observe que em Net Class temos podemos configurar em qual layer será feito o roteamento de POWER (alimentação, terra ou VCC) e de SIGNAL (interligação entre os componentes).

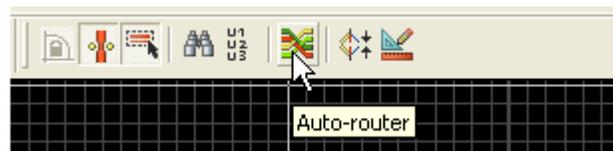
Vamos definir para o layer BOTTOM COPPER a largura da trilha como T40.



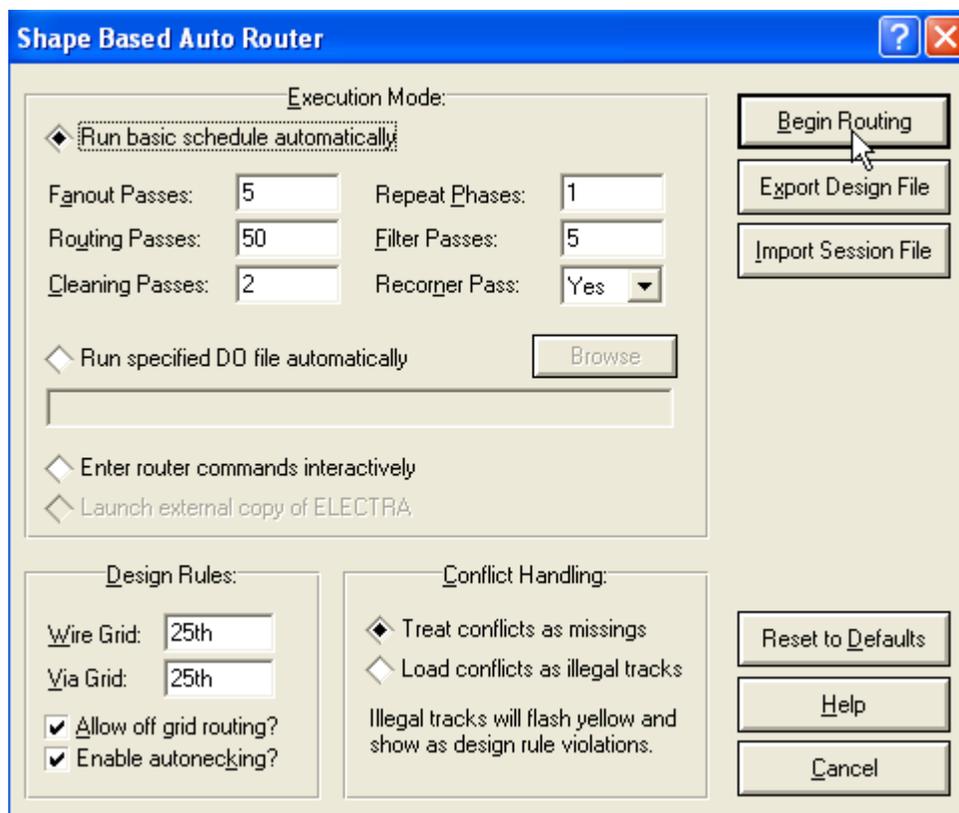
Para a o mesmo layer, o BOTTOM COPPER, uma largura de T30 para SIGNAL.



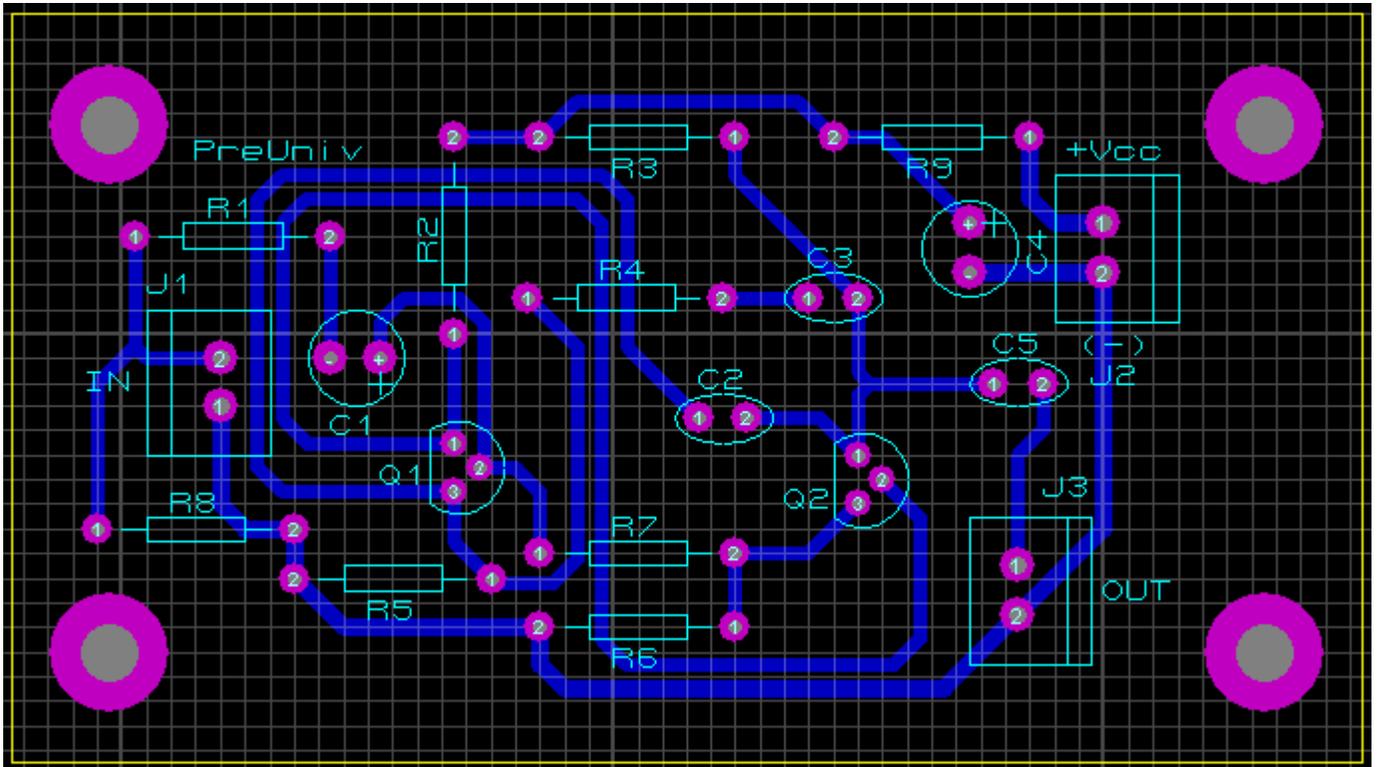
T30 e T40 é a mesma coisa do que 30th e 40th respectivamente. Basta agora clicar no ícone Auto-router



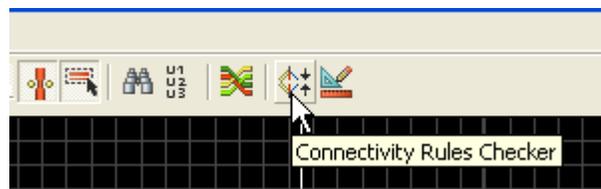
Não vamos modificar nada na janela que aparece e clicar em Begin Routing. Iniciará então o processo de roteamento automático.



A figura a seguir mostra o roteamento concluído.



Para confirmar se tudo está em ordem, clicar no ícone Connectivity Rules Checker:

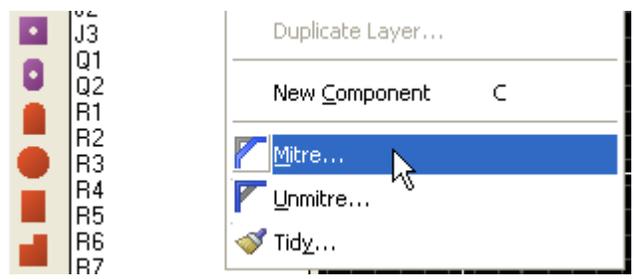


Se não houver nenhuma resposta, significa que tudo está em ordem.

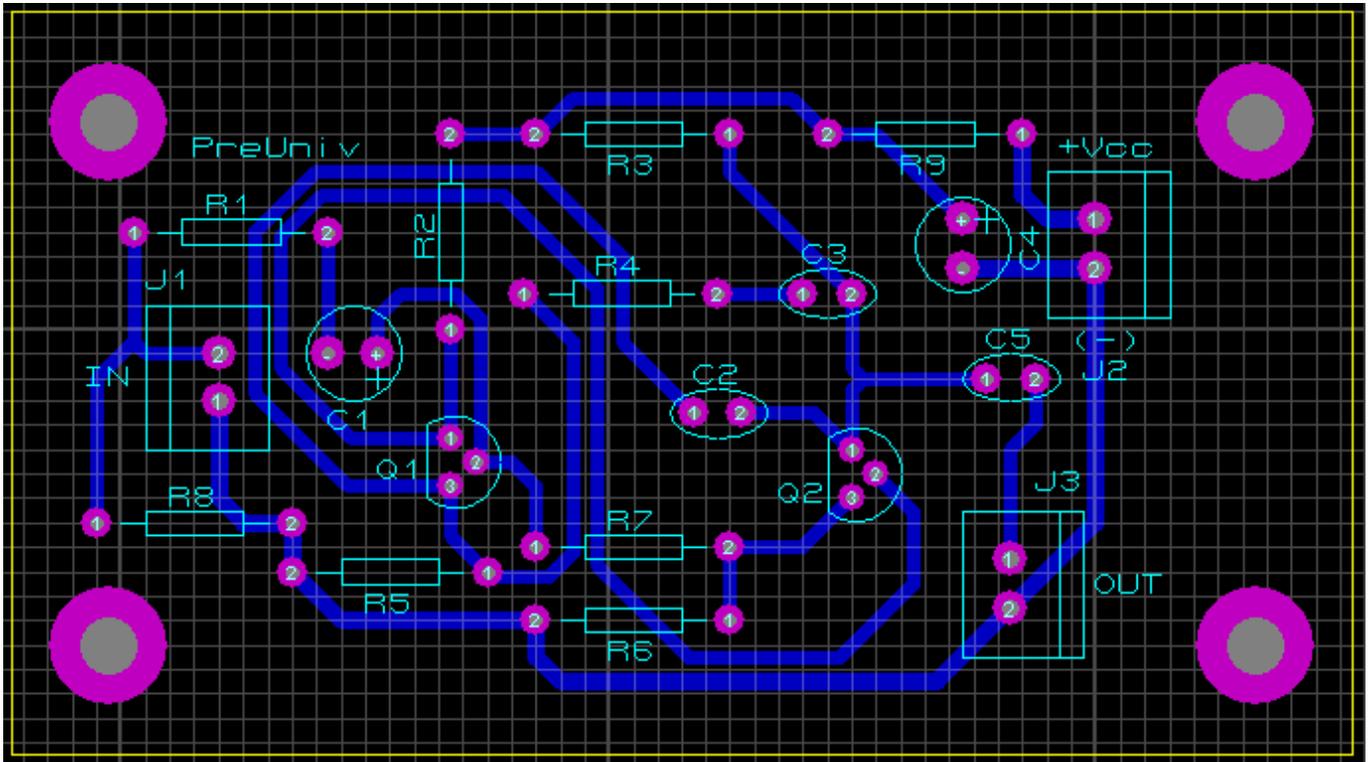
Caso se deseje quebrar mais os ângulos das trilhas, aplica-se a ferramenta Mitre, com os ajustes adequados. Quando ocorre o roteamento automático o padrão (default) para Maximum Distance é de 0.1in e para Minimum Distance é 5th.

Para acionar, na barra de comandos:

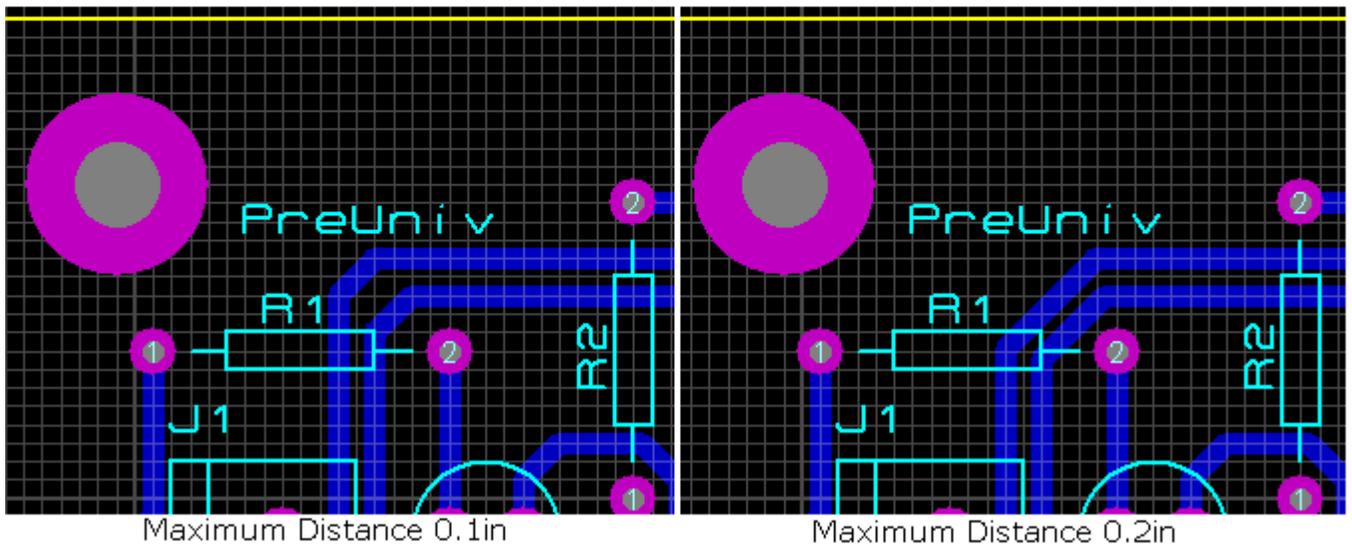
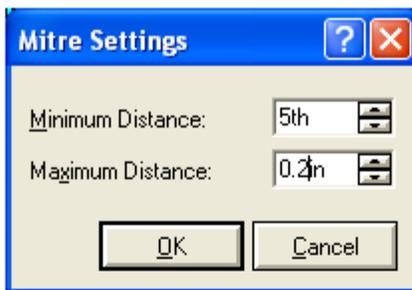
Edit – Mitre



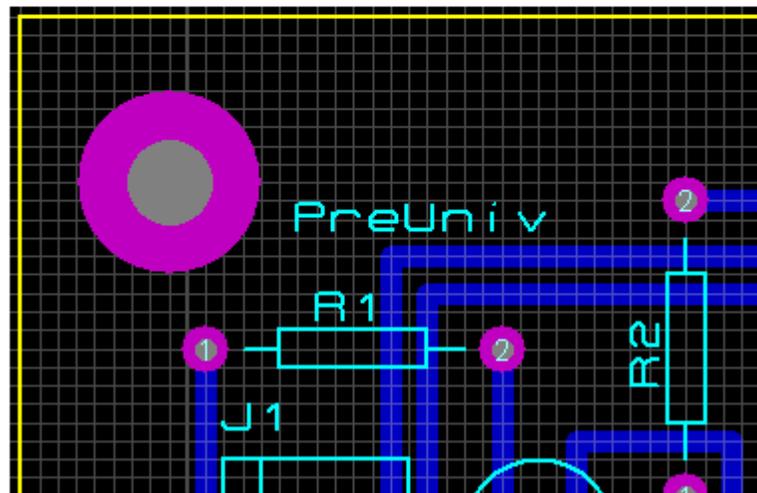
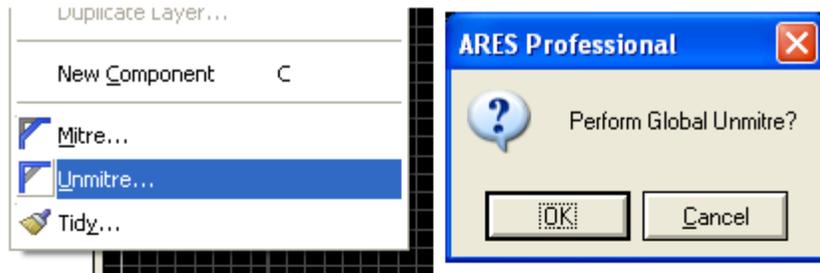
A figura abaixo mostra o Mitre ajustado para 0.2in em Maximum Distance.



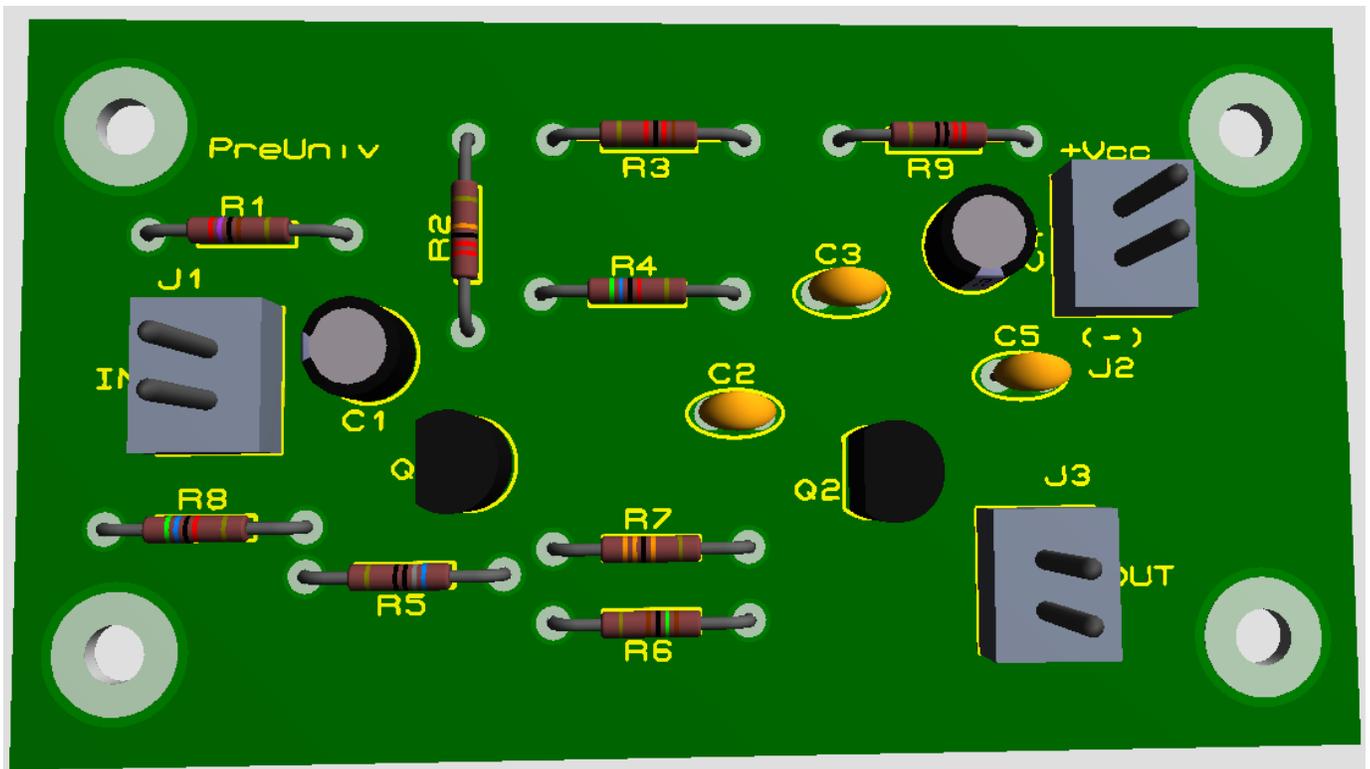
Veja em detalhes:

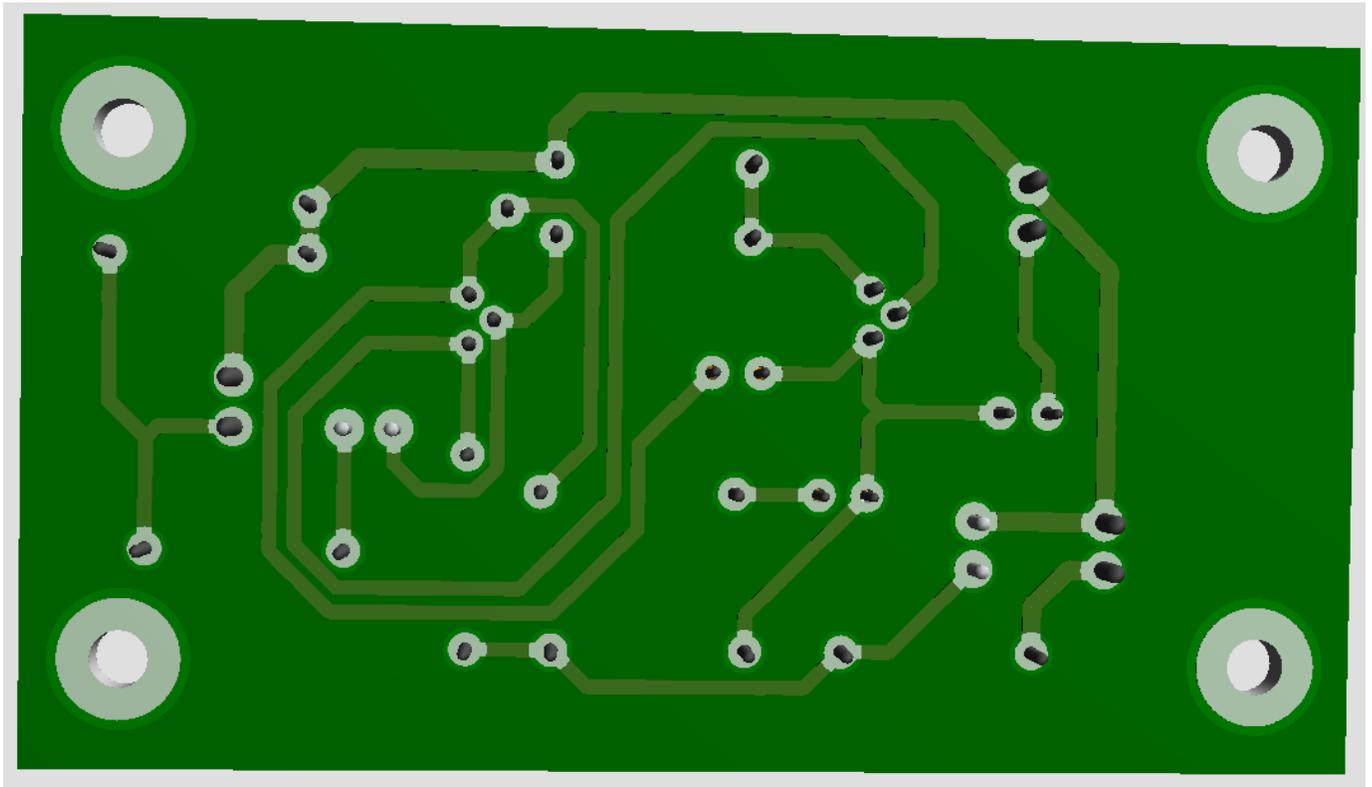


Aplicando-se o comando Unmitre, o ângulo de roteamento será de 90 graus.



Visualização 3D:



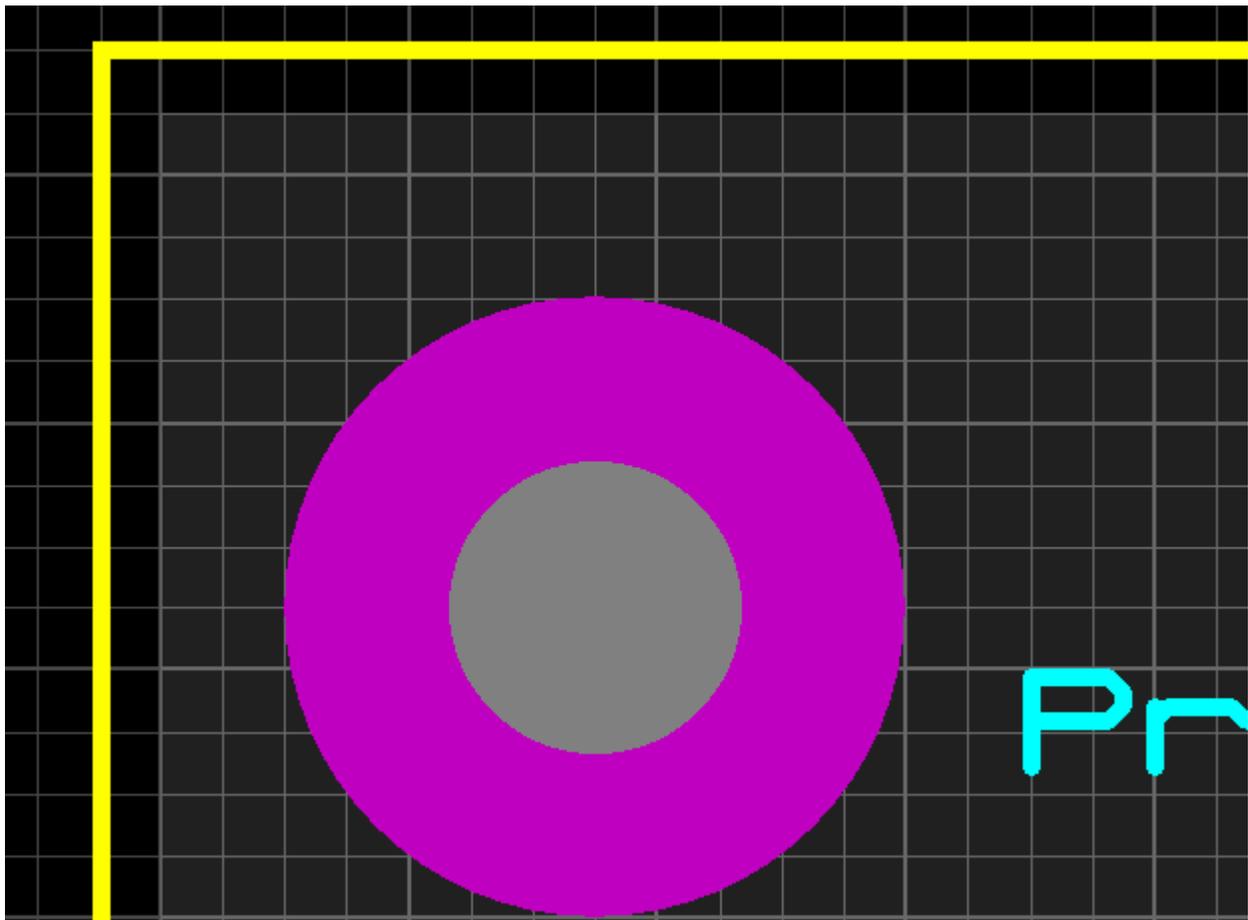


Roteamento automático com área de chapado para interligação do GND (terra):

Vamos utilizar no mesmo circuito, uma área de chapado para interligação dos pontos comuns de terra (GND). Adotar o procedimento visto no projeto anterior, ou seja, clicar no ícone Zone Mode e aplicar moldura no circuito conforme ilustra a figura. A largura das trilhas será configurada no Design Ruler Manager.

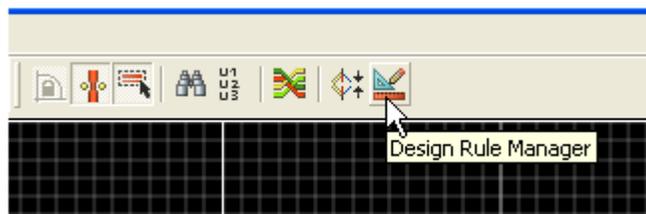


Observe na figura a seguir que o chapado não está sendo traçado exatamente sobre a borda, como no projeto anterior.



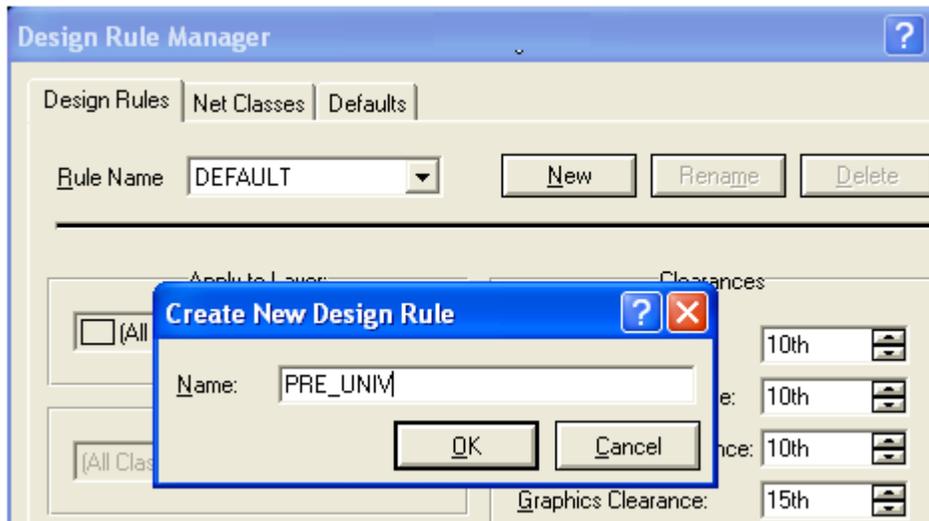
Configurando:

- 1) Clicar no ícone Design Rule Manager

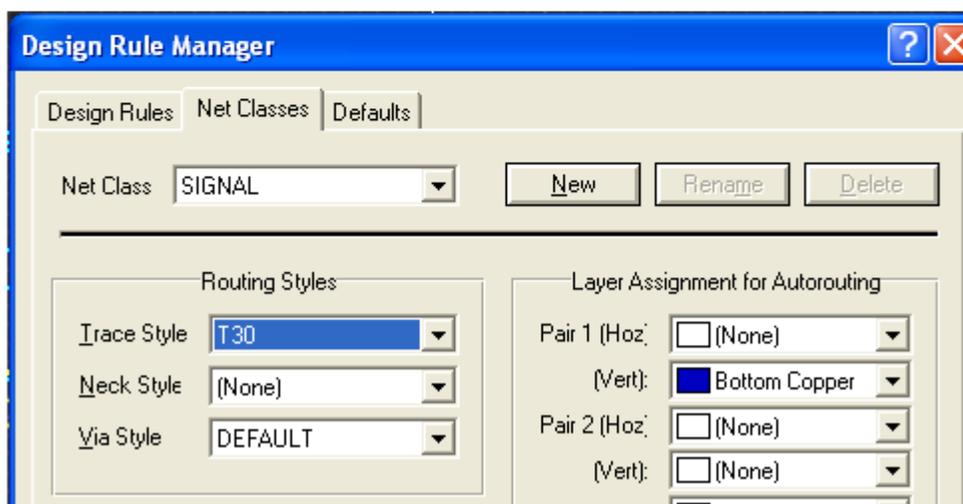
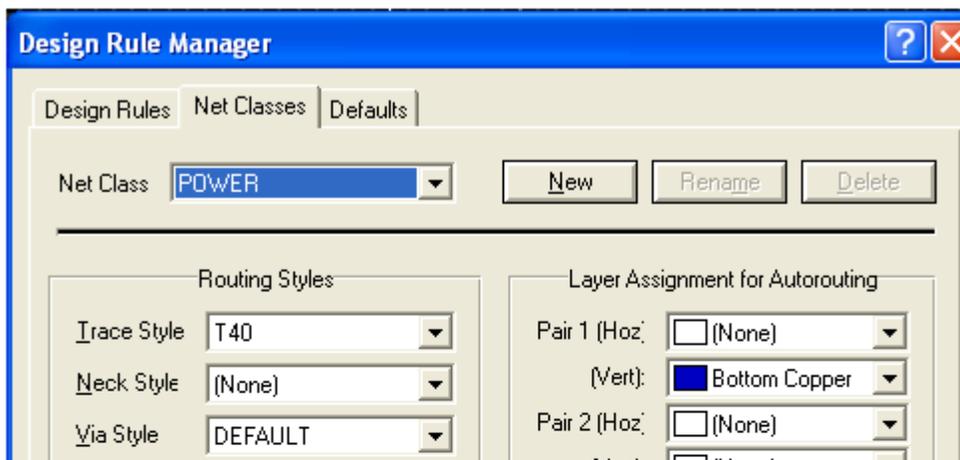


- 2) Clicar na aba Rule Name e digitar um nome (opcional).

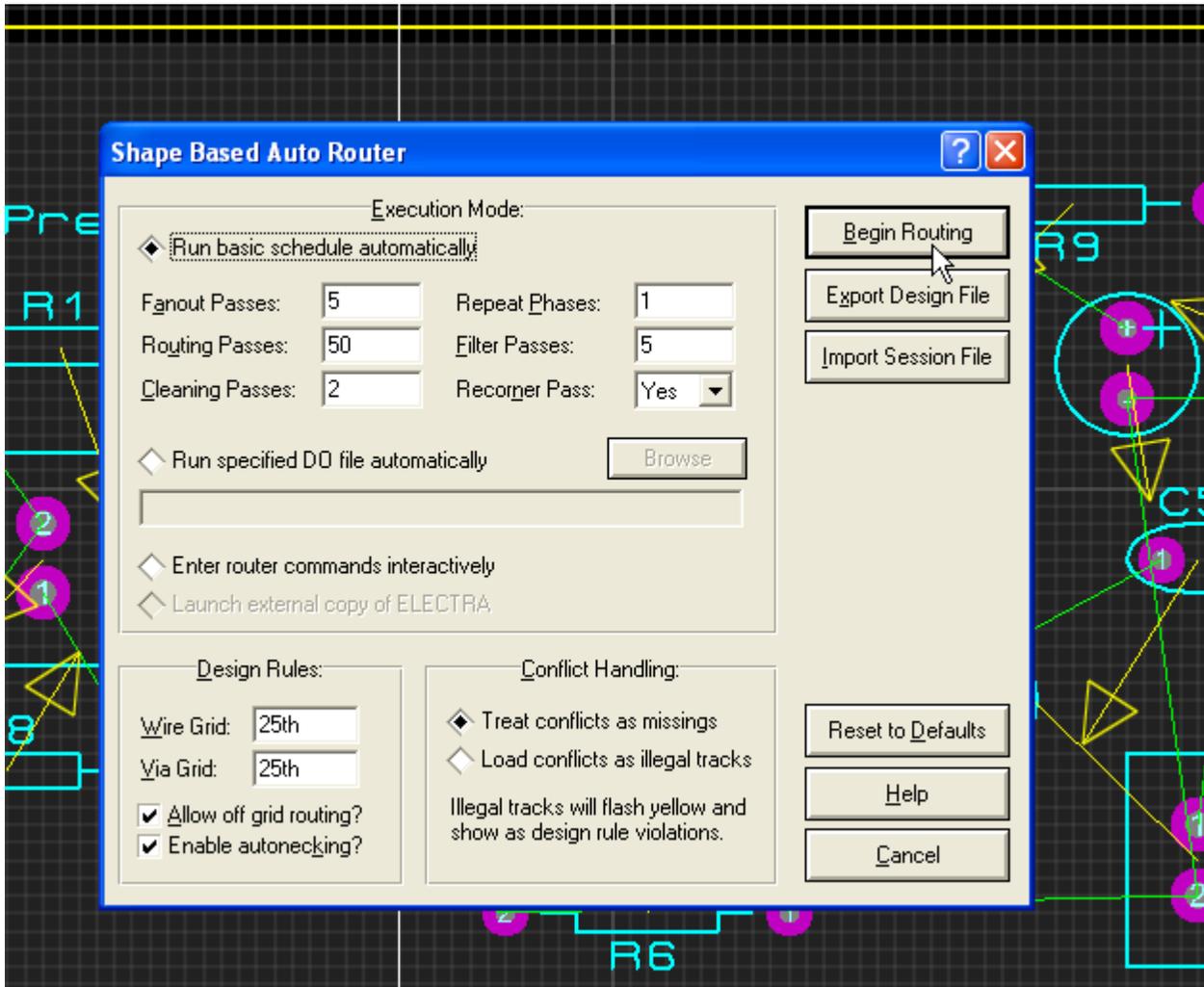
Veja a figura a seguir:



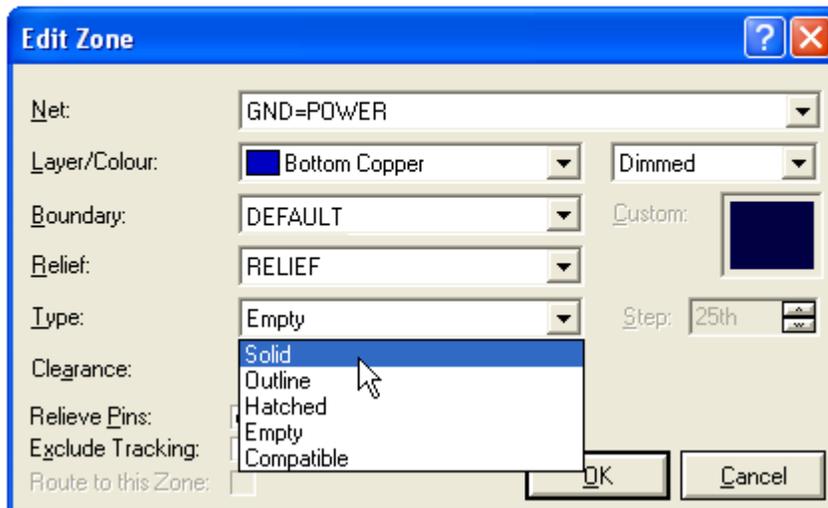
3) Na aba Net Classes configurar conforme figuras a seguir:

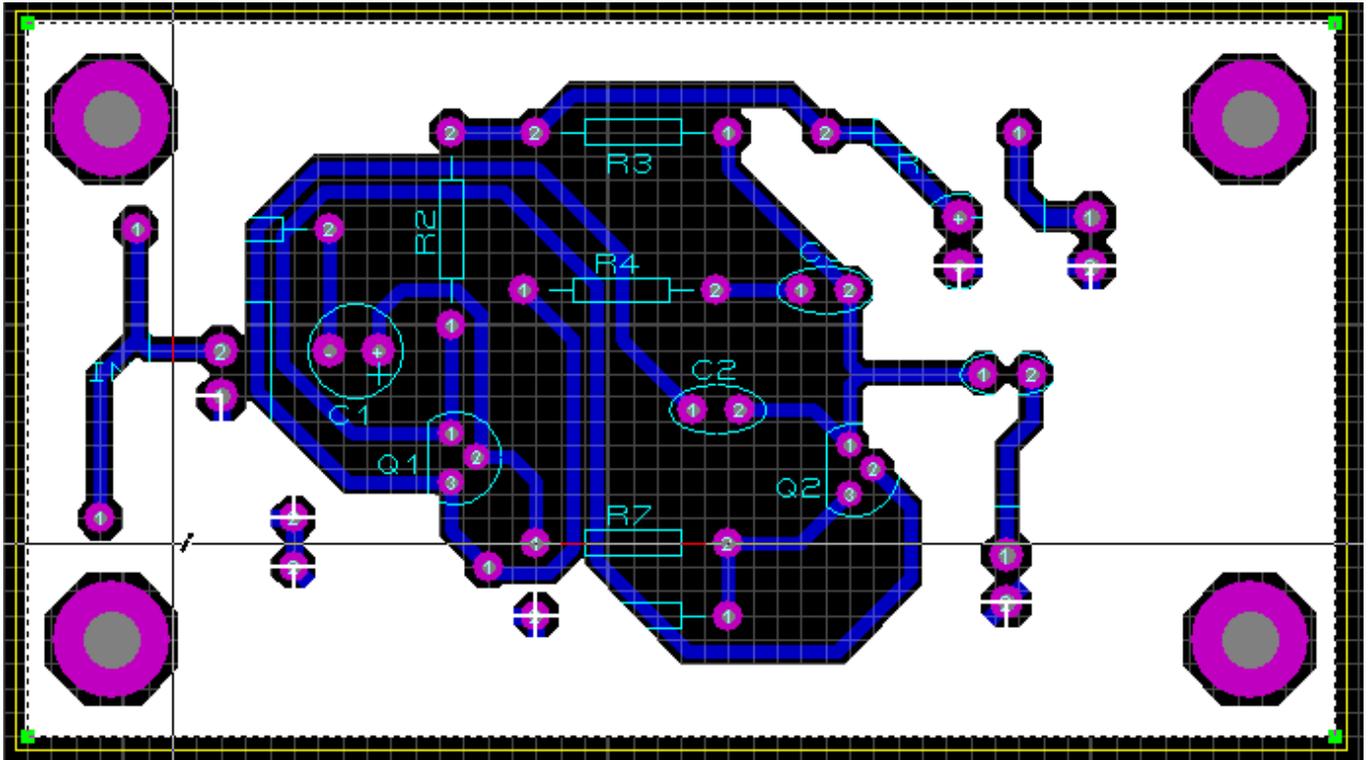


4) Iniciar o roteamento

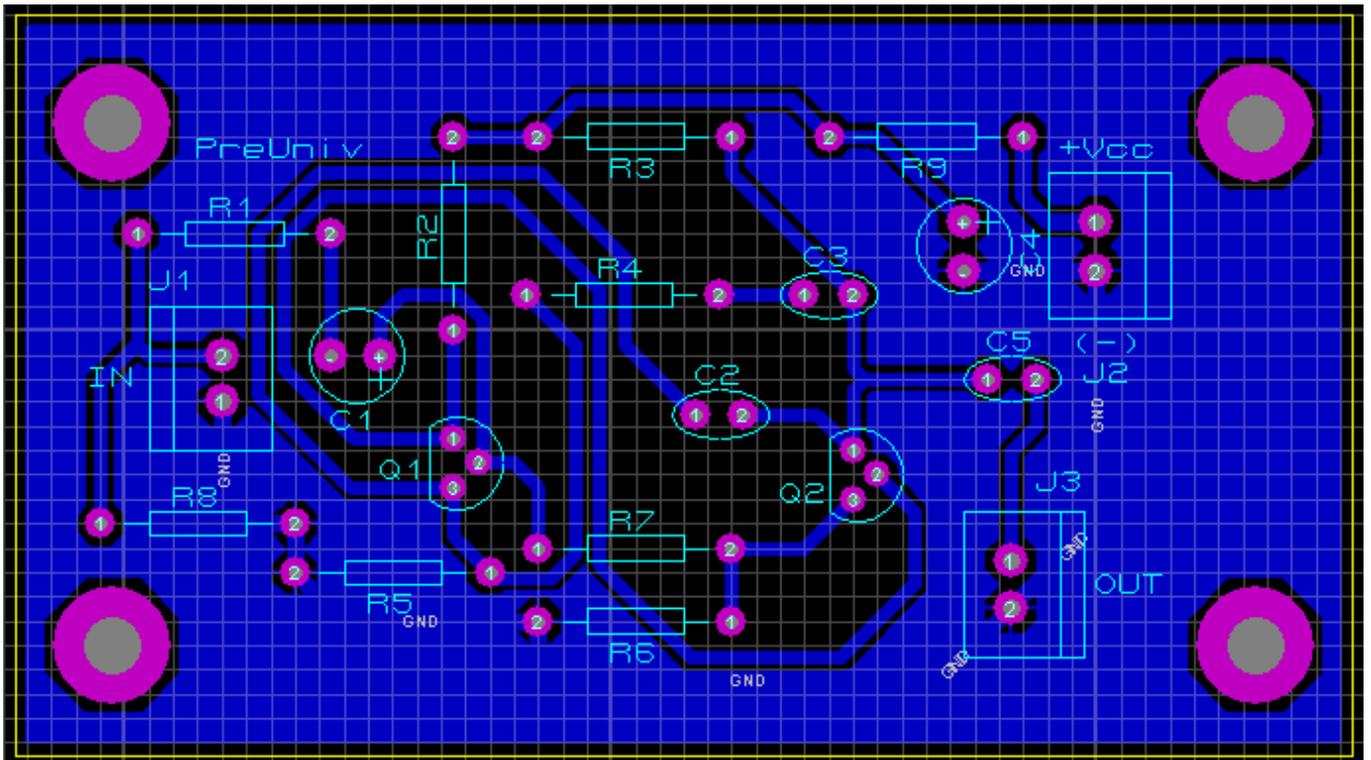


5) Clique com o botão direito do mouse sobre a linha que forma o chapado, para editá-la. Selecione a opção Solid e clique em OK.

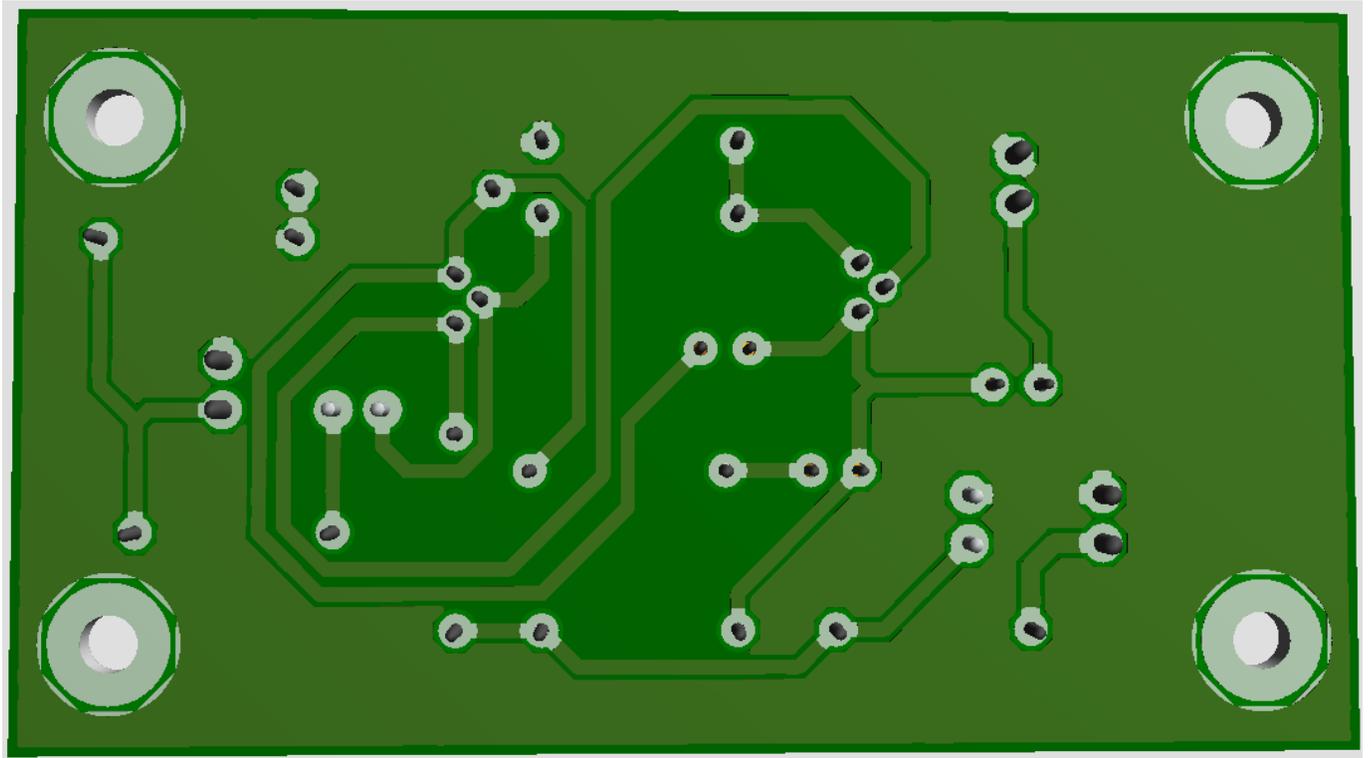




6) Clique em qualquer parte da área de trabalho.



A figura a seguir mostra a visualização do lado cobreado, ou seja, o lado da solda, onde se pode observar a diferença em relação ao lado cobreado sem a aplicação da área do chapado, conforme mostrado nas páginas 44 e 46.



Veja na figura abaixo uma pequena área com Zoom.



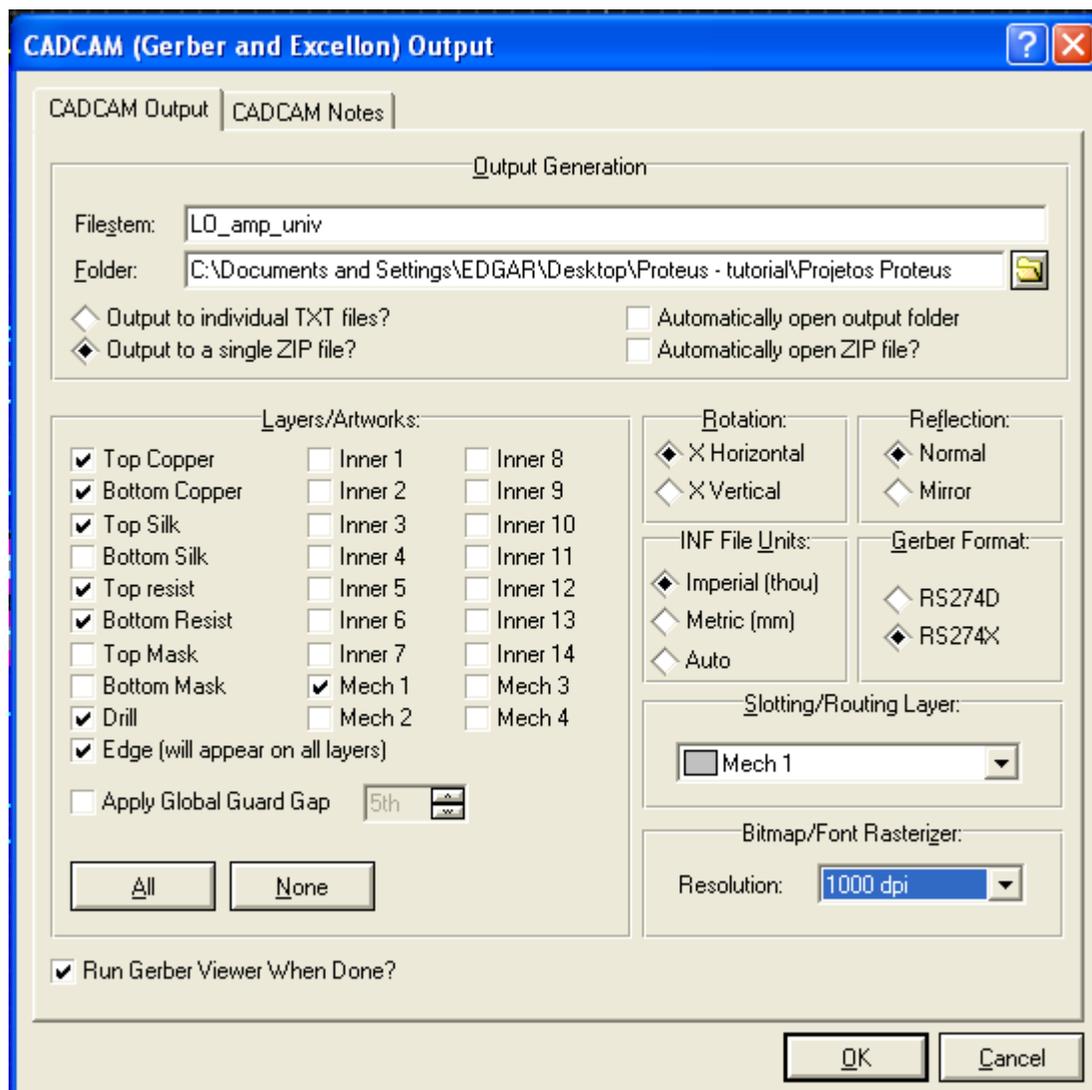
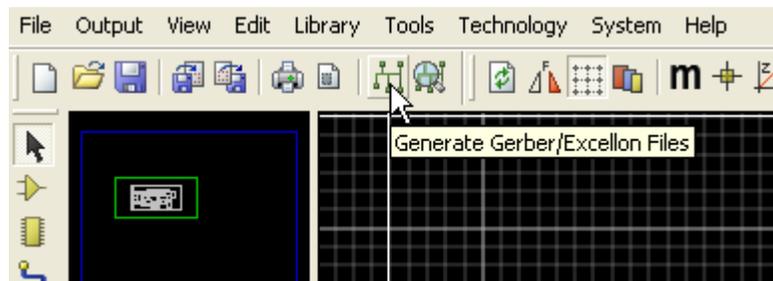
Salvar o projeto.

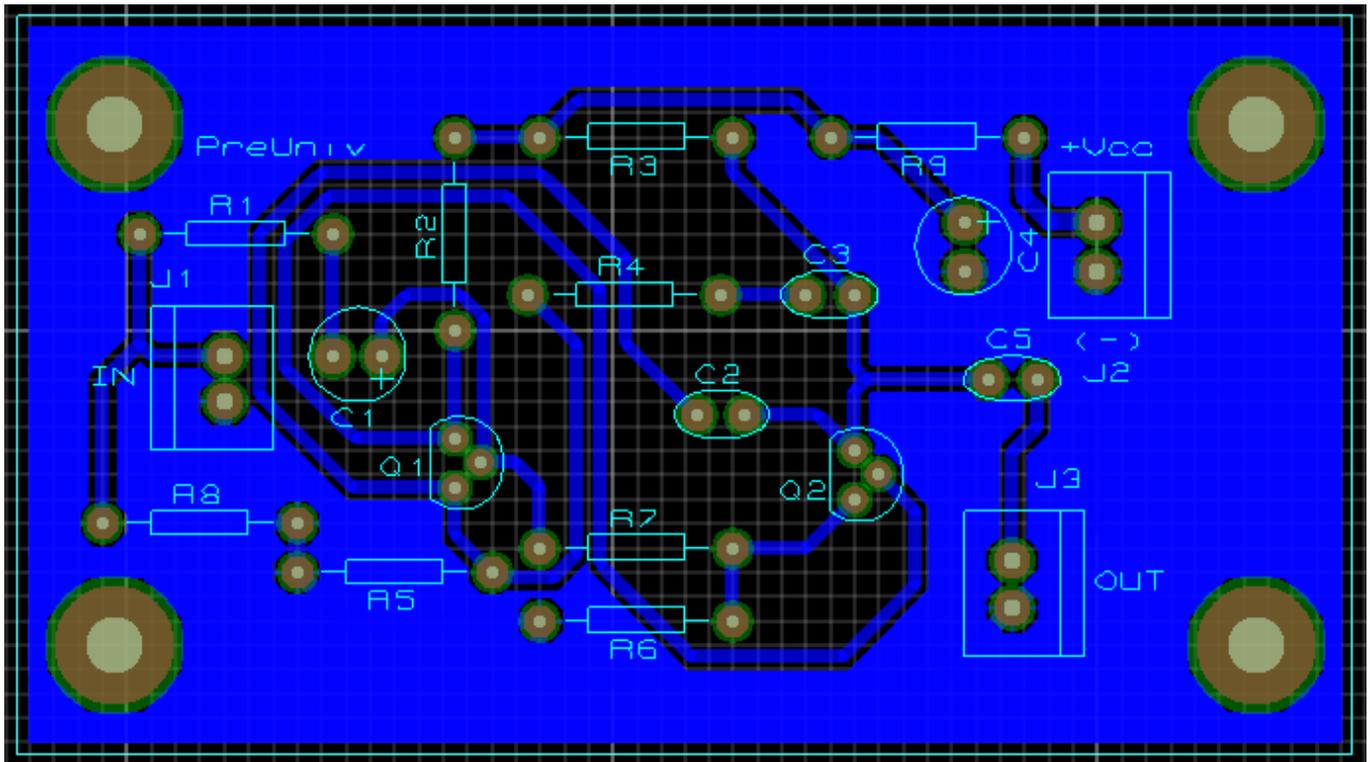
O programa se encarrega de colocar a extensão (LYT).

Gerando arquivos Gerber:

Os procedimentos são idênticos aos adotados no projeto anterior. Veja nas figuras a seguir as configurações.

Vamos gerar arquivos Gerber para a placa com área de chapado.





A figura a seguir mostra um exemplo de um arquivo Gerber gerado para a furação (DRILL). Os arquivos Gerber possuem a extensão "txt".

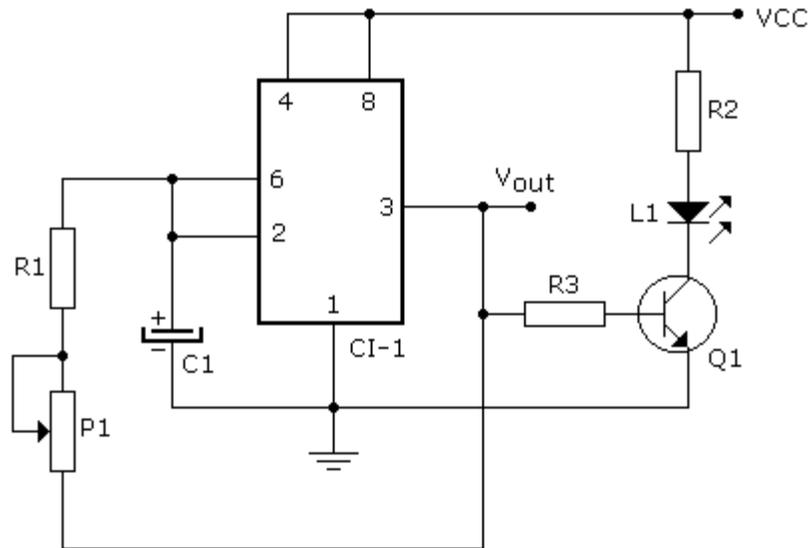
```

LO_amp_univ - CAD/CAM Drill.TXT - Notepad
File Edit Format View Help
M48
INCH
T01C0.0400
T02C0.0300
T03C0.1181
%
T01
X-028000Y+008500
X-028000Y+009500
X-011750Y+005250
X-011750Y+004250
X-010000Y+012250
X-010000Y+011250
T02
X-029750Y+012000
X-025750Y+012000
X-024750Y+009500
X-025750Y+009500
X-023250Y+007750
X-022750Y+007250

```

Para imprimir o projeto, basta seguir os mesmos procedimentos adotados anteriormente.

PLACA DE CI DE UM GERADOR DE CLOCK COM CIRCUITO INTEGRADO 555

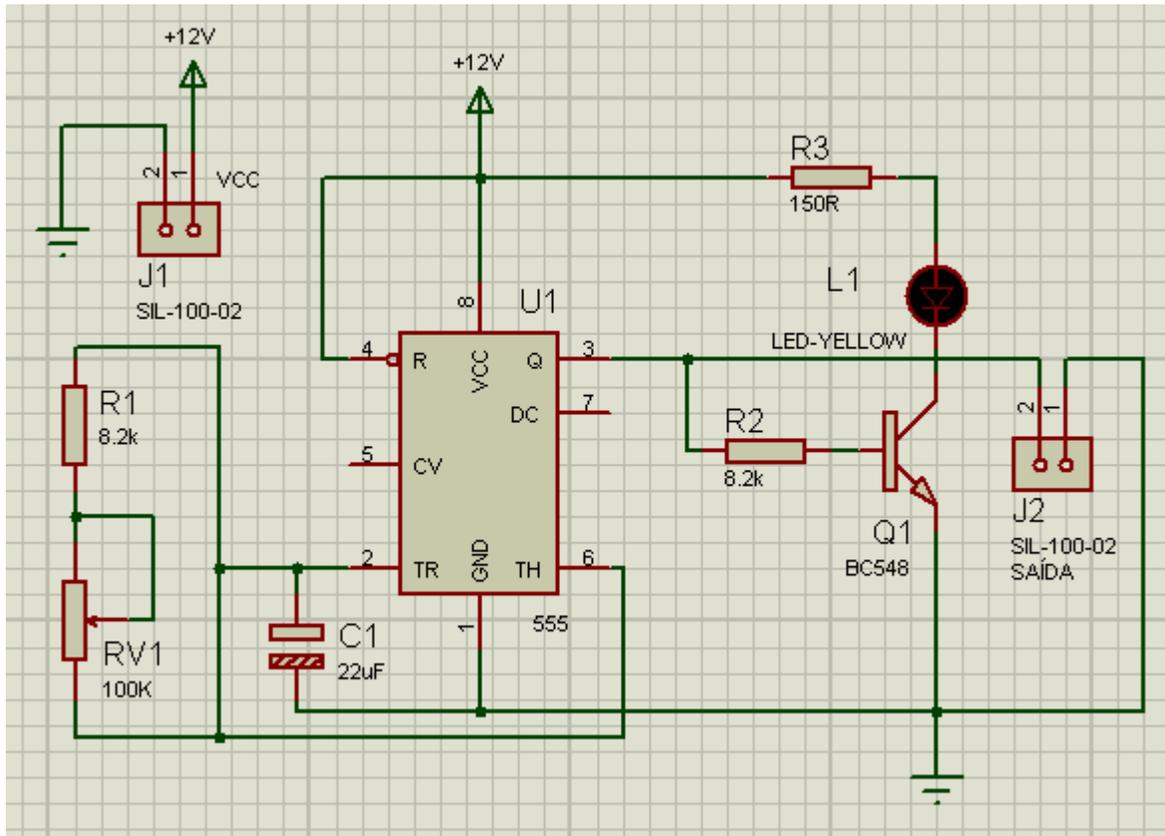


VCC = 5V
R1 = R3 = 8,2k (SMD)
R2 = 150 ohms (SMD)
C1 = 22uF (normal)
P1 = 100k lin (SMD)
Q1 = BC548 (normal)
CI-1 = LM555 ou CA555 (SMD)
L1 = led 3mm (normal)

Vamos utilizar placa dupla face e tecnologia SMD, com roteamento para os *packages* SMD no TOP COPPER e no BOTTOM COPPER para os *packages* discretos.

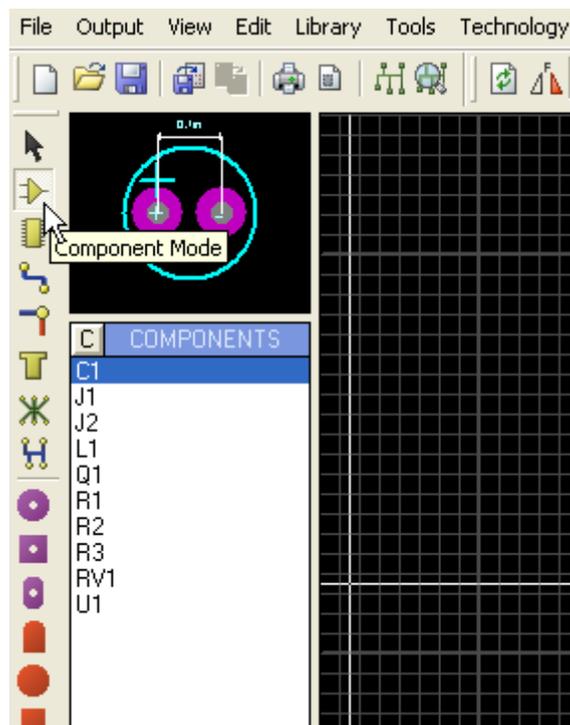
R1, R2, R3 = package 0805
P1 = trimpot = package TRIM_3214W
CI 555 = package S08
Q1 = package TO92/18
L1 = package LED
Conectores J1, J2 = package SIL-100-02
C1 = package ELEC-RAD10

O Resistor variável P1, é um micro potenciômetro denominado *trimpot* cujo ajuste do valor da resistência é feito na parte superior do mesmo (TOP). É utilizado para ajustar a frequência do oscilador e normalmente esse ajuste é feito na fábrica, não havendo interferência direta do usuário.

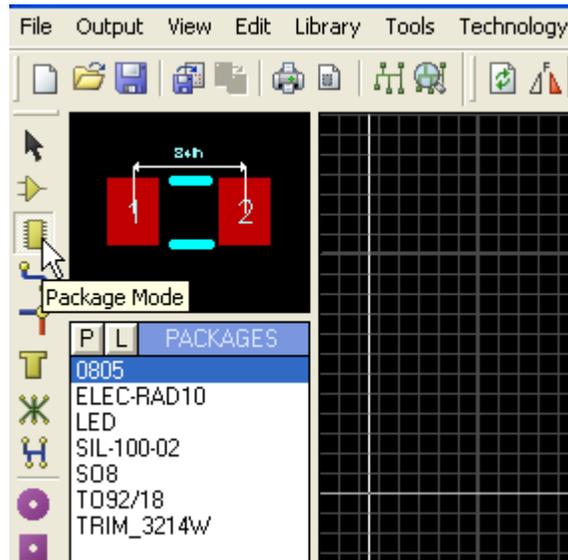


Exportando Netlist para o Proteus ARES.

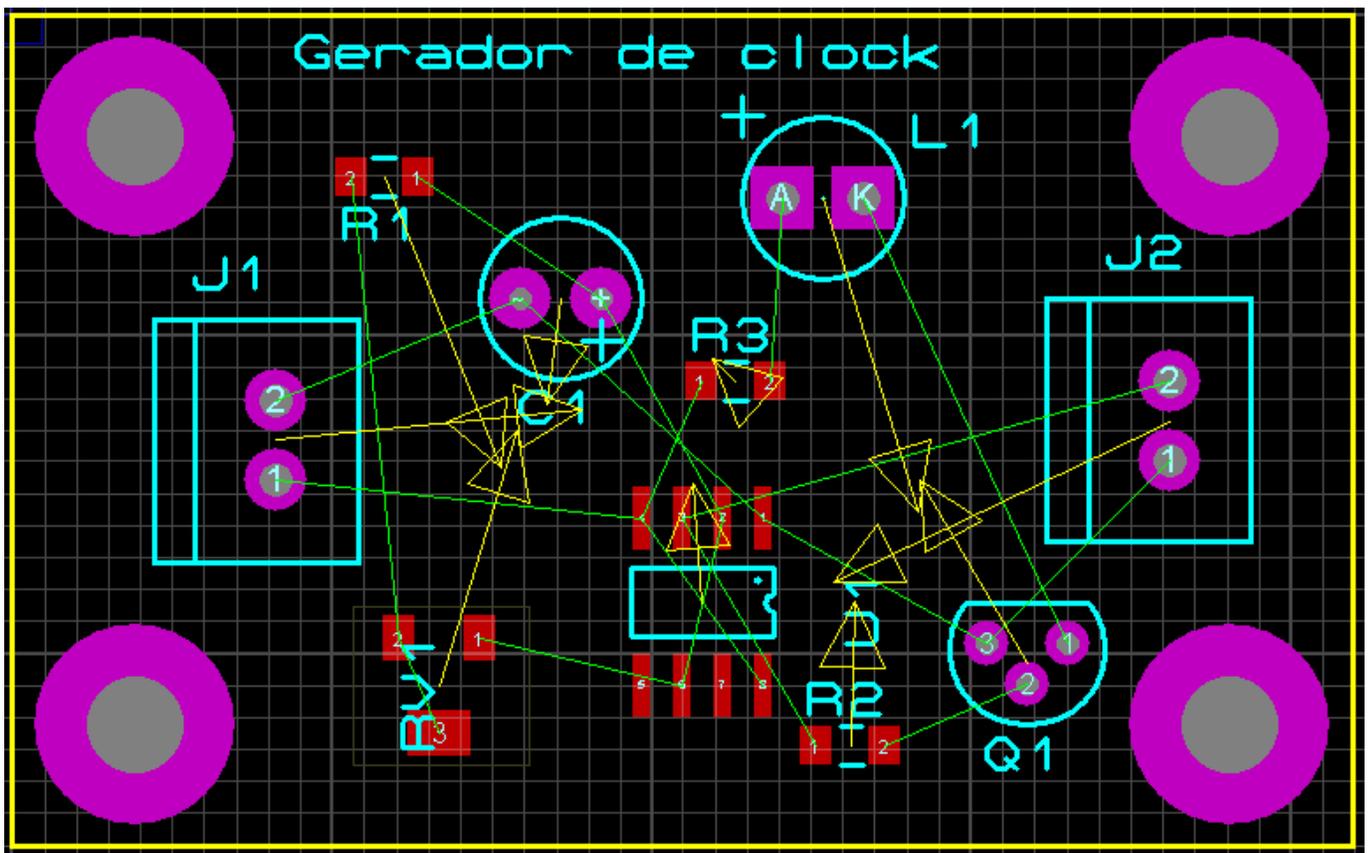
A figura a seguir mostra o Component Mode



Podemos ver também o Package Mode, clicando no ícone correspondente.



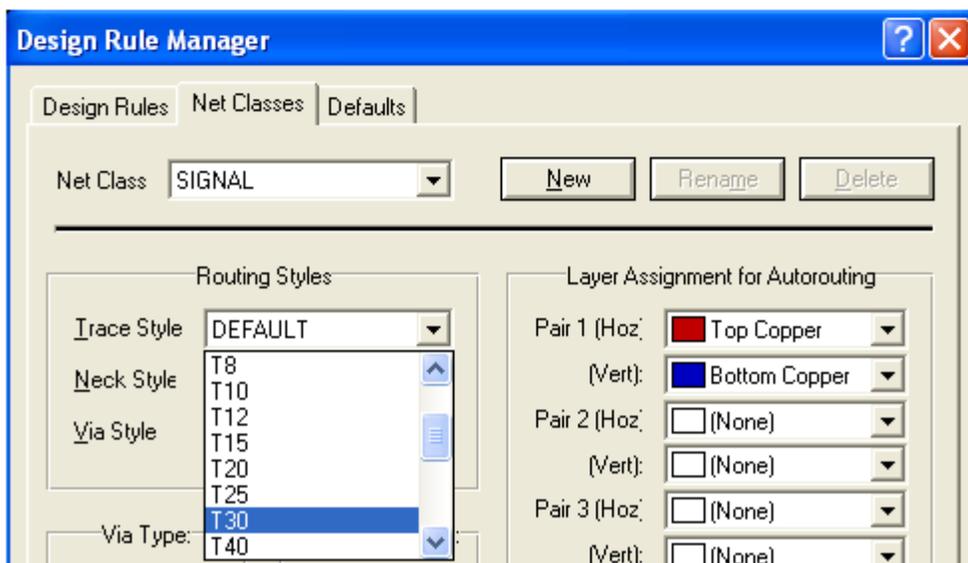
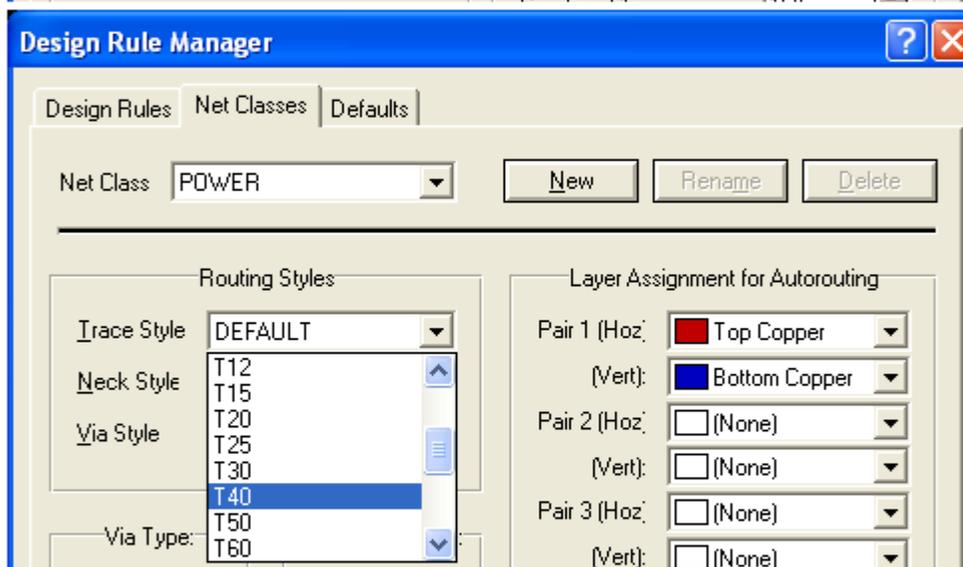
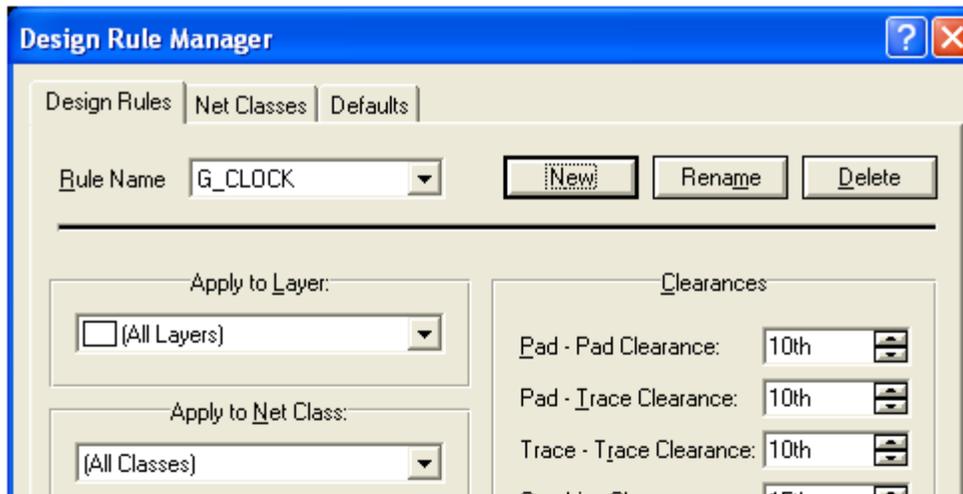
Posicionando os componentes: TOP SILK – Component Mode



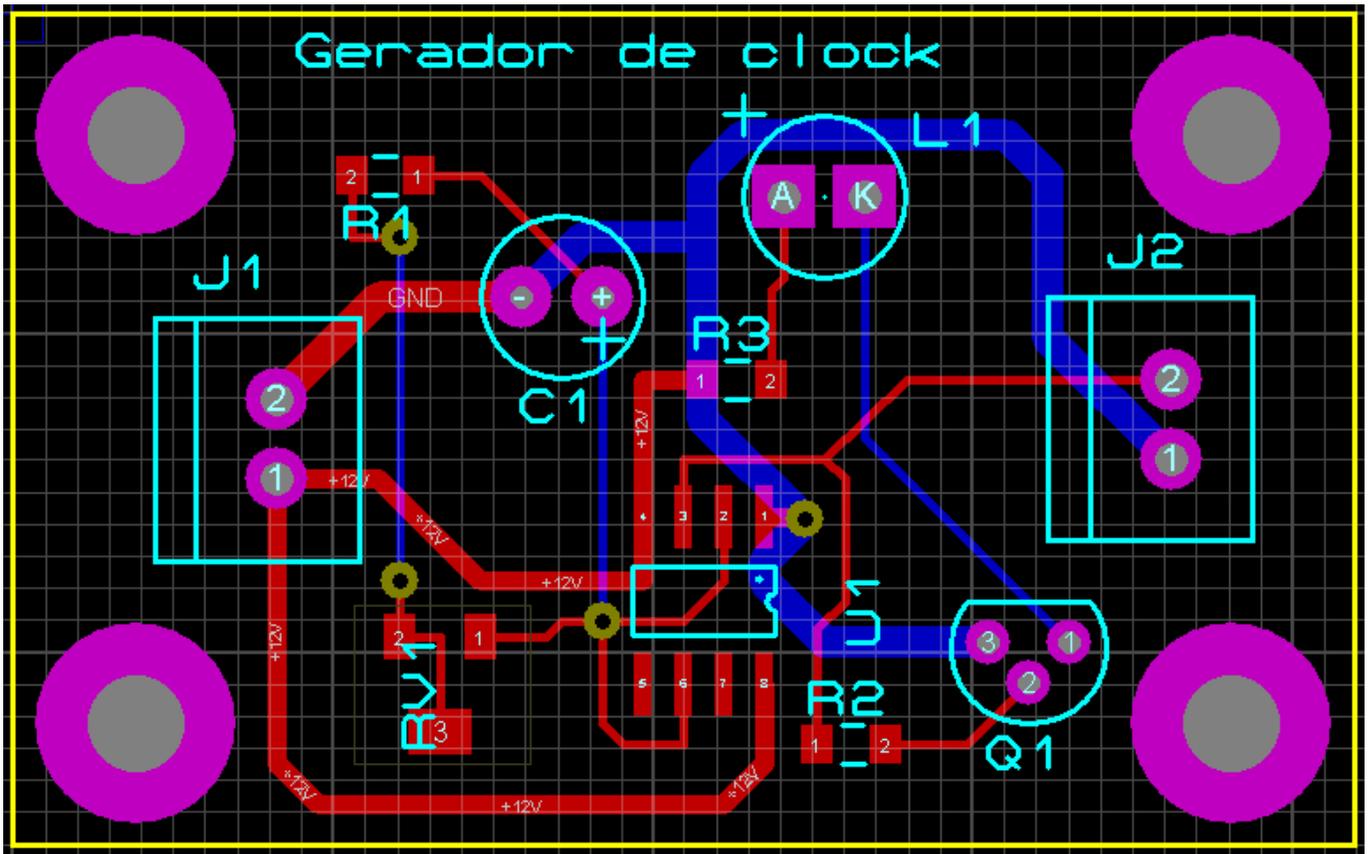
Vamos fazer o roteamento automático nas duas faces, bastando para isso configurar o Design Rule Manager.

Os componentes SMD (Surface Mounted Device) são preferencialmente roteados no layer TOP COPPER.

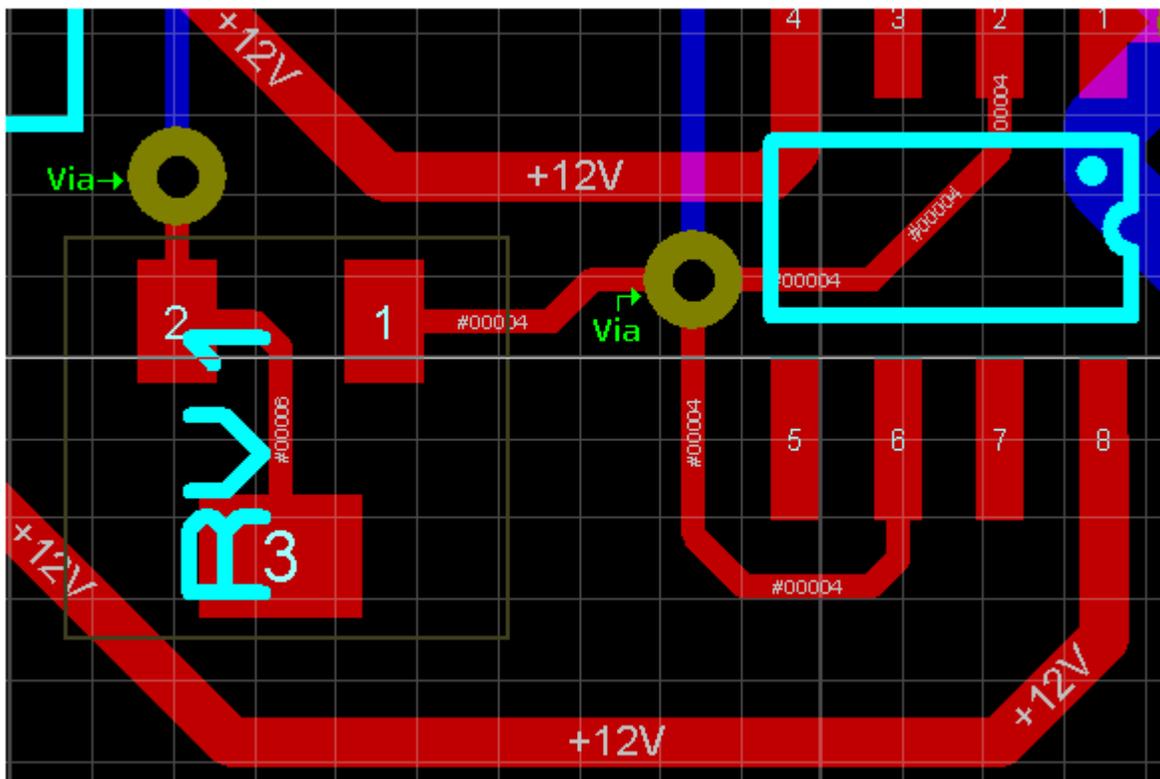
Veja nas figuras a seguir os ajustes.



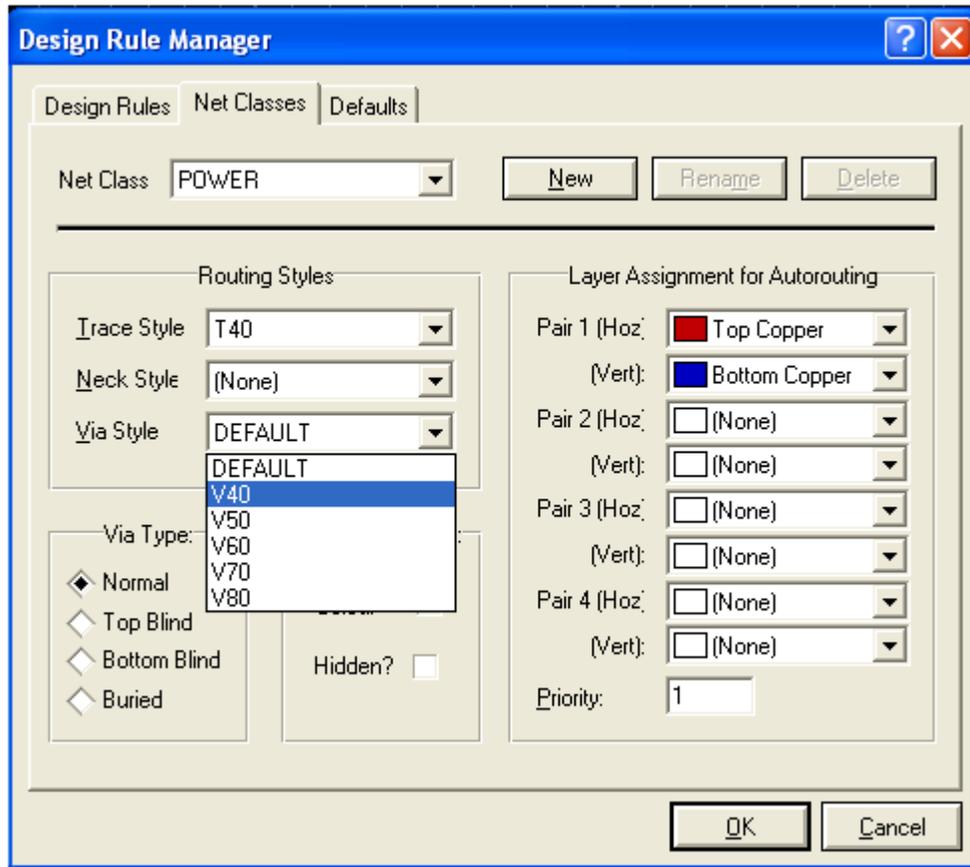
Iniciar o roteamento automático, clicando no ícone Auto-router. Veja nas figuras a seguir os detalhes do roteamento:



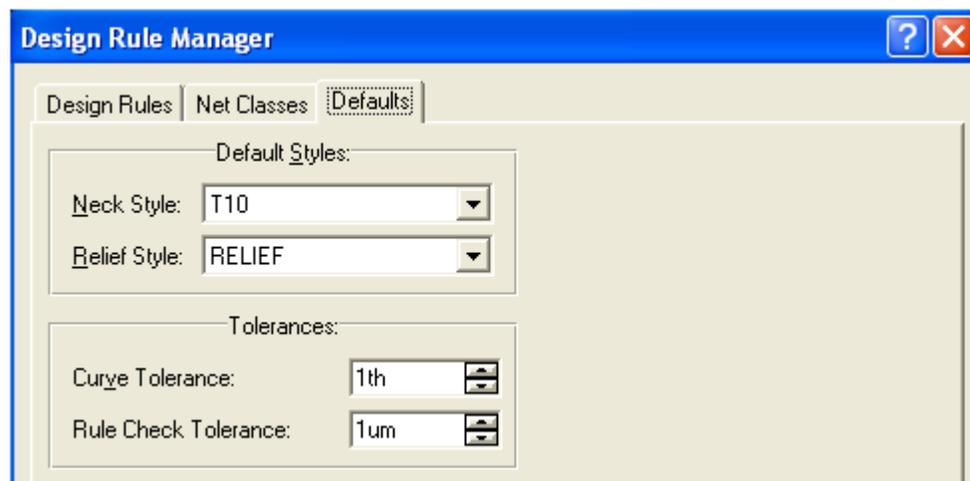
Observe no detalhe da figura a seguir um furo denominado VIA, que serve para interligar eletricamente componentes e trilhas entre os dois layers.



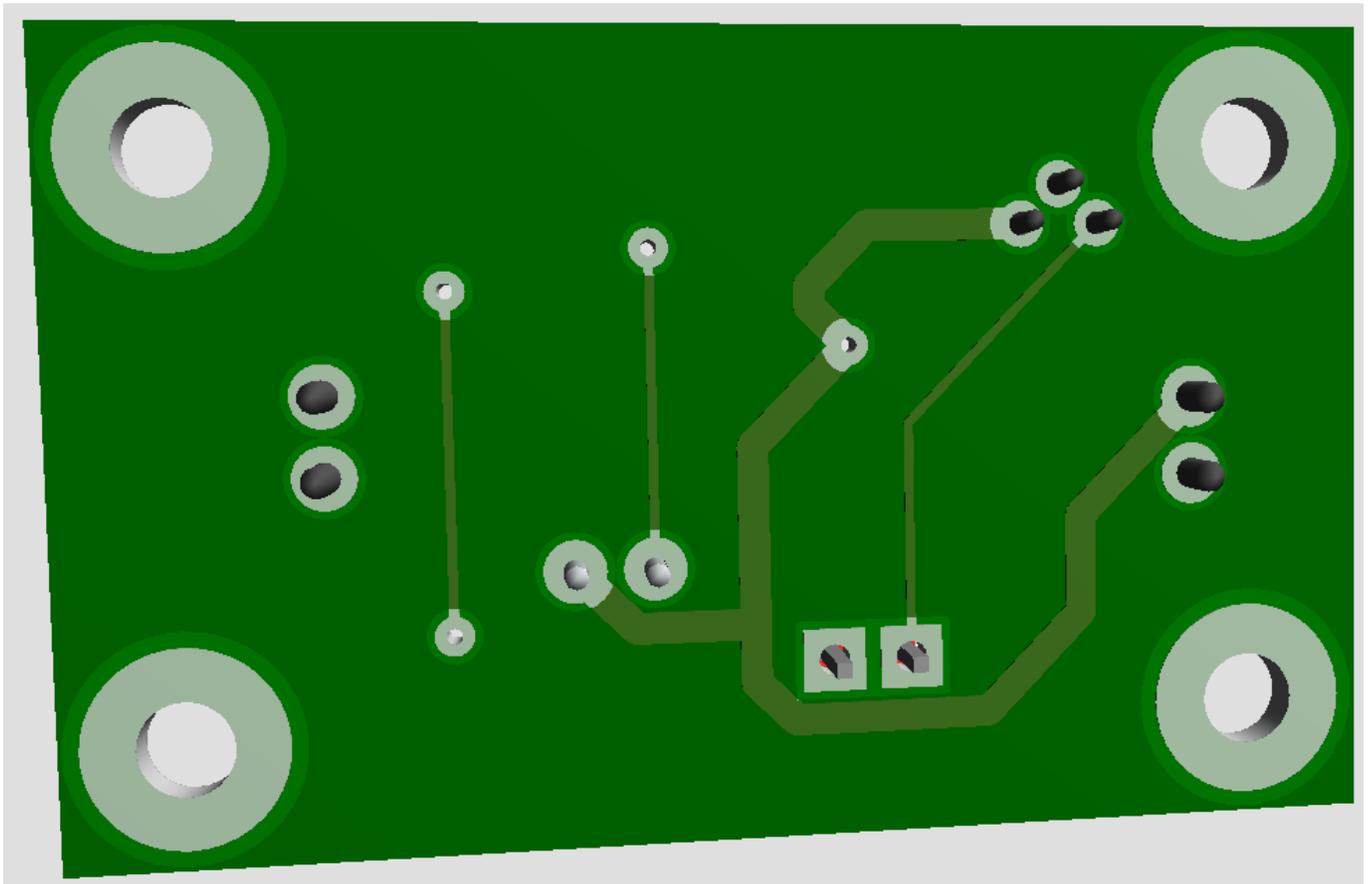
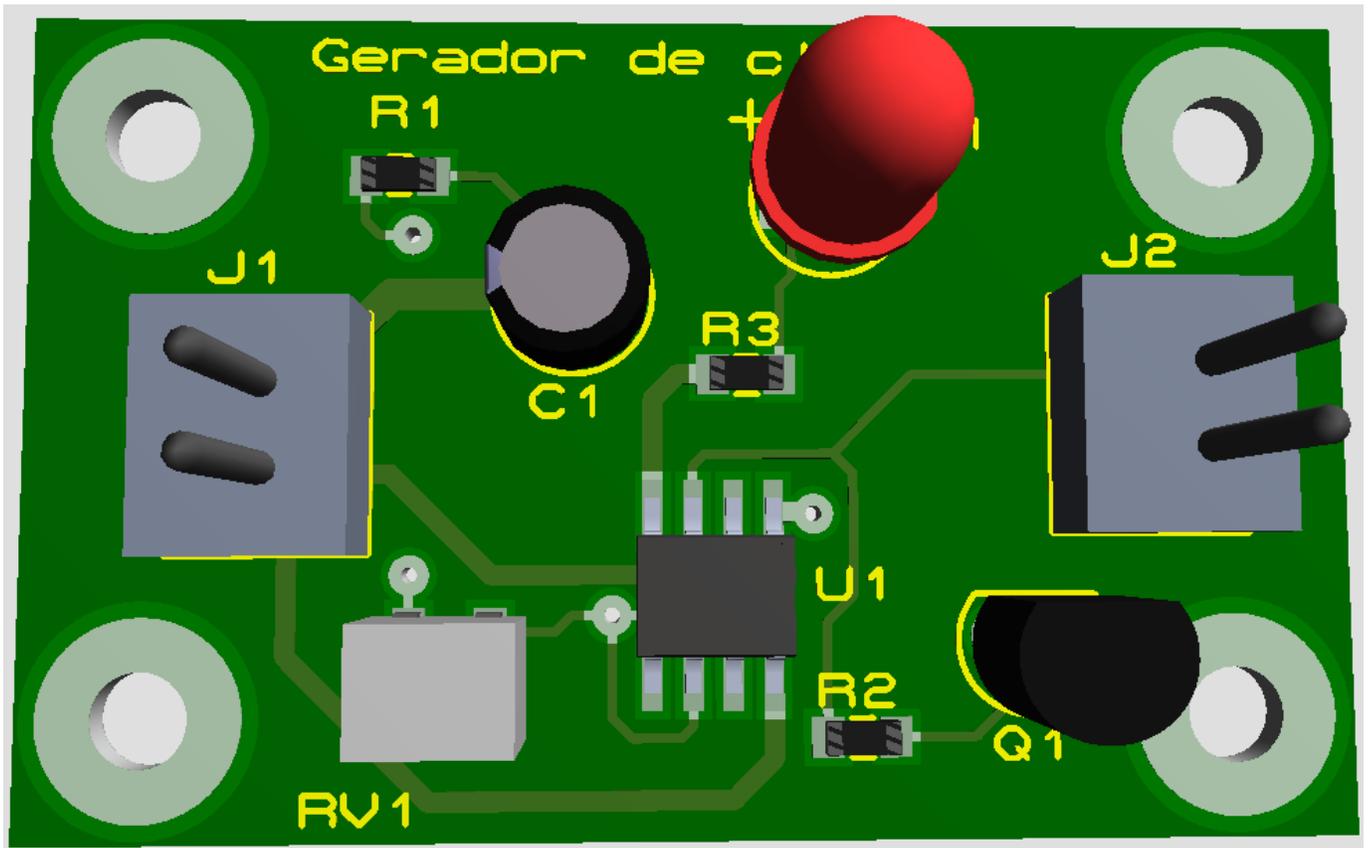
Ao longo do layout verifica-se a existência dos furos VIA (normalmente chamados de furos metalizados) com a finalidade de interligar eletricamente componentes ou trilhas entre os dois layers. Esses furos podem ser configurados quando o roteamento for automático ou manual, conforme ilustra a figura a seguir.



A figura a seguir mostra as opções da aba padrões (defaults), que podem ser alteradas conforme opções do projetista.



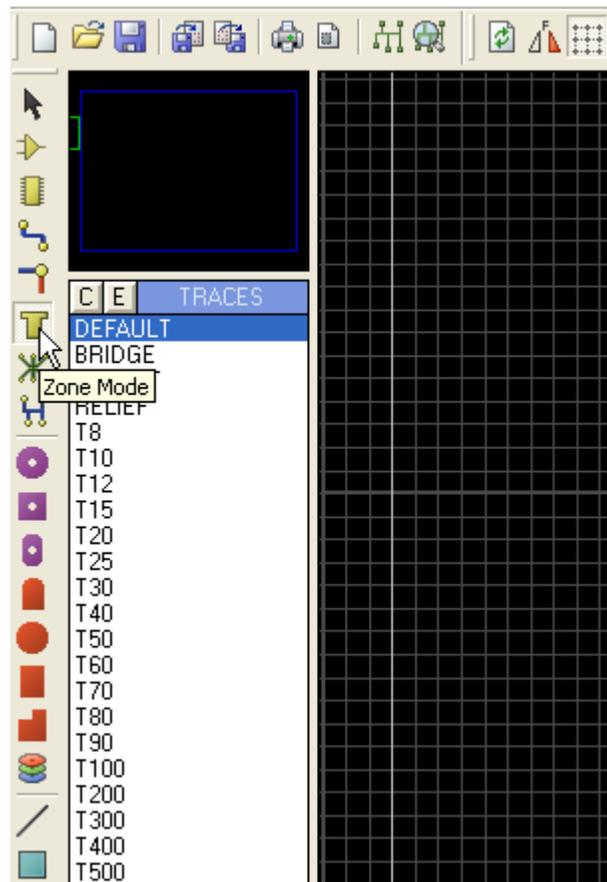
As figuras a seguir mostram a visualização em 3D da placa de CI.



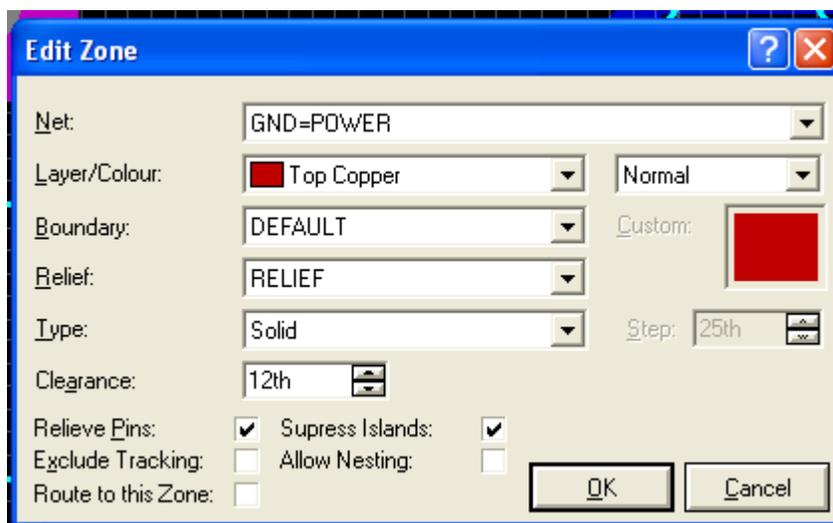
Após o roteamento, seja ele manual ou automático, é possível alterar o posicionamento dos labels em TOP SILK, se houver necessidade de melhorar a estética.

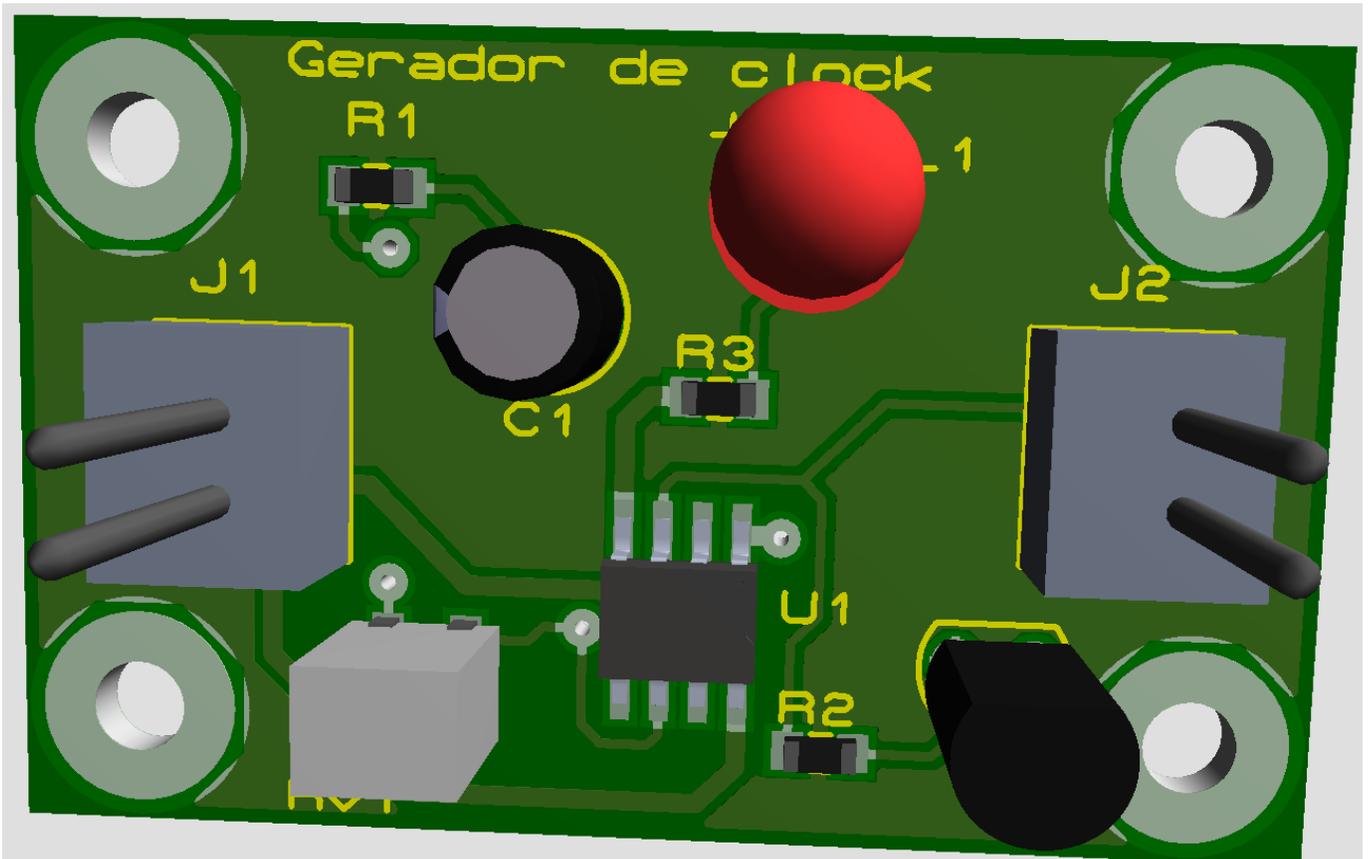
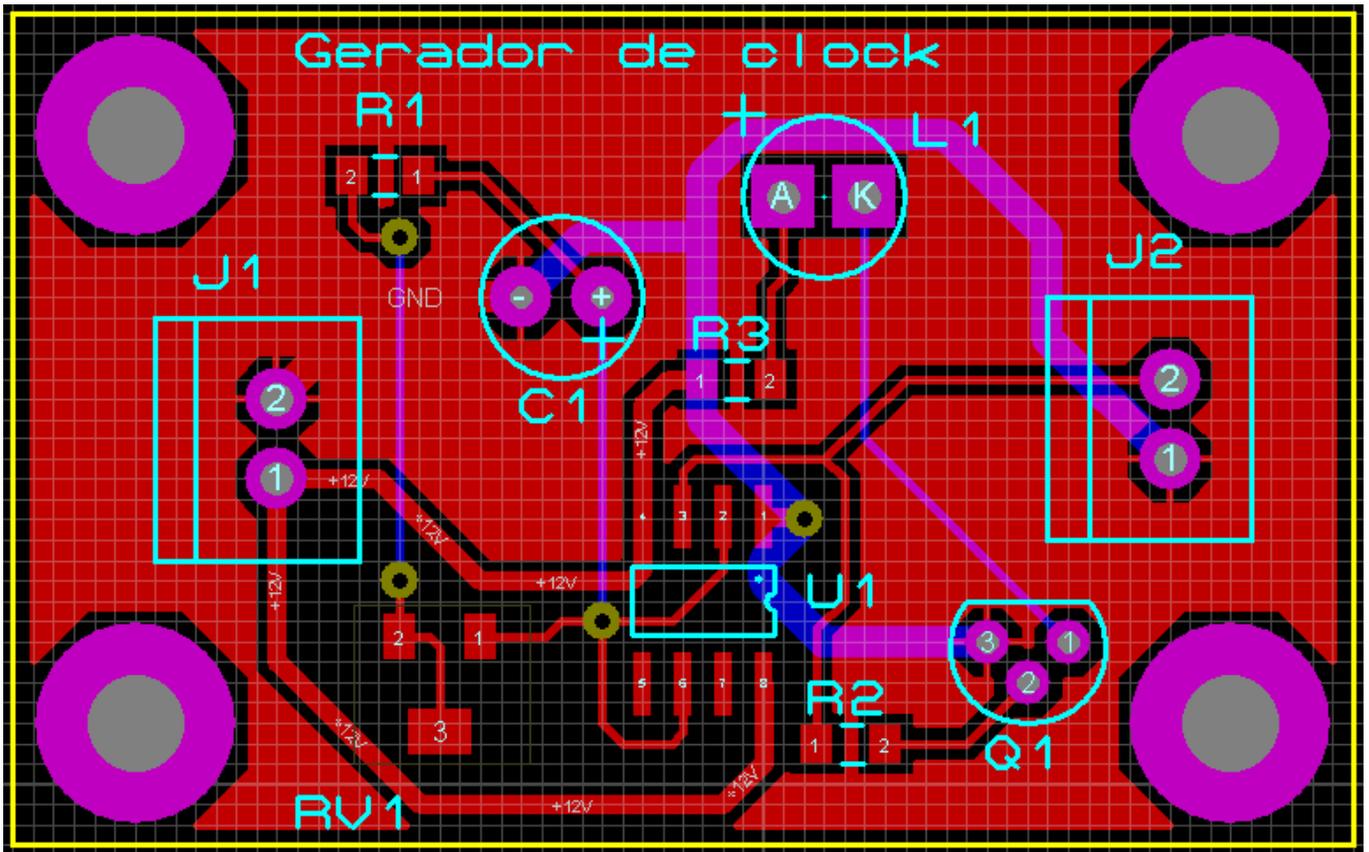
Isto não implica em novo processo de roteamento.

É possível também após o roteamento aplicar a área de chapado. As figuras a seguir mostram a aplicação da área de chapado para interligação dos pontos de terra (GND).

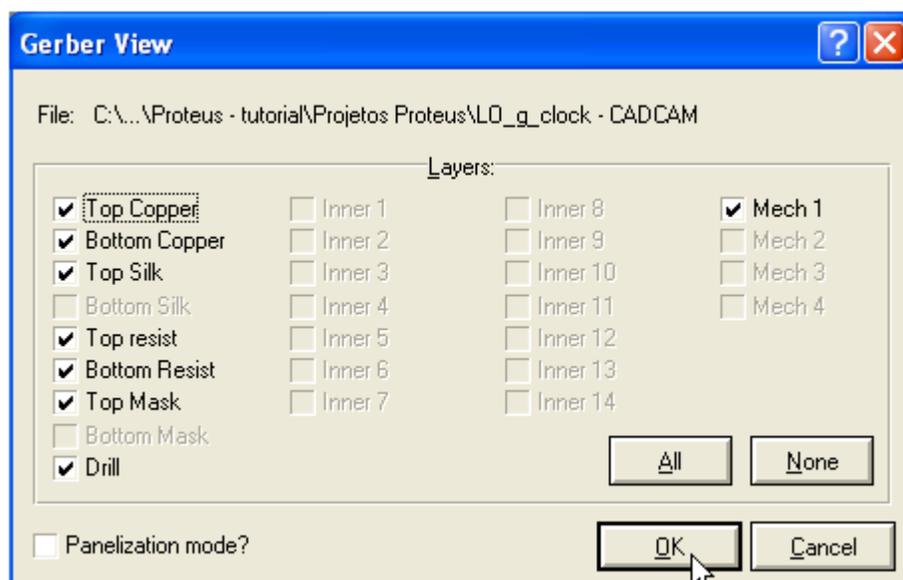
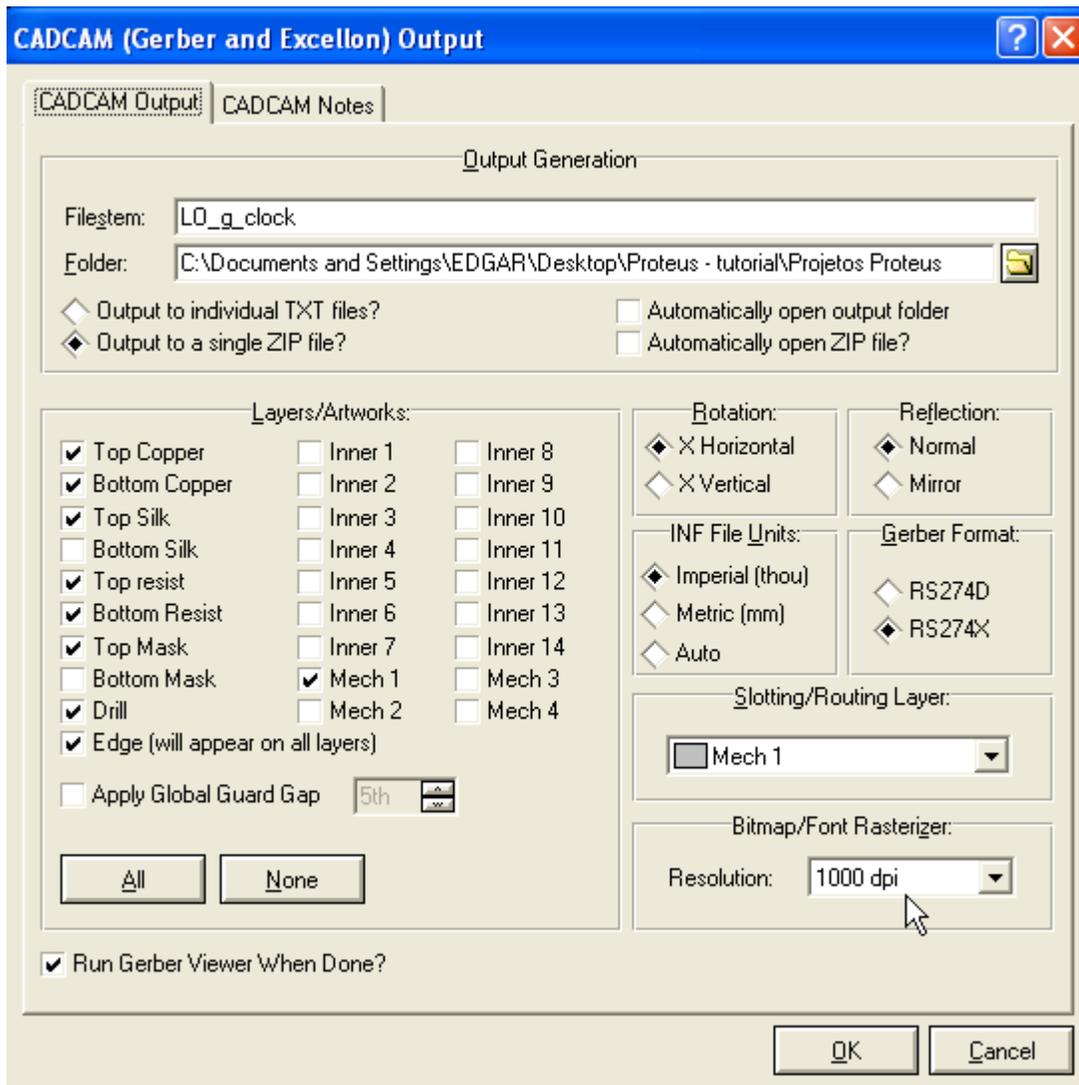


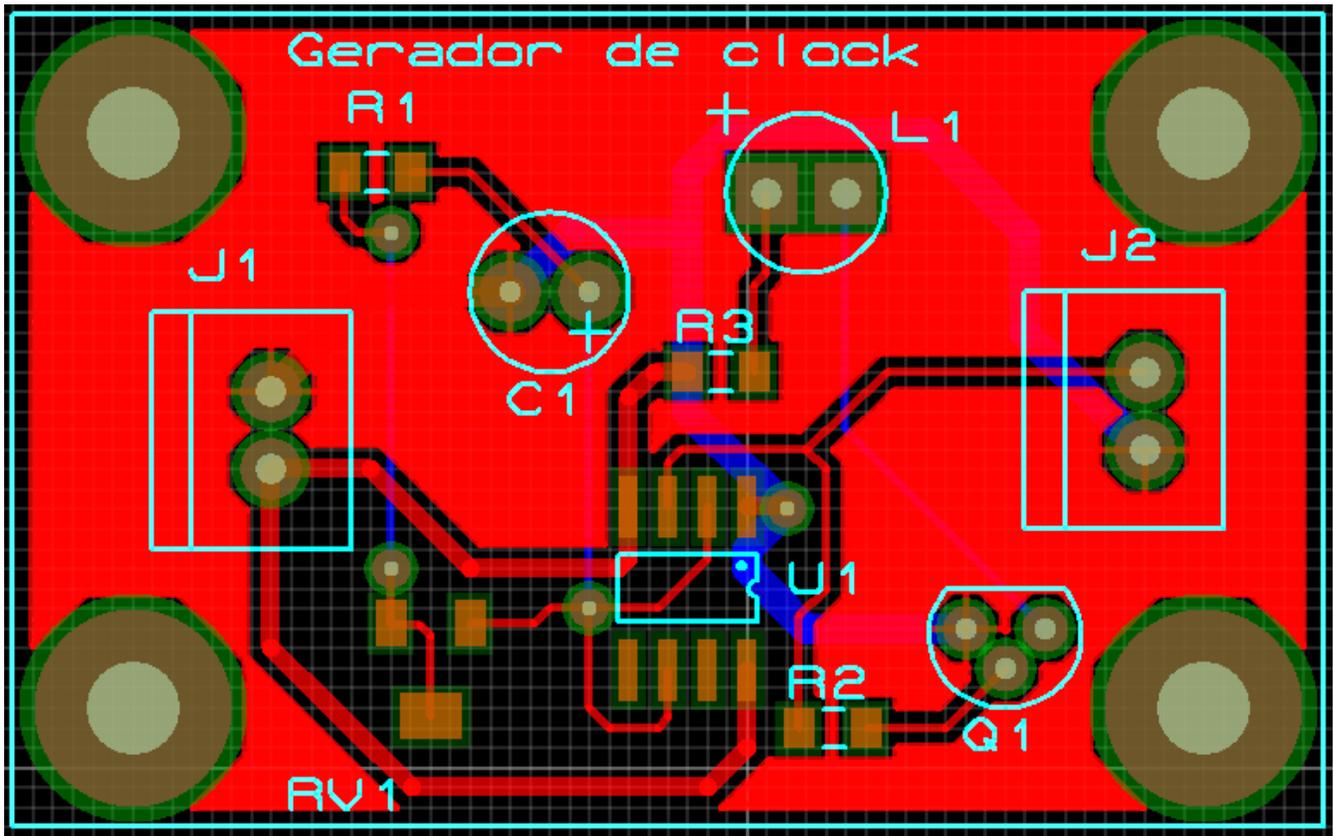
O layer deve ser TOP COPPER.





A geração dos arquivos GERBER e a impressão seguem as orientações anteriores.

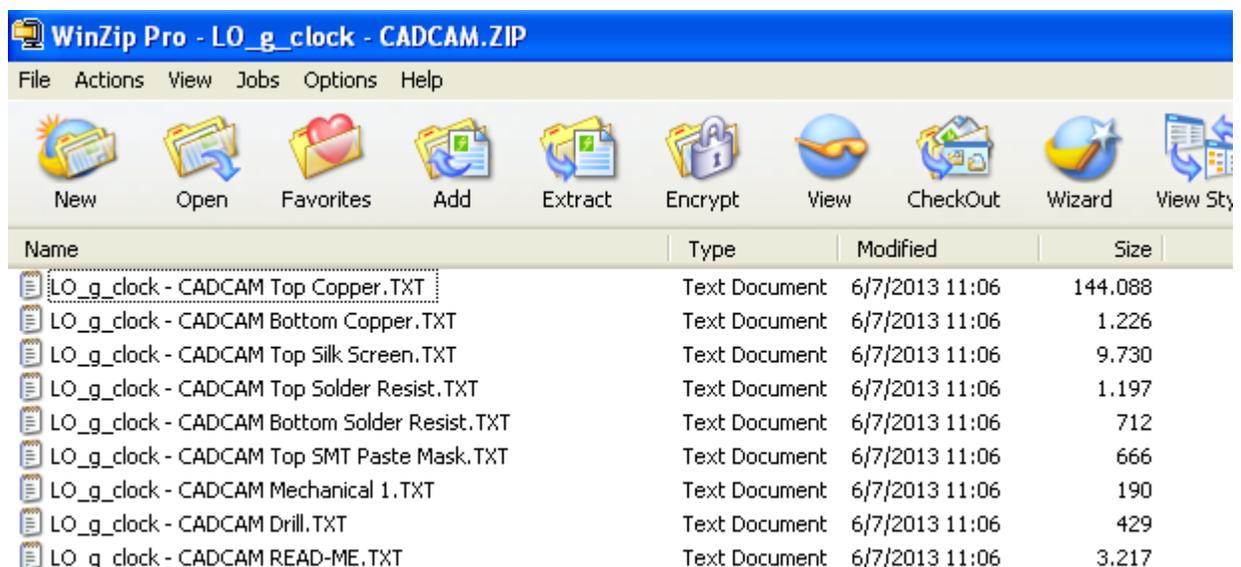




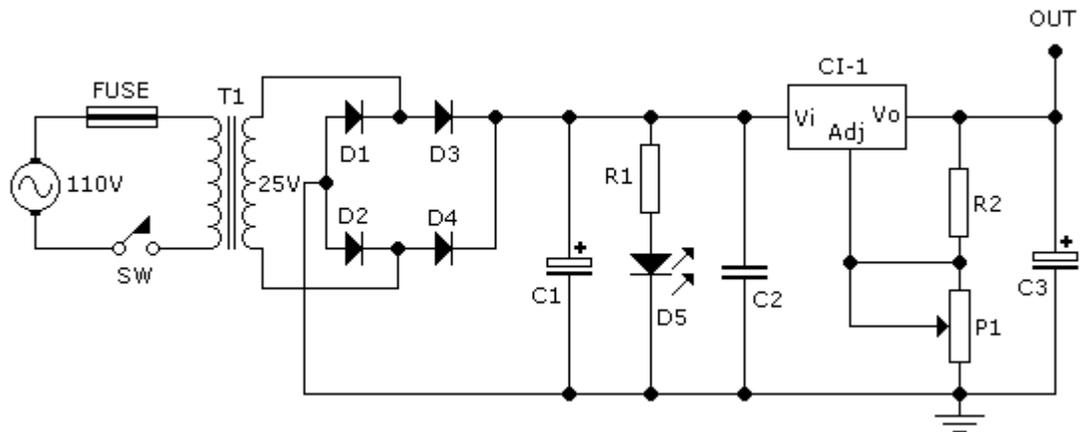
O projeto foi salvo como LO_g_clock, lembrando que a extensão é colocada pelo próprio programa.

Os arquivos GERBER estão compactados devido a opção:

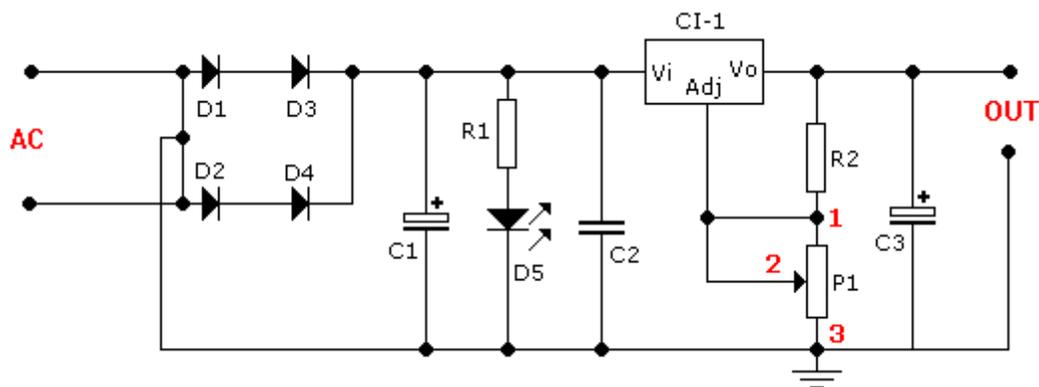
Output to a single ZIP file?



PLACA DE CI DE UMA FONTE DE ALIMENTAÇÃO REGULÁVEL COM O CI LM317

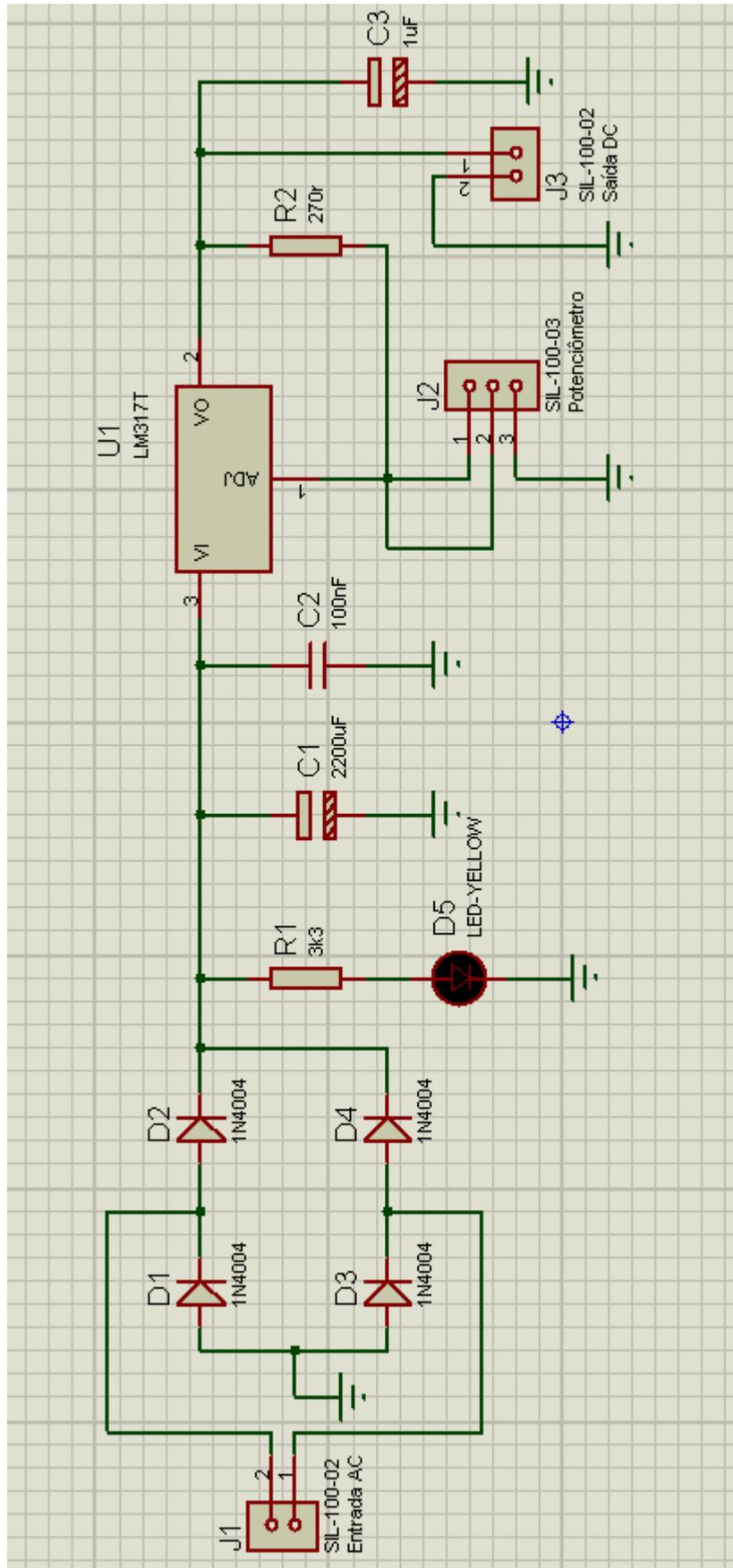


A figura abaixo mostra o esquema modificado, uma vez que o transformador e o potenciômetro de ajuste da tensão de saída (P1) não serão soldados diretamente na placa de CI e sim, interligados através de conectores.

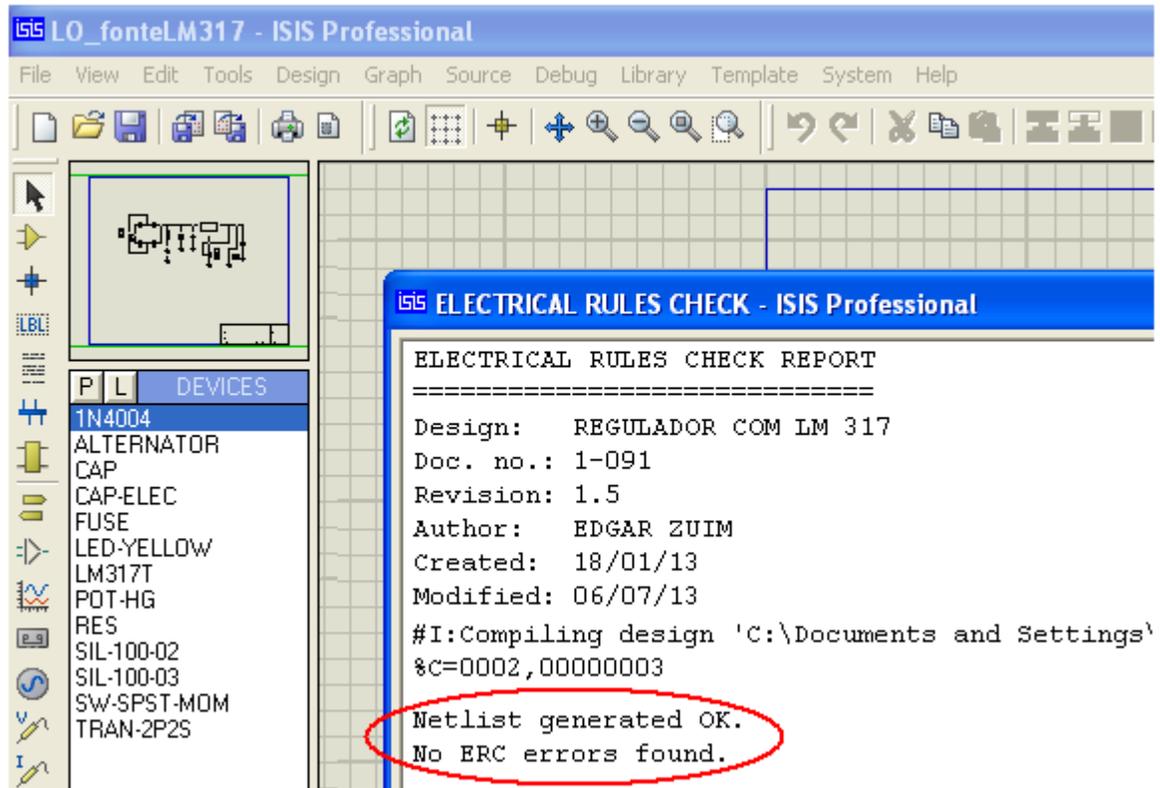


LISTA DE MATERIAIS

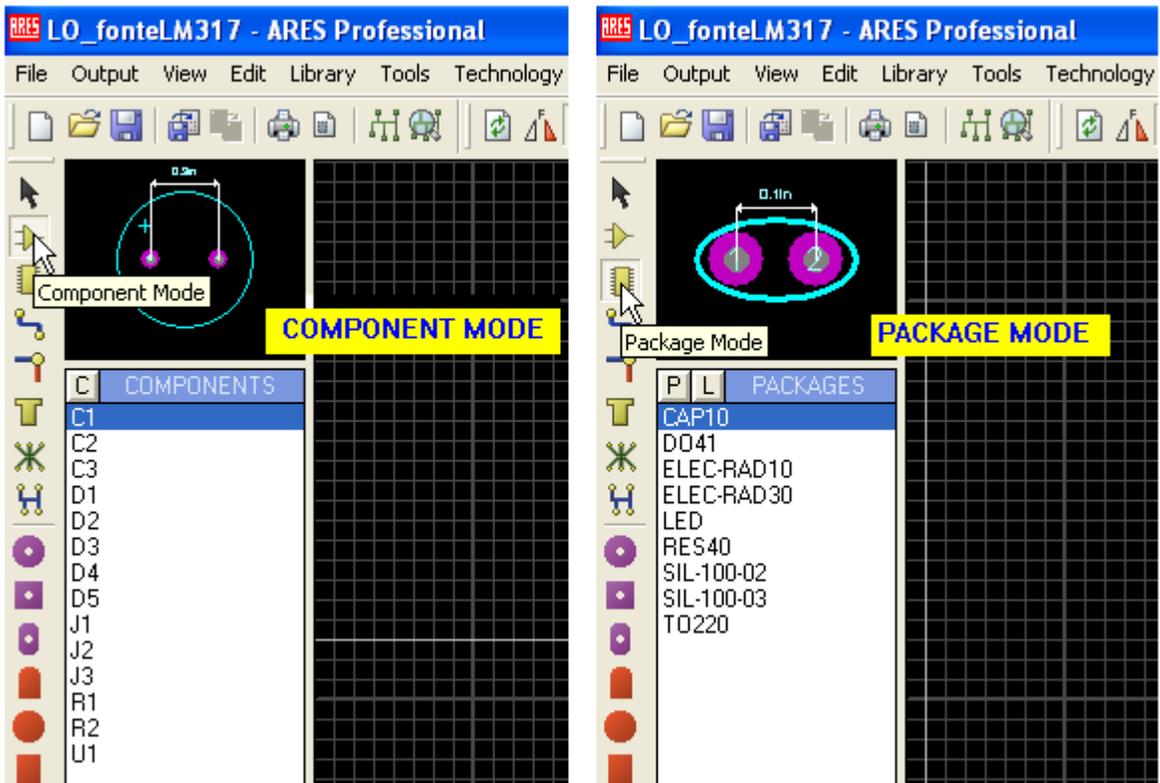
- D1=D2=D3=D4 = 1N4004
- D5 = led 3mm ou 5mm
- R1 = resistor 3k3 – 1/4W
- R2 = resistor 270 ohms – 1/4W
- P1 = potenciômetro linear 4k7
- C1 = capacitor eletrolítico 2.200uF/35V
- C2 = capacitor de poliéster 100nF/63V
- C3 = capacitor eletrolítico 1uF/35V
- CI-1 = regulador LM317T
- T1 = transformador de força 110/25V – 1A
- FUSE = fusível 0,1A
- SW = interruptor simples

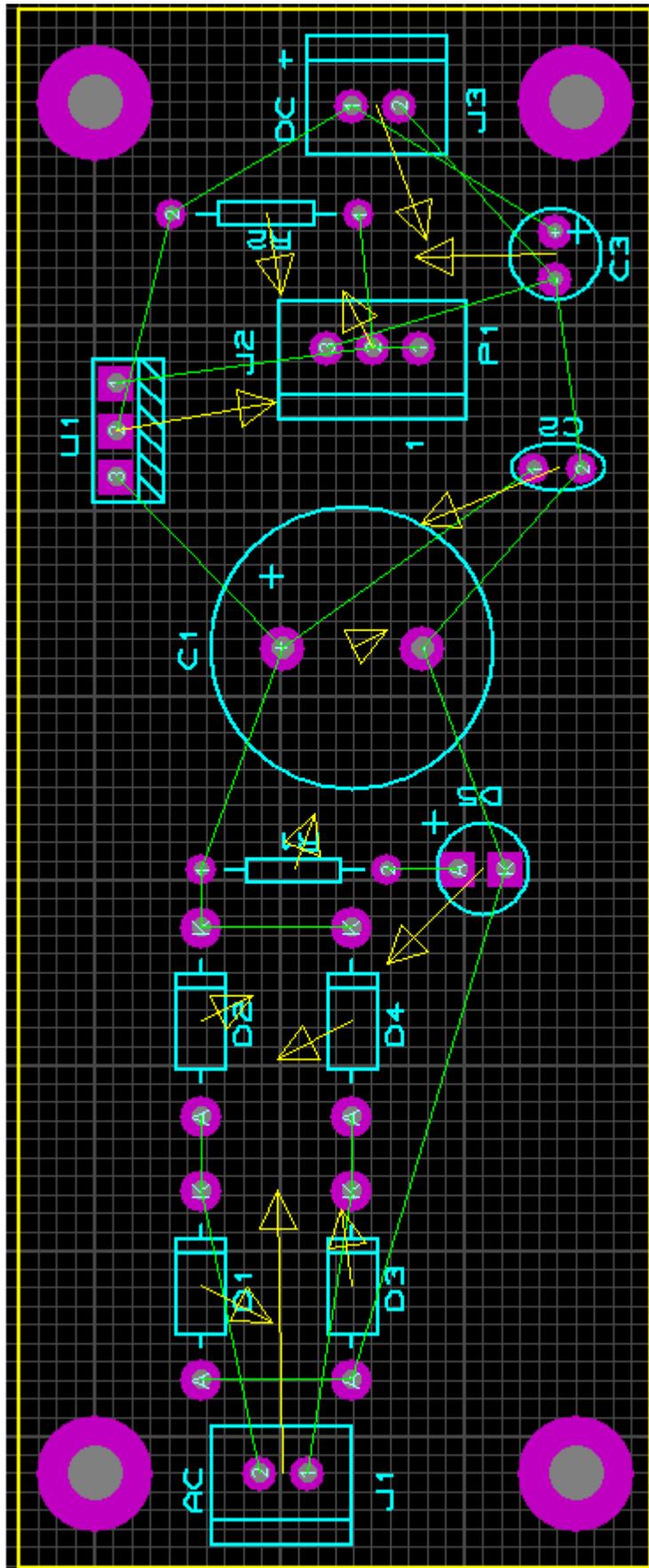


Netlist – No ERC errors



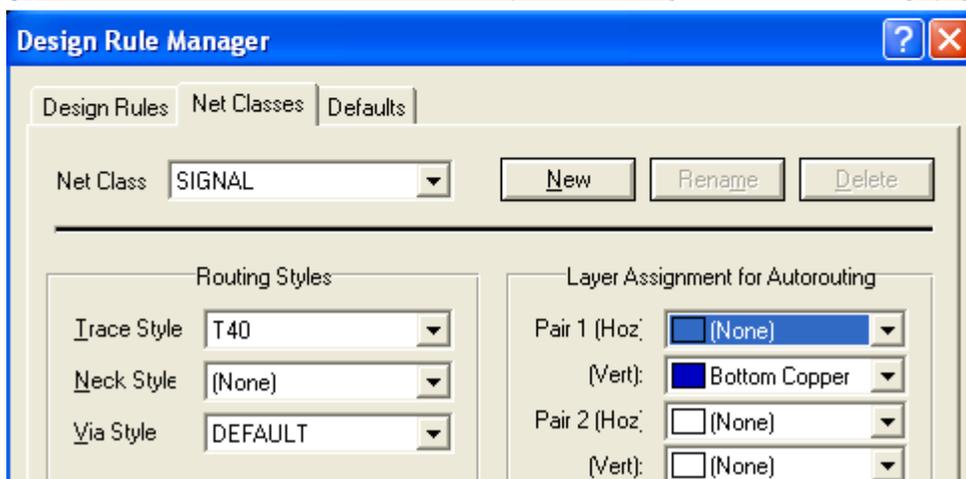
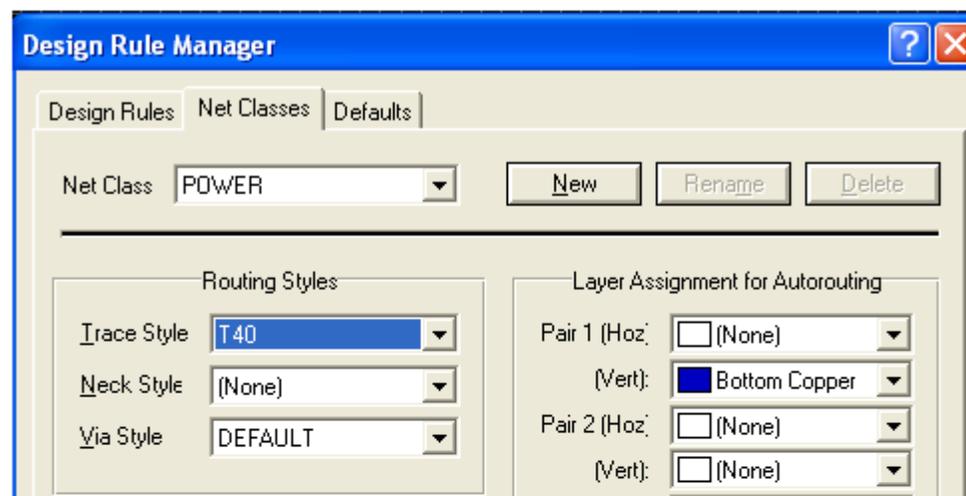
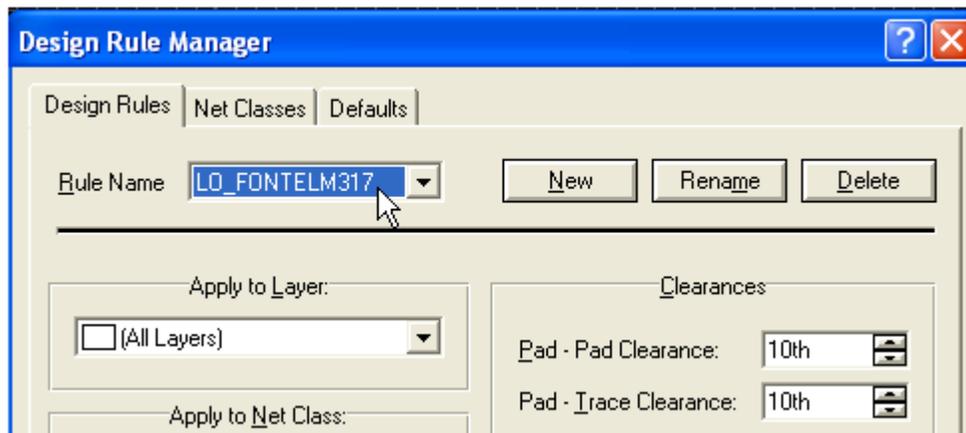
Component Mode e Package Mode:





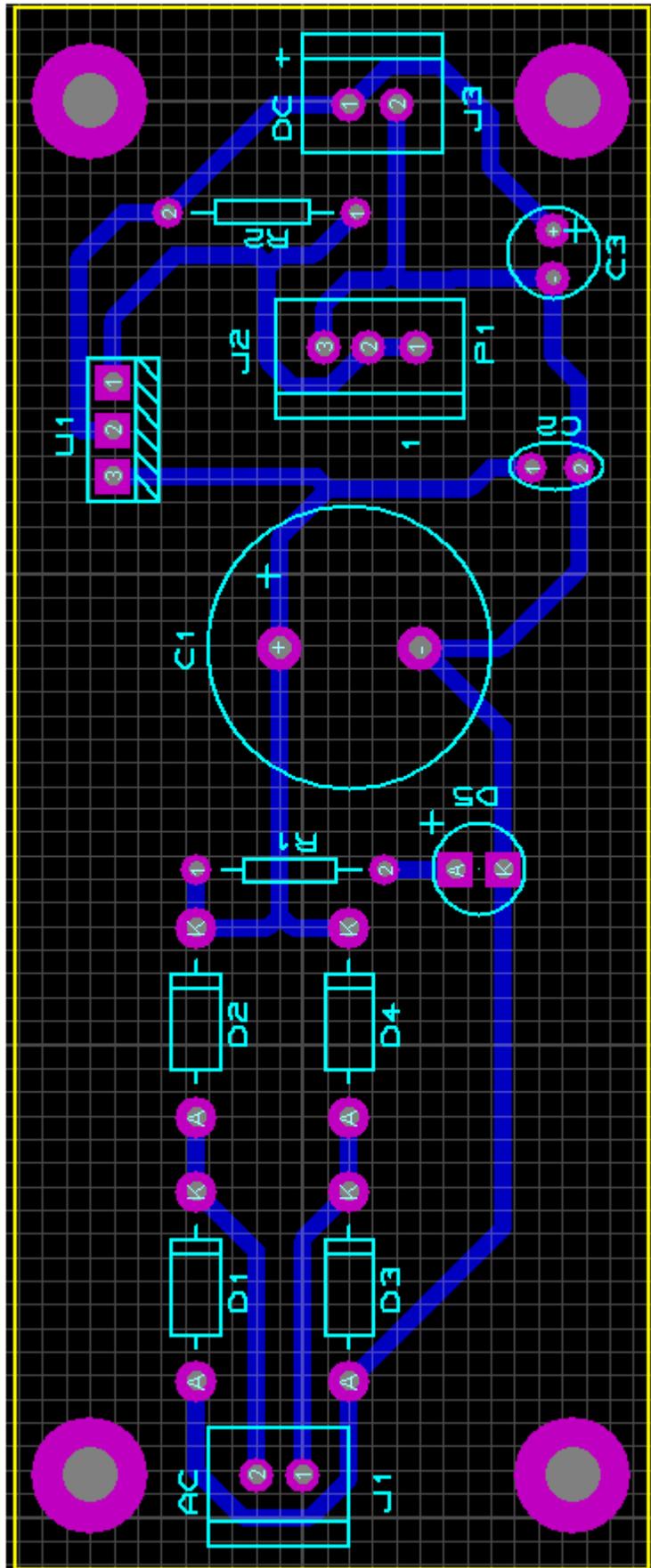
Ajustando as configurações para auto-roteamento, em face simples (BOTTOM COPPER):

As trilhas tanto para "SIGNAL" como para "POWER" serão ajustadas em T40.

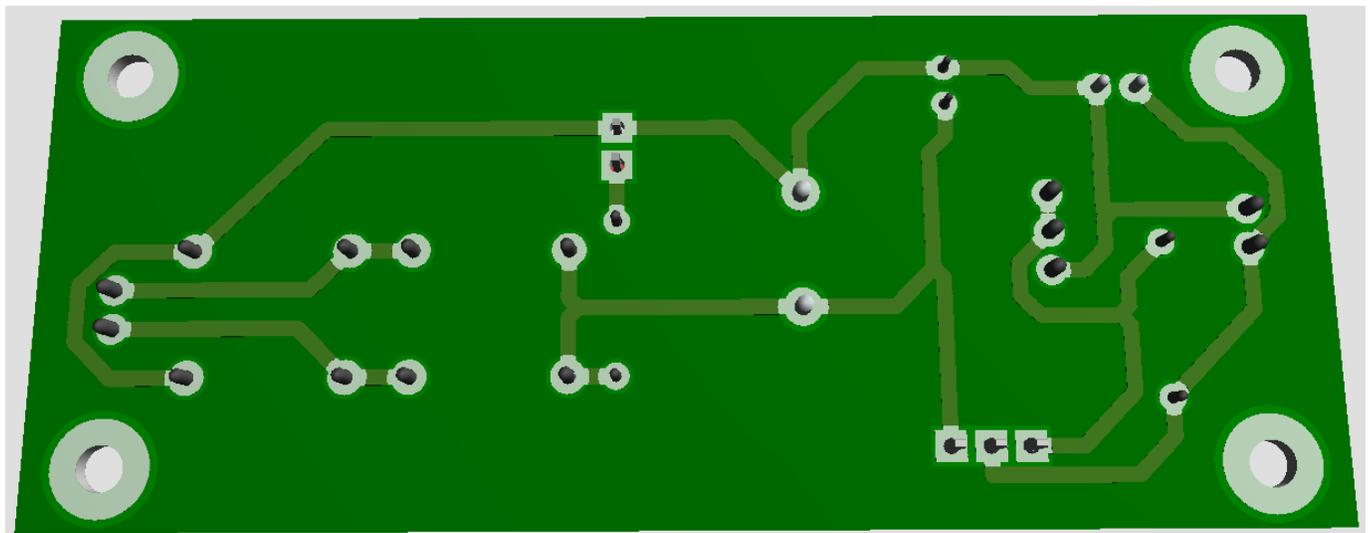
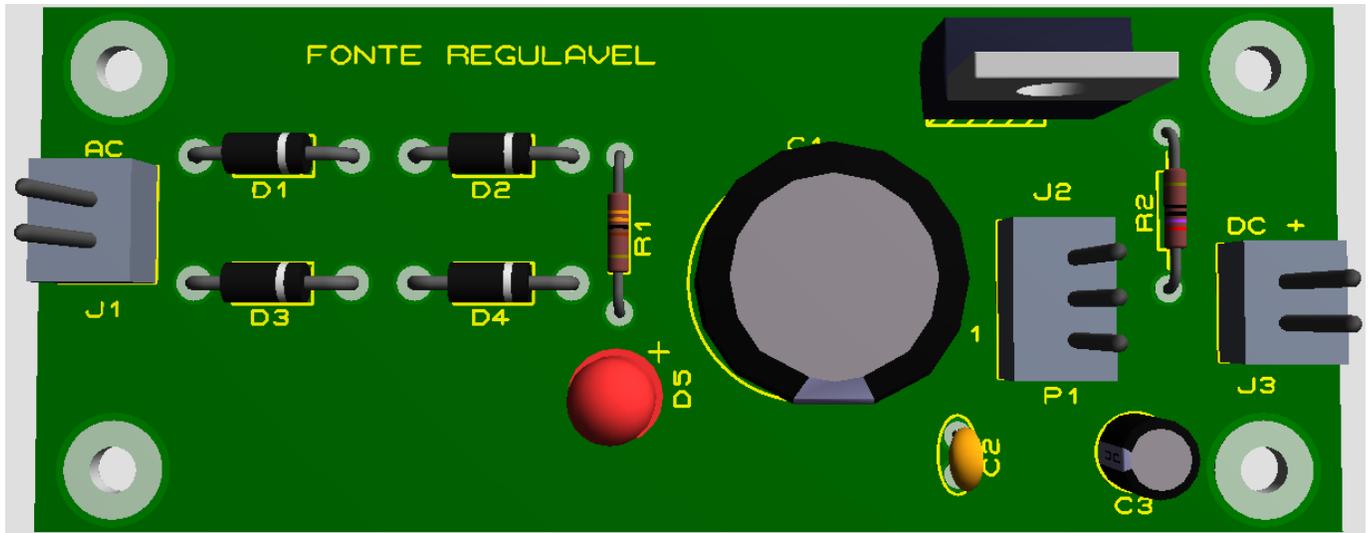


A figura a seguir mostra o resultado do roteamento automático. A opção Mitre foi ajustada para 0.2in (Maximum Distance).

O projeto foi saldo como *LO_fonteLM317*.



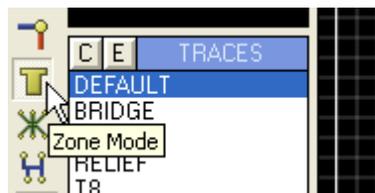
Visualização 3D:

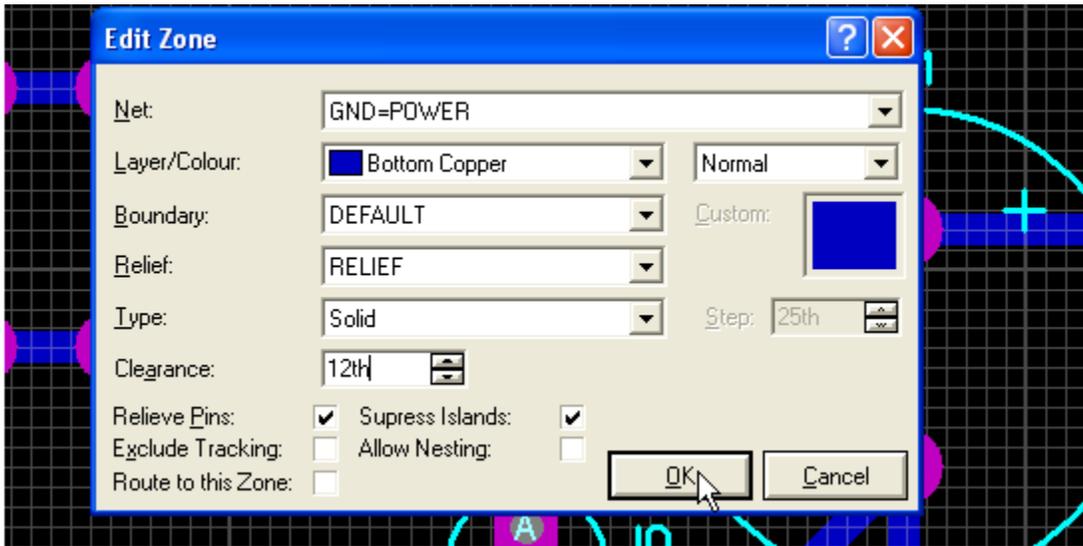


Medidas da placa: 84mm x 34mm (8,4 x 3,4cm)

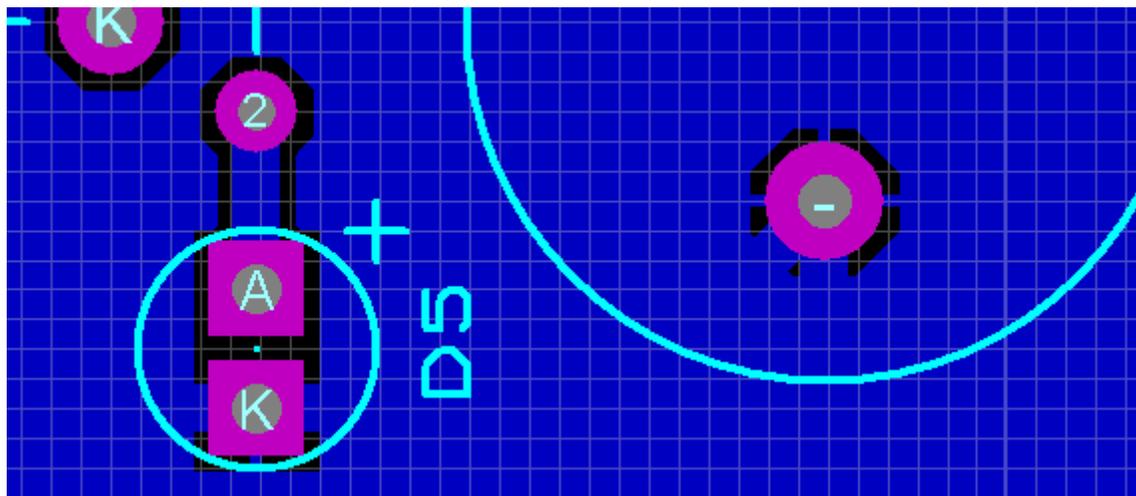
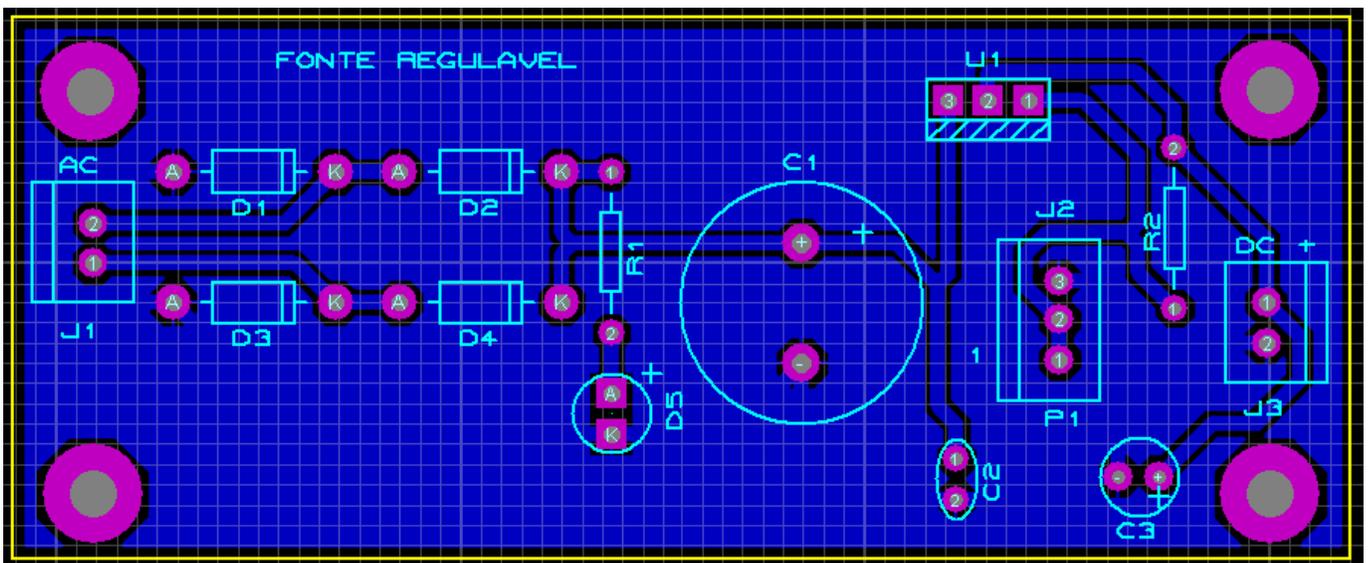
Criando uma área de chapado para interligação dos pontos comuns de terra (GND):

Adotando os procedimentos anteriores vamos criar uma área de chapado para a interligação dos pontos comuns de terra no layer BOTTOM COPPER. Como a placa foi roteada, manter a padrão DEFAULT para as configurações de ZONE MODE.

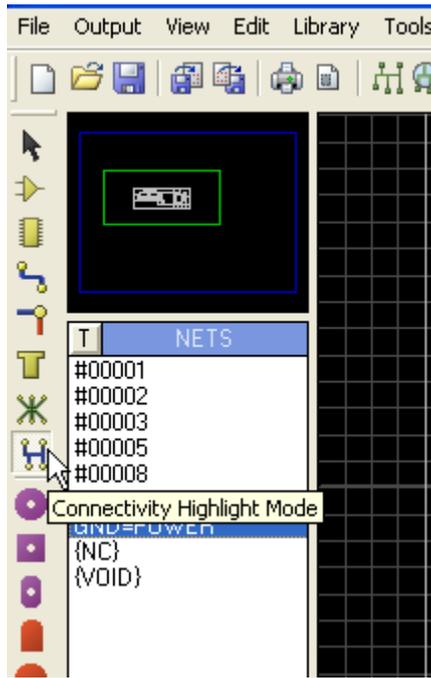




Clicar em OK.



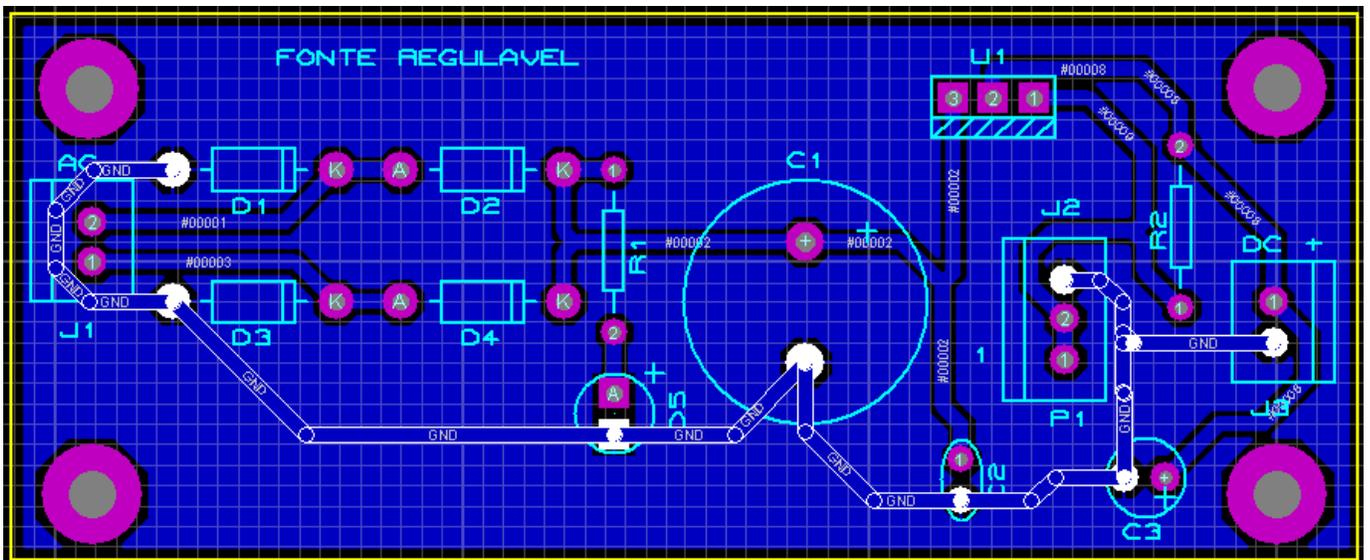
É possível verificar a conectividade clicando no ícone Connectivity Highlighth Mode:



A figura a seguir mostra como exemplo a verificação da “net” GND=POWER.

Isto significa que a área iluminada representa as ligações comuns de terra no circuito, ou seja, GND.

Esse processo pode ser repetido para qualquer “net”.



Observa-se que os *Pads* destinados a furação para a fixação da placa, embora com contorno cobreado, não possuem nenhuma ligação elétrica.

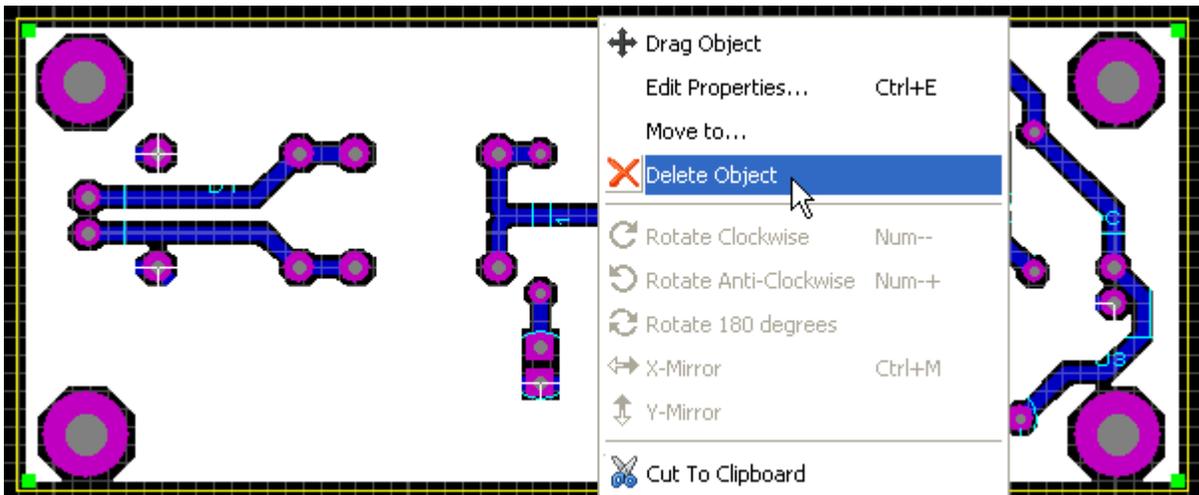
Podemos interligar os 4 *Pads* ao plano de GND através da área de chapado. Isto às vezes pode ser muito útil se desejarmos que a placa de CI tenha uma conexão comum com o GND (terra) ou com o chassi ou mesmo com ambos.

Por exemplo, se parafusarmos a placa de CI com um parafuso metálico em um chassis também metálico, esta poderá estar em contato com o chassis através do terra que estará conectado ao PAD de furação.

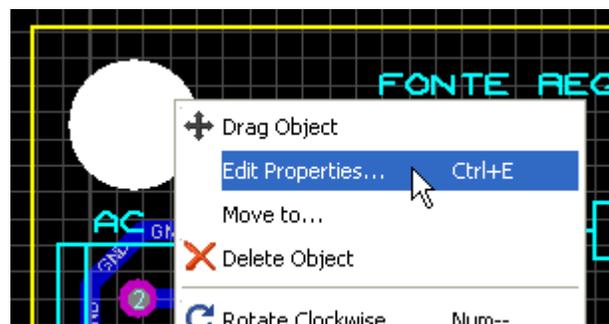
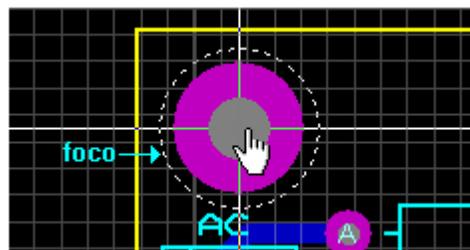
Conectando os Pads de furação com o GND através da área de chapado:

Procedimentos:

1) No layout que já está pronto clicar com o botão direito do mouse na borda da área que delimita o chapado e clicar em Delete. Com isto será eliminada a área de chapado, mas não o roteamento.

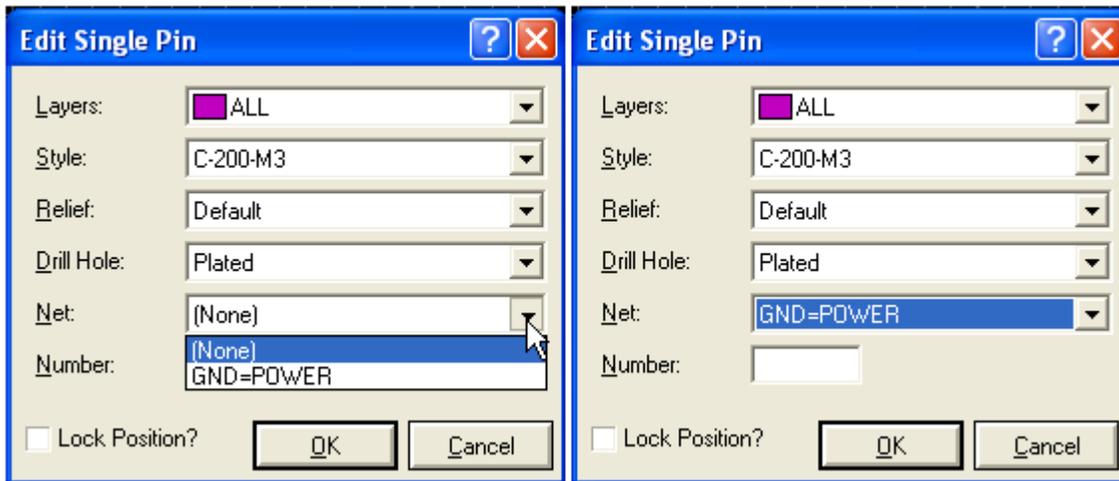


2) Editar o Pad. Para editar o Pad, aproximar o cursor no centro do mesmo e ao ser criada a área de foco ao redor do componente, clicar com o botão direito do mouse e em seguida Edit Properties:

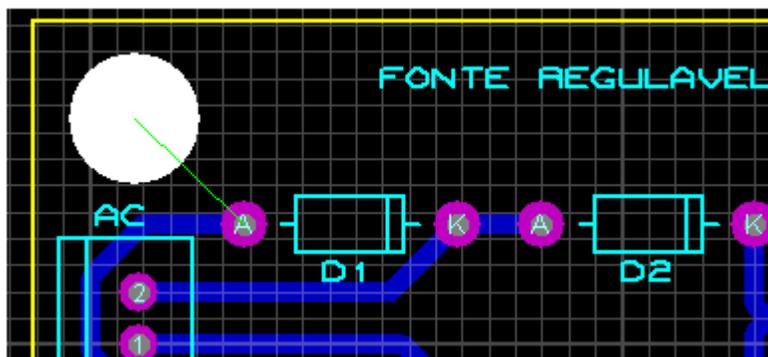


OBS: o layer deverá estar configurado para COPPER BOTTOM, que é a origem do roteamento dessa placa. Ao aparecer a janela para a edição (Edit Single Pin) observe que o layer para o Pad é ALL e, portanto não alterar nada.

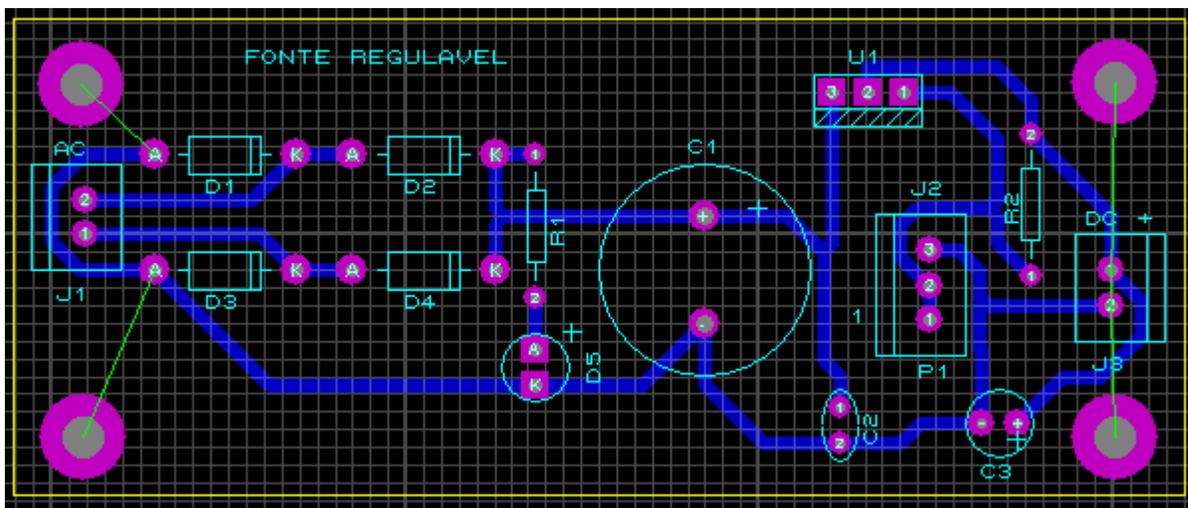
Somente alterar o campo Net para GND=POWER.



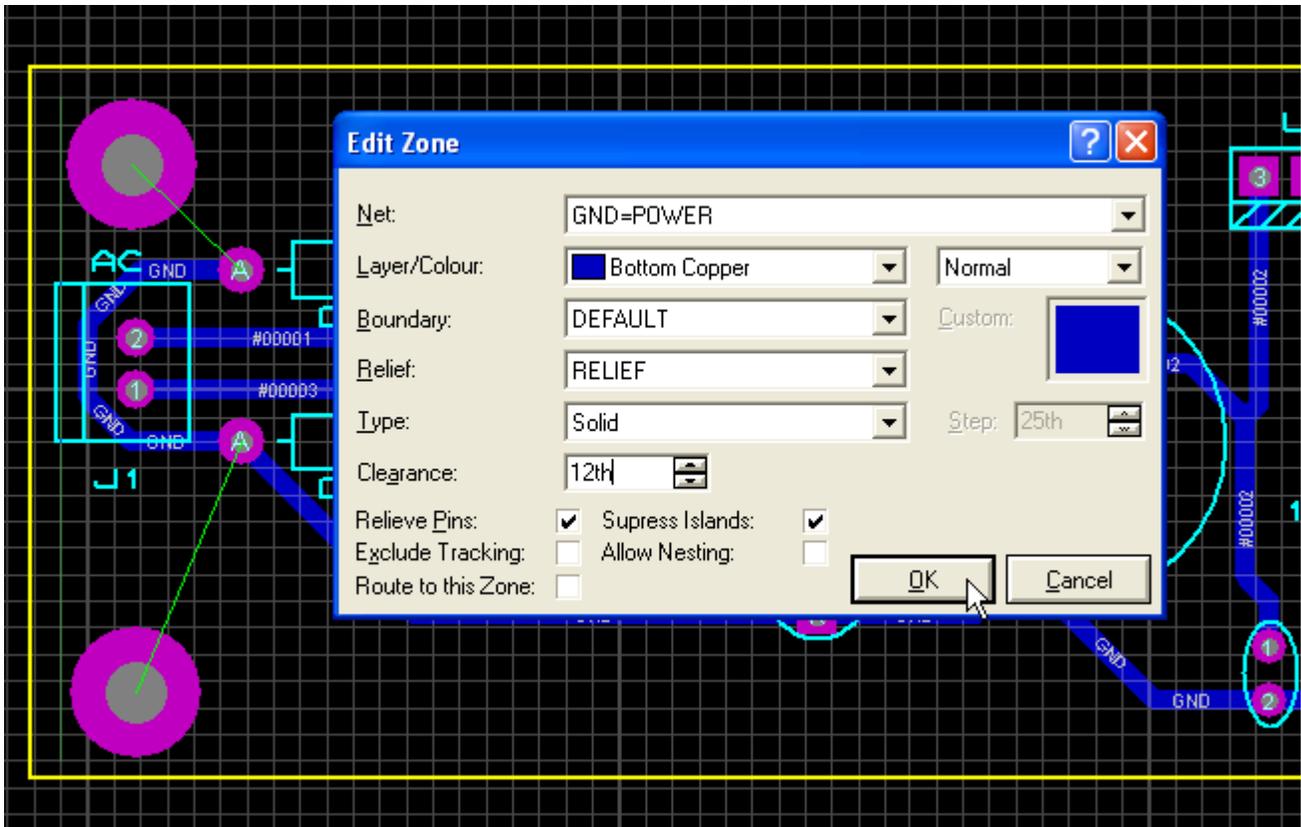
Observe que é criada a ligação elétrica entre o Pad e um ponto de terra (ratsnest).



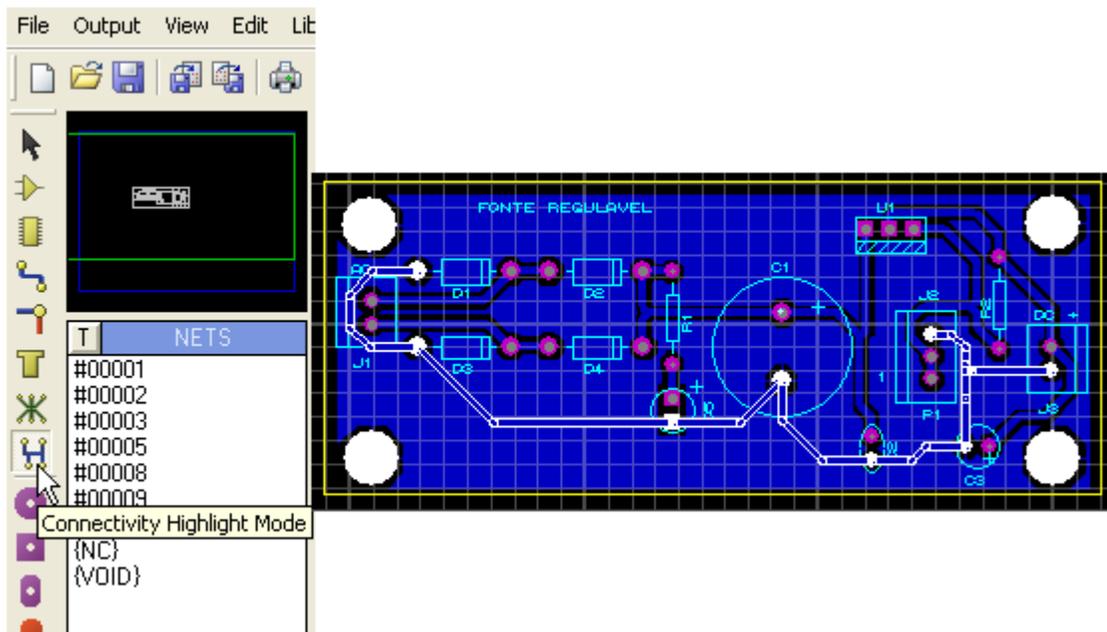
3) Repetir o processo para os demais PADs.



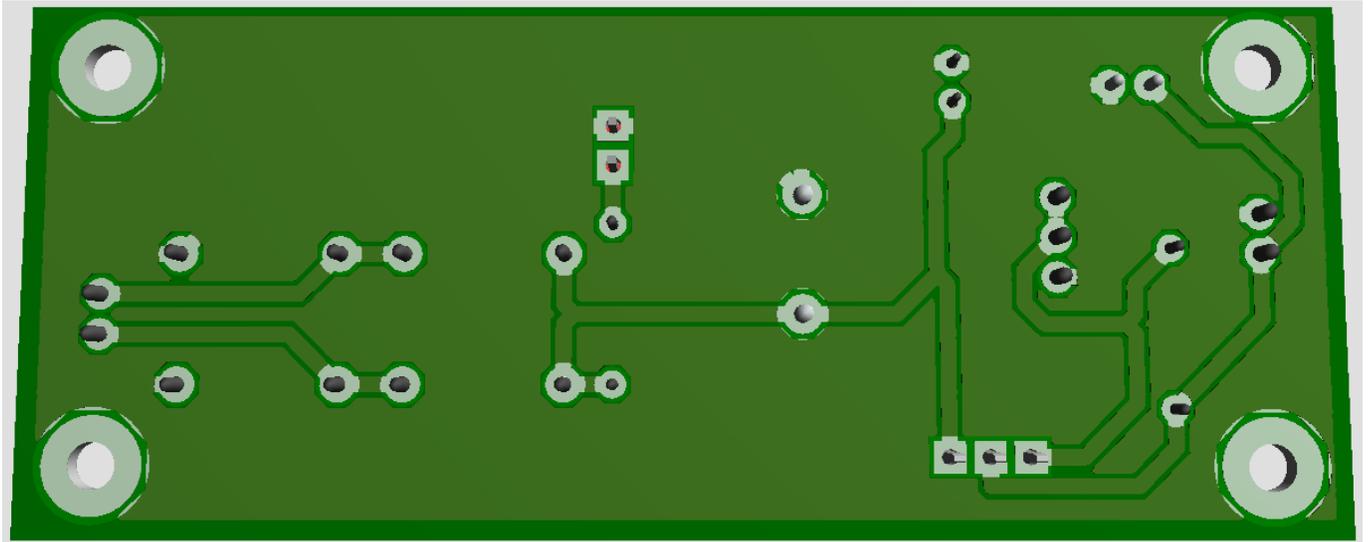
4) Recriar a área de chapado para GND=POWER.



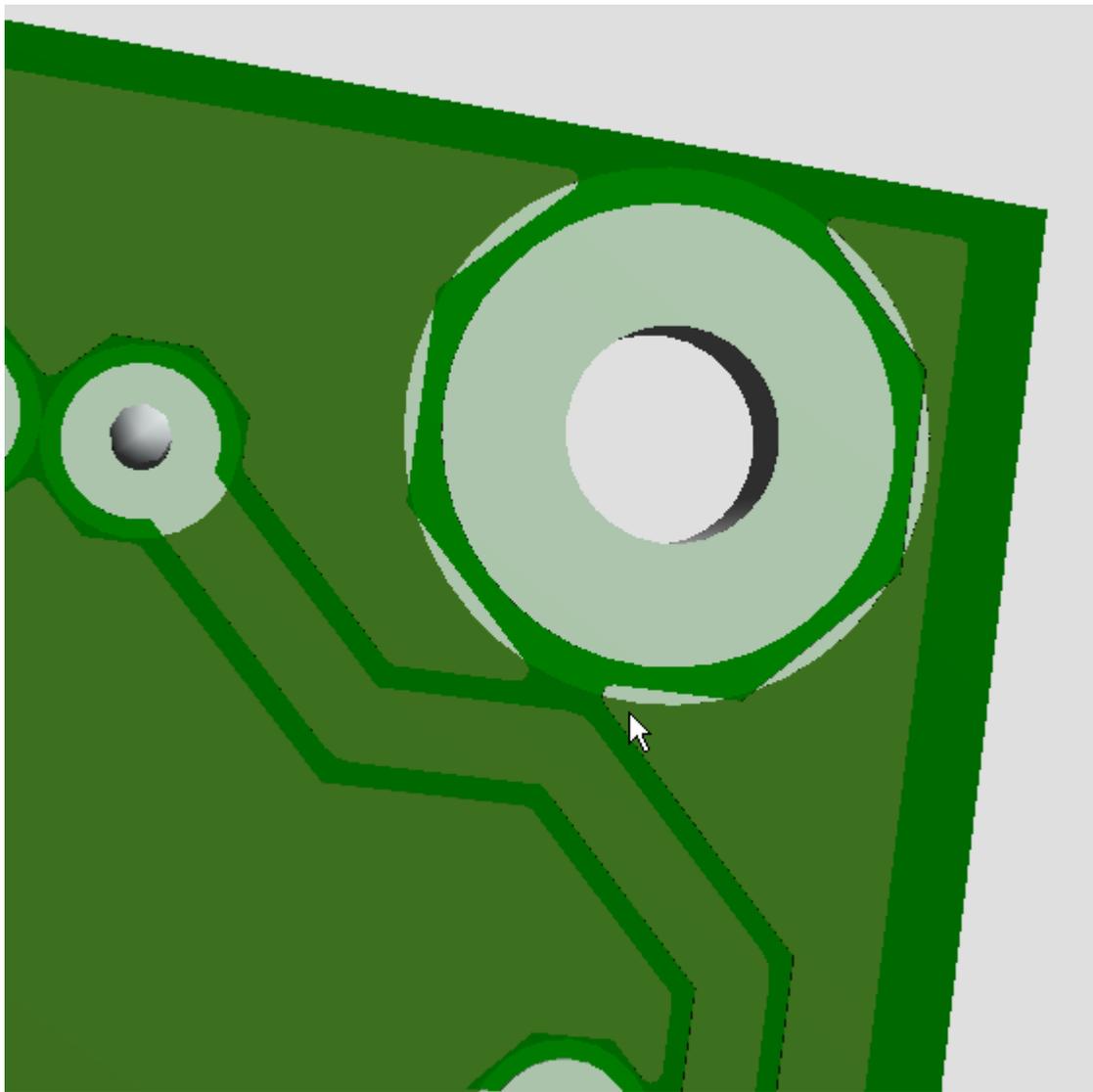
Clicando no ícone Connectivity Highlight Mode, verifica-se agora que os Pads fazem parte da ligação elétrica da placa no plano GND=POWER.



A figura a seguir mostra a visualização 3D do lado cobreado, visto que somente este que sofre alterações.



Detalhe da ligação elétrica de um dos Pads:

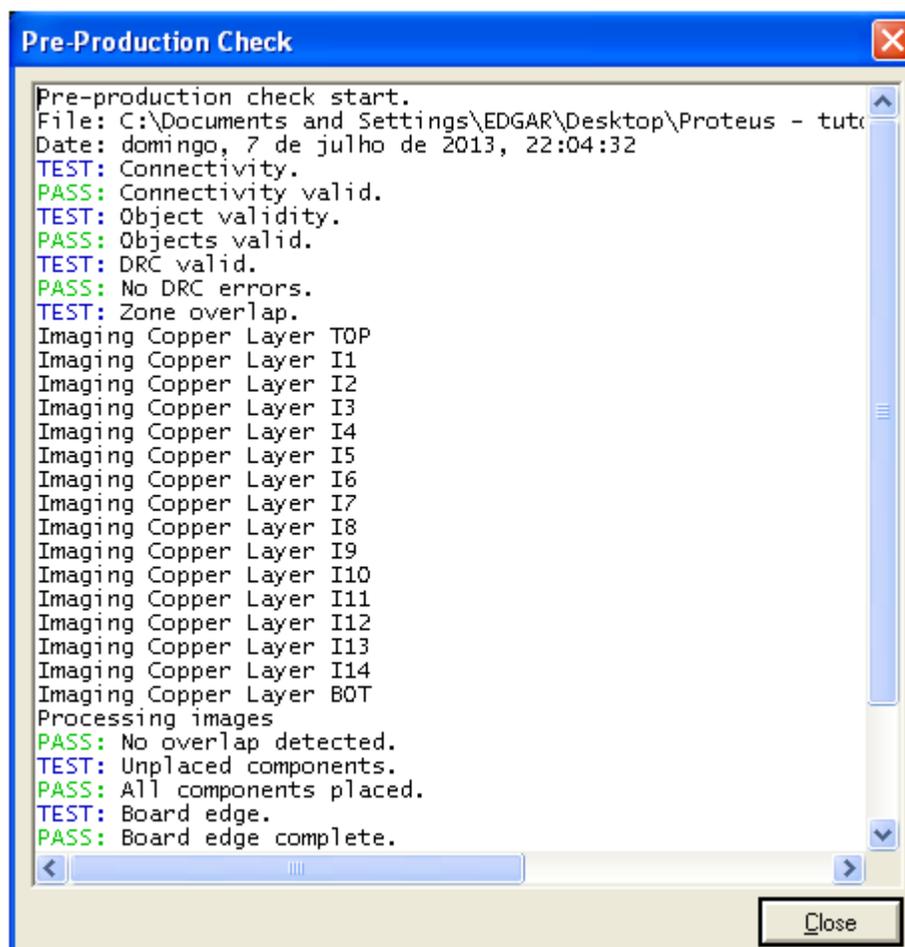


Caso seja de interesse do projetista, o projeto poderá ser salvo com outro nome ou simplesmente atualizar.

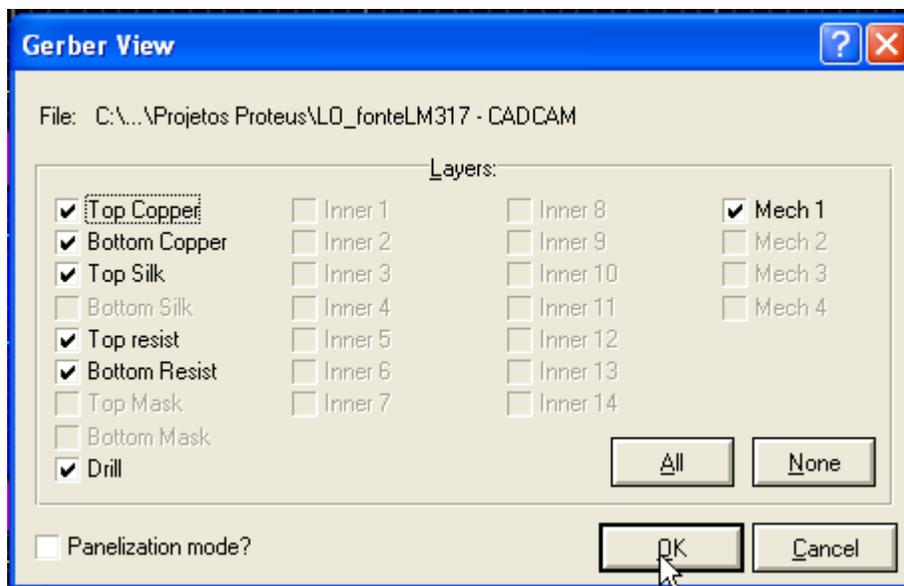
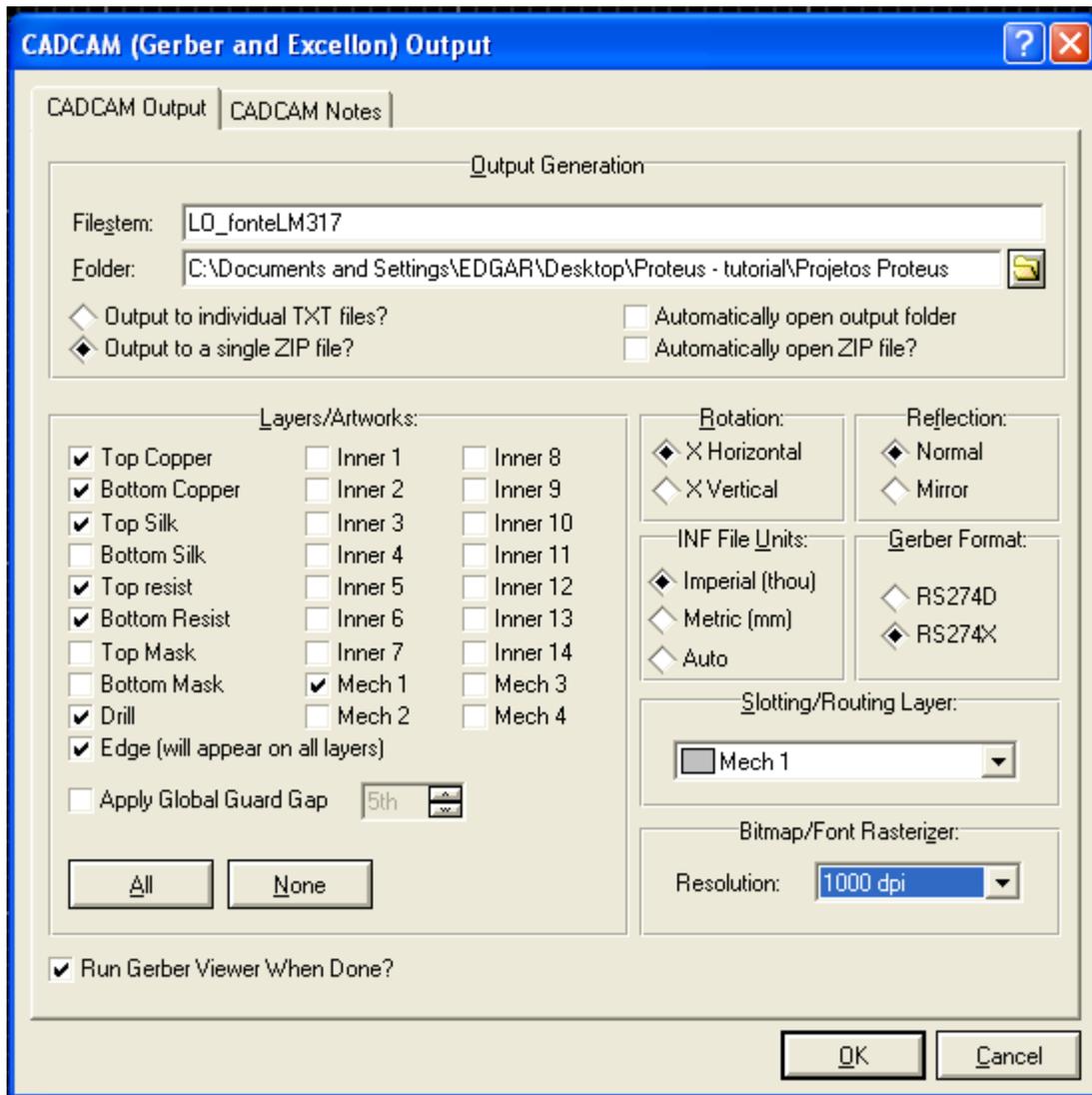
Resta agora gerar os arquivos GERBER.

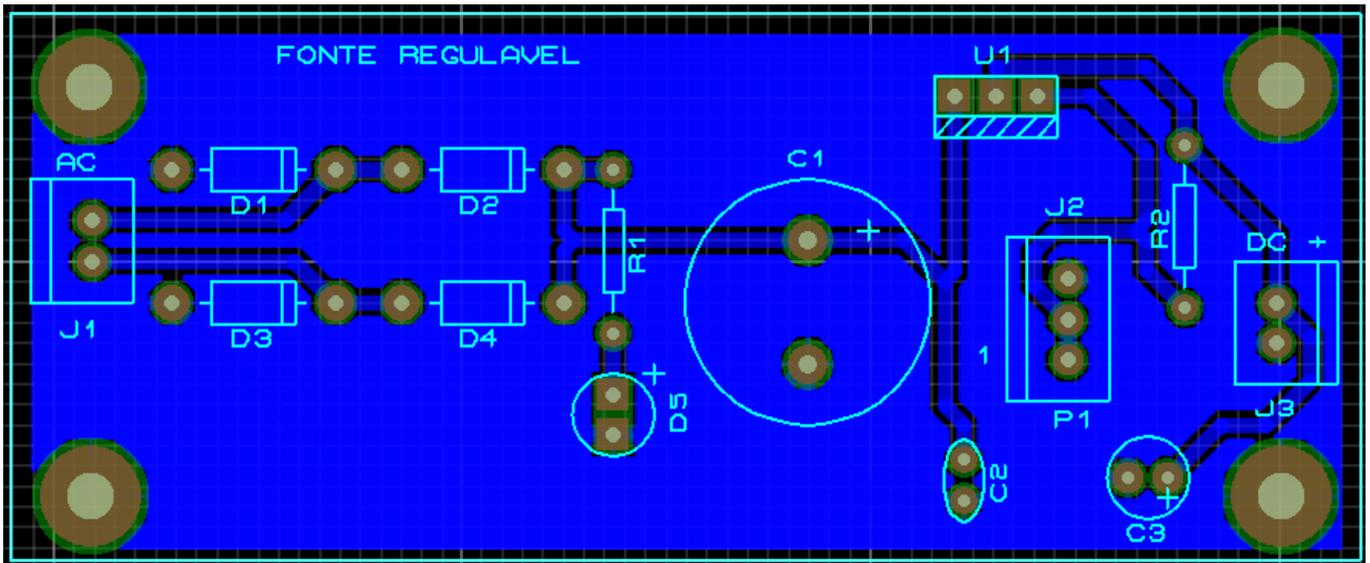
Como o projeto foi alterado (foi atualizado), surgirá uma mensagem alertando sobre essa alteração e ao mesmo tempo propondo uma verificação automática.

Clique YES (opcional) e será criado um relatório.

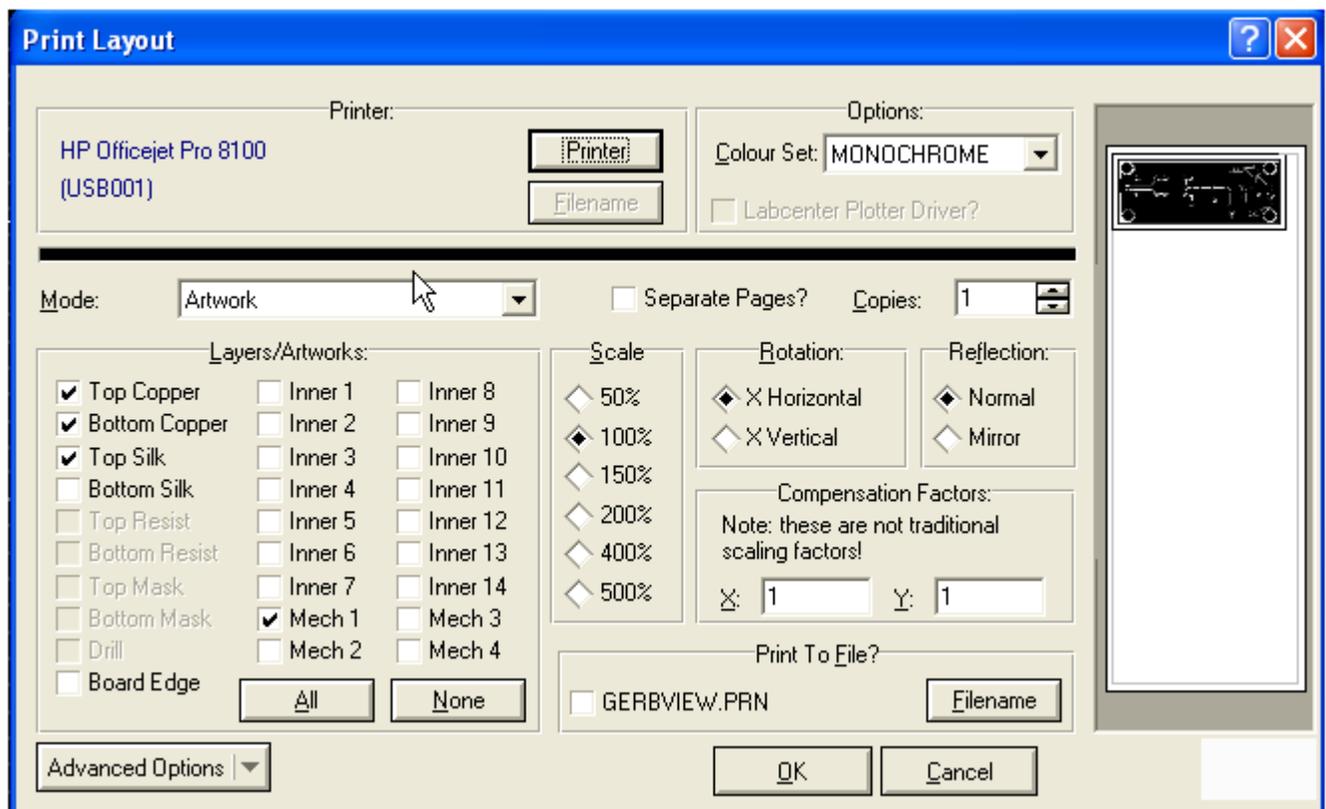


A figura a seguir mostra a janela para as configurações. Basta seguir os mesmos procedimentos anteriores.





A figura a seguir mostra as configurações para a impressão do projeto.



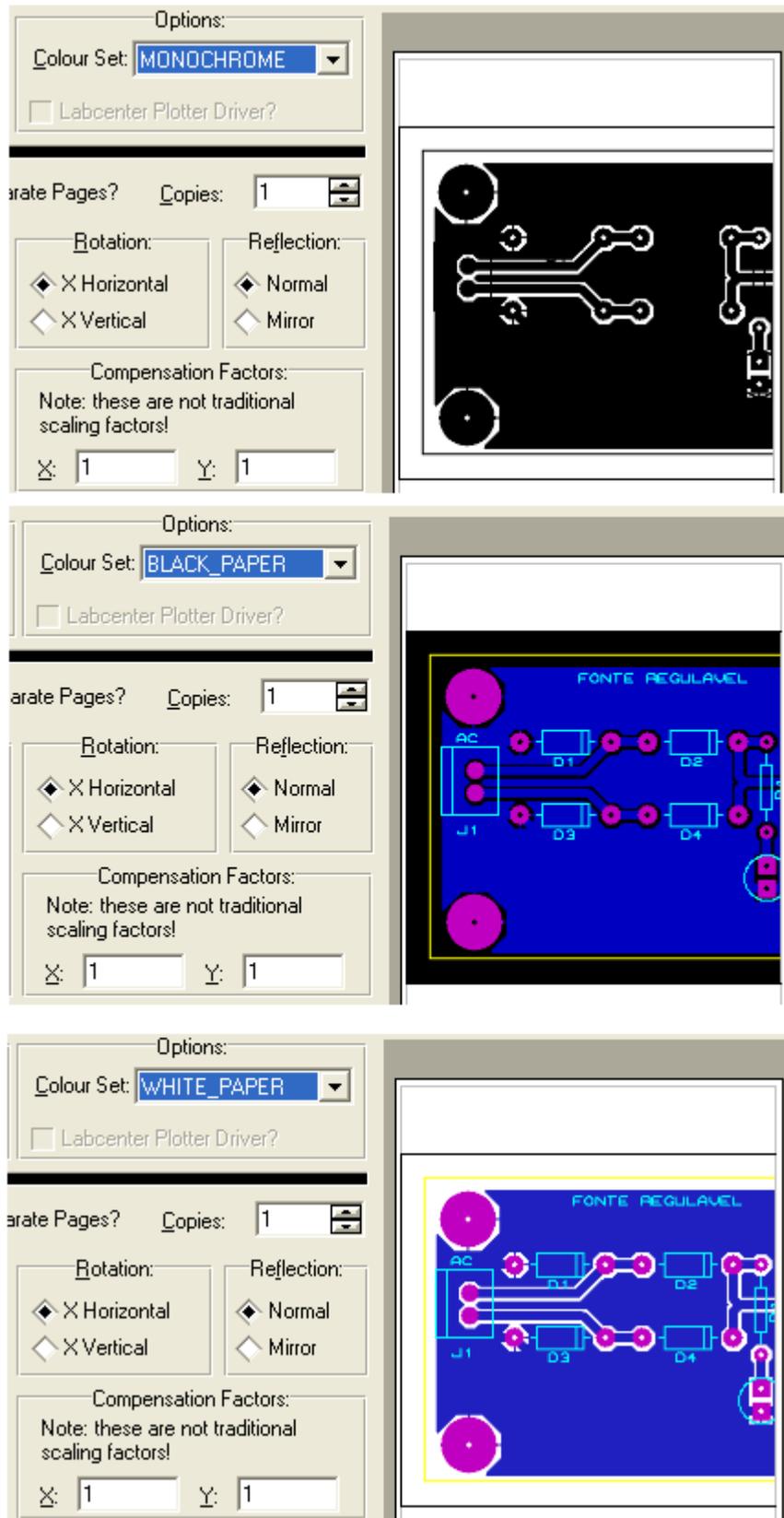
Um detalhe interessante é que se torna possível definir o tipo de impressão em Options – Colour Set:

MONOCHROME

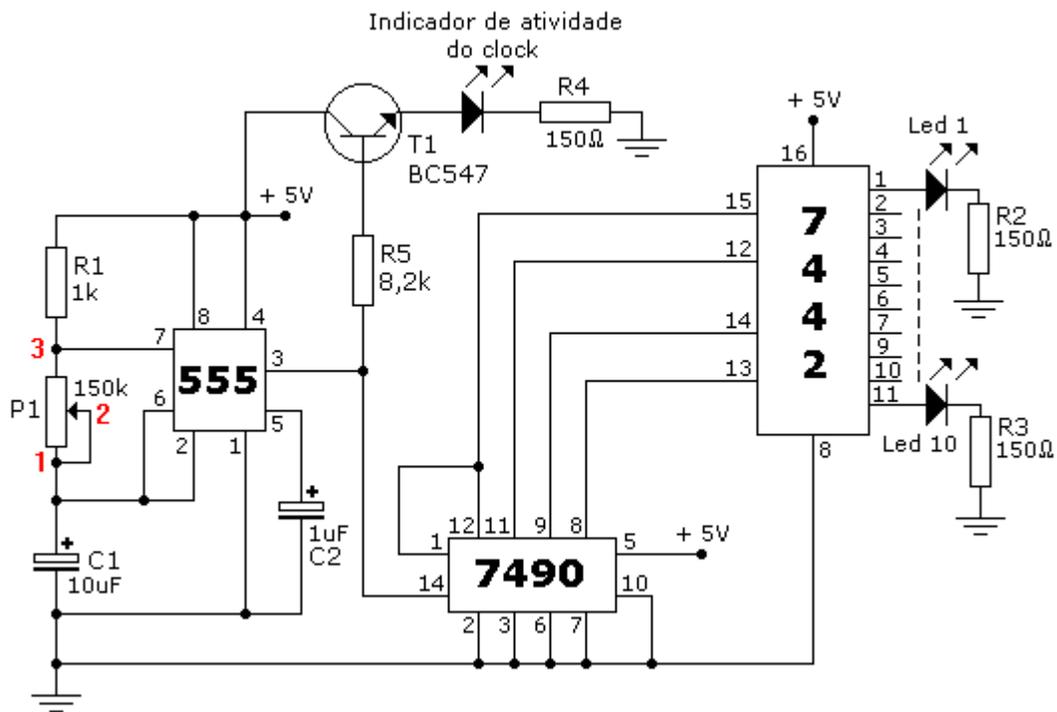
BLACK_PAPER

WHITE_PAPER

É possível então imprimir em B&P, cores com fundo branco ou fundo preto. Veja nas figuras a seguir o ajuste dessas opções:



PLACA DE CI DE UM SEQUENCIADOR DE 10 LEDs

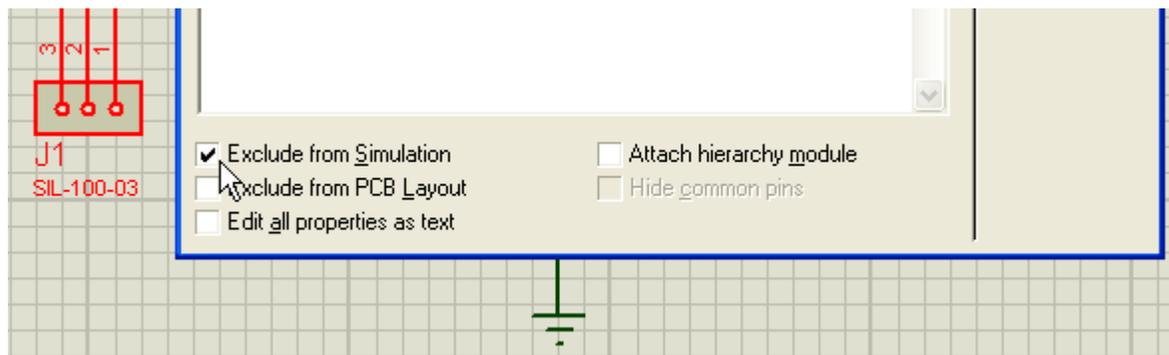


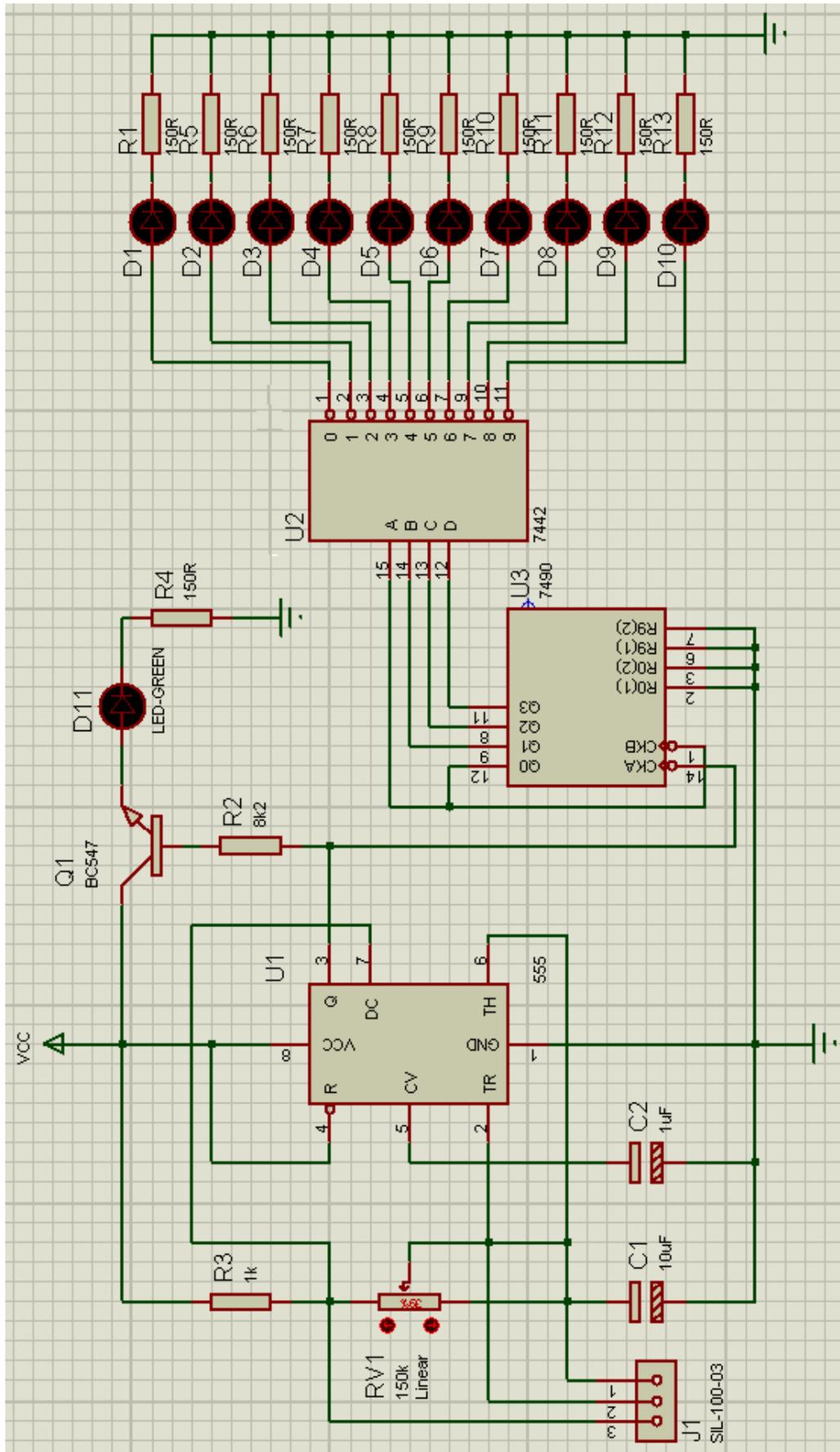
Resistores = 1/4W
Capacitores = 16V
P1 = potenciômetro linear

Conforme mostra o diagrama esquemático a seguir, foi ligado em paralelo com P1 o conector J1, pois o potenciômetro será externo, permitindo a atuação do usuário no controle da frequência.

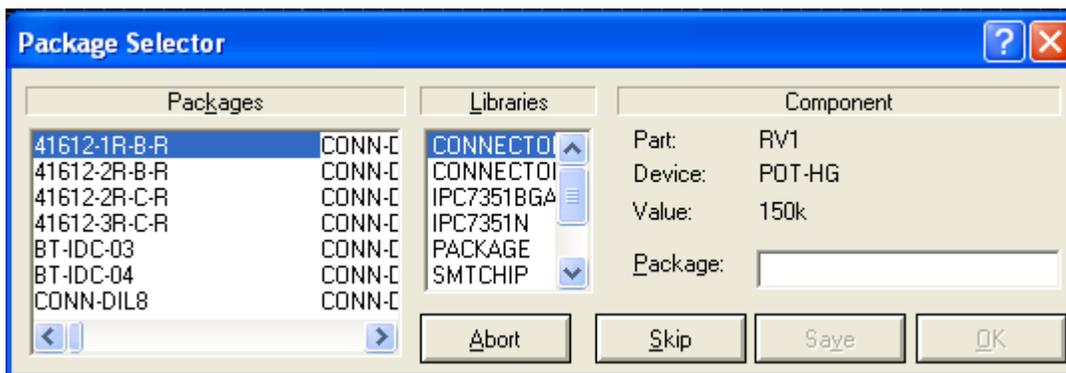
Caso o circuito seja simulado, J1 deverá ser excluído da simulação para não provocar erros.

Basta editar o componente e marcar a opção Exclude from Simulation, conforme ilustra a figura a seguir.



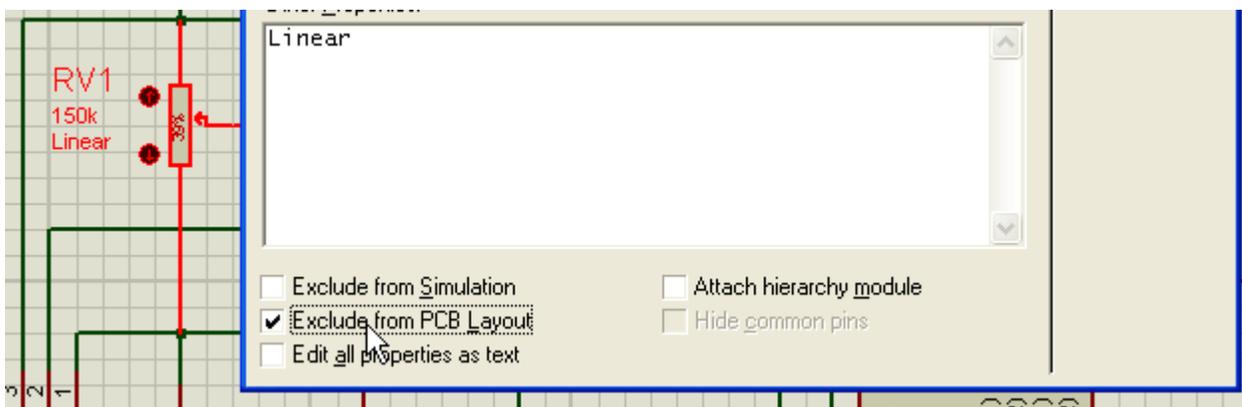


Podemos então exportar a Netlist para o Proteus ARES. Ao exportar a Netlist aparece uma mensagem solicitando definir o PCB Package para o potenciômetro P1 (no Proteus ISIS = RV1).



Essa mensagem poderá ser ignorada ou simplesmente, voltamos ao diagrama esquemático e configuramos P1 para ser excluído do PCB Layout, conforme ilustra a figura a seguir.

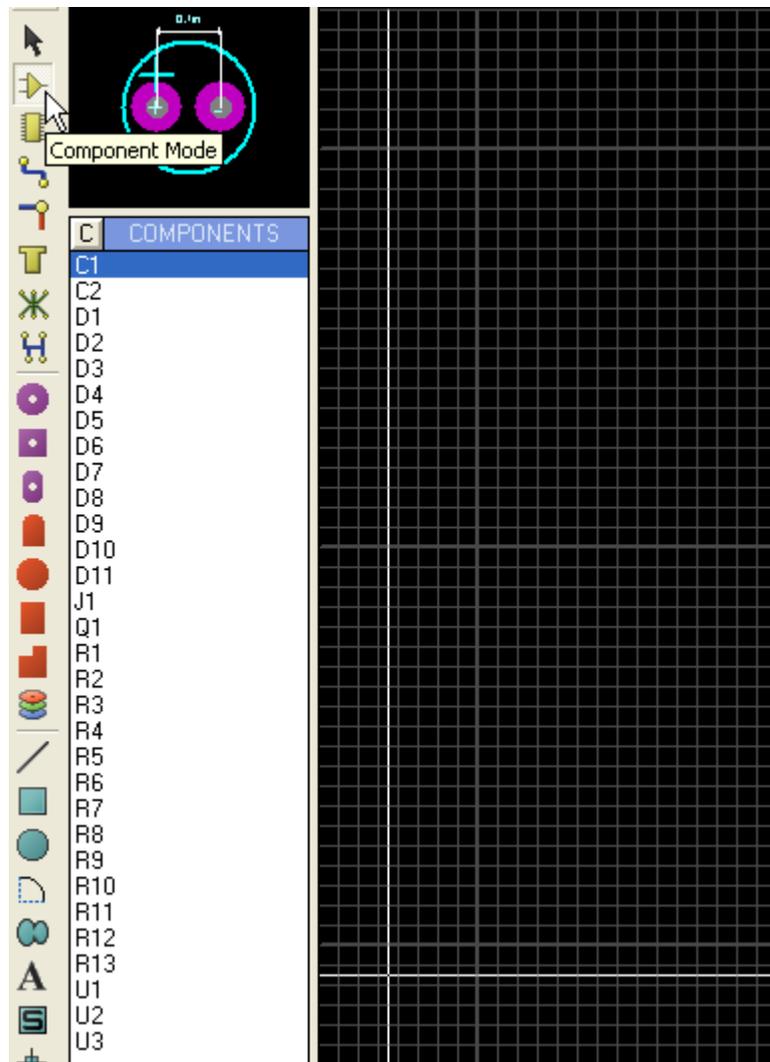
Clicar na tecla Abort para cancelar a operação de exportação da Netlist para o Proteus ARES.



A figura a seguir mostra o ícone Package Mode selecionado.



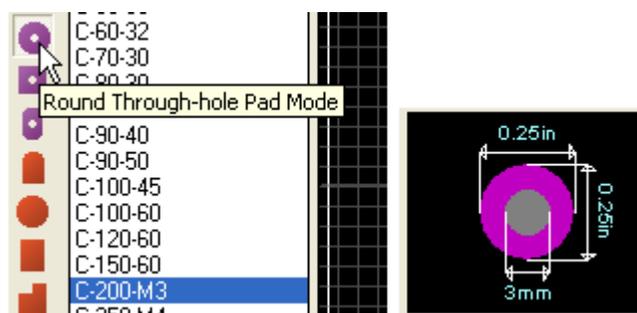
O ícone Component Mode selecionado é mostrado na figura a seguir.



Modificando um PAD:

Na placa de CI do presente projeto vamos acrescentar 4 ilhas (PADs) somente para furação com diâmetro de 3mm, ou seja, não há necessidade de contorno cobreado no furo.

Para isso, vamos modificar um componente já existente, o C-200-M3, que já foi usado em projetos anteriores. Estaremos assim criando um PCB Package.



Procedimentos:

- 1) Vamos usar o grid 25th, lembrando que 0,25in é igual a 250th.
- 2) Editar o componente.

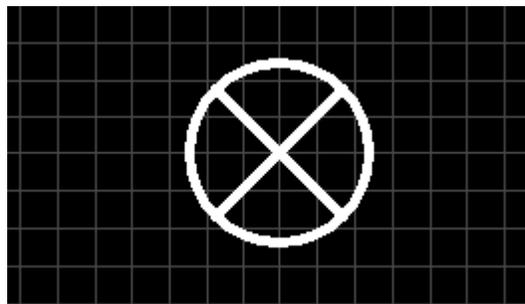


- 3) Configurar conforme ilustra a figura a seguir.



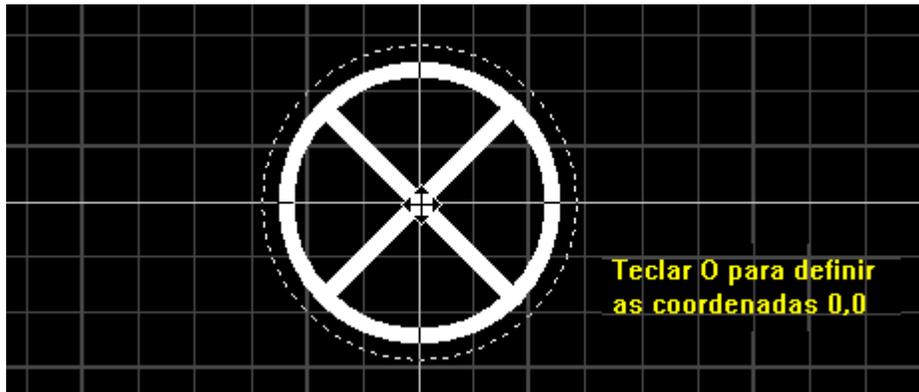
Observe que o layer passa a ser Drill Hole, ou seja, apenas furação. Como se trata apenas de furação a característica passa a ser Unplated (não metálico).

No campo Number foi digitado 3 para representar o diâmetro.

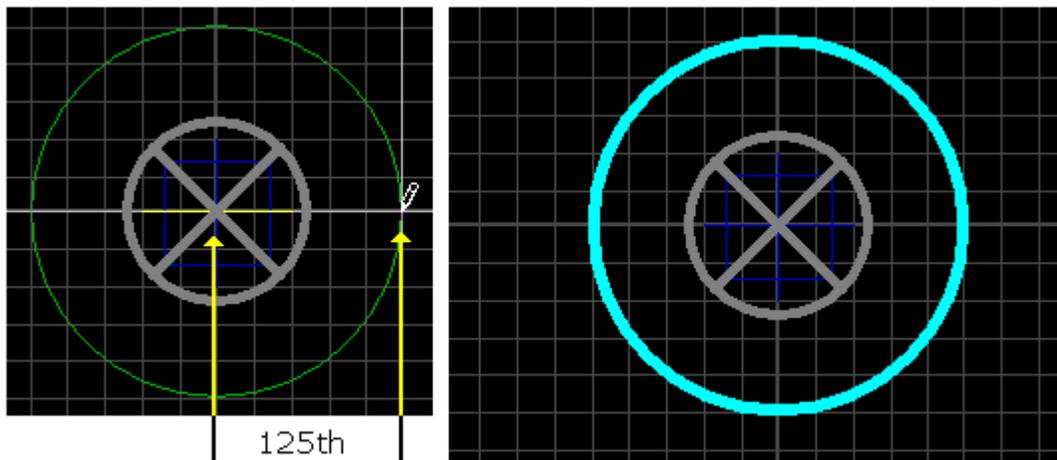
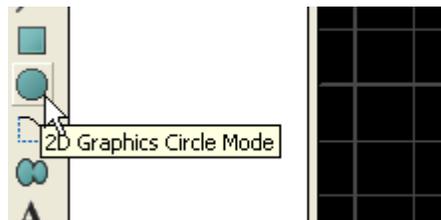


- 4) Desenhar a área que delimita o diâmetro da cabeça do parafuso, sendo normalmente muito utilizado o diâmetro de 0,25in.

Para isso ajustar o ponto de origem em 0,0 com o cursor no centro do círculo e teclando a letra O.

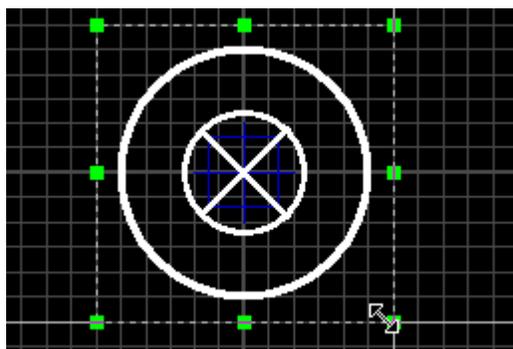


5) Ativar o ícone 2D Graphics Circle Mode. O layer deverá ser TOP SILK.

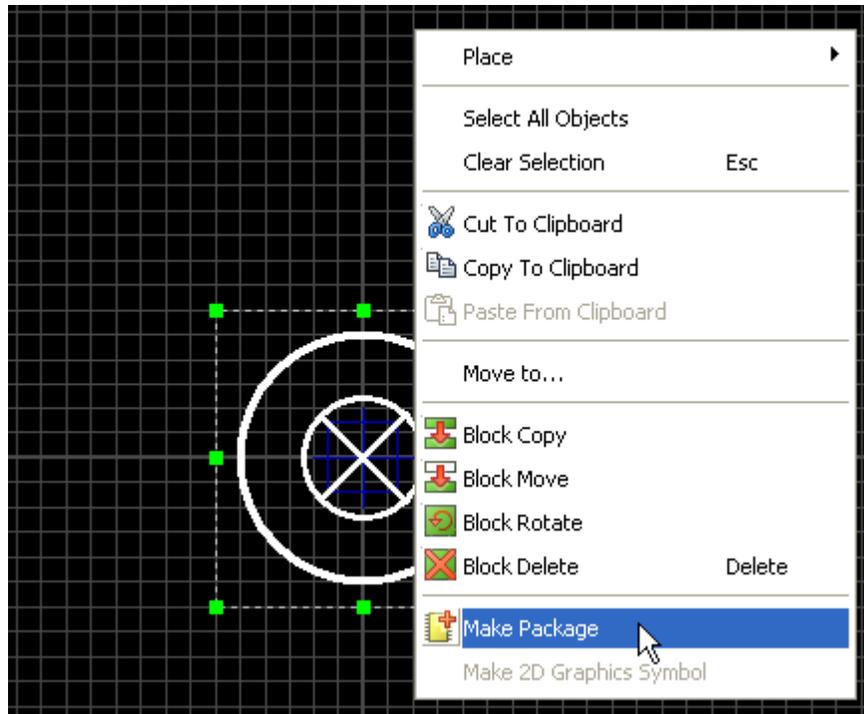


Observe que do centro até a borda do círculo, o raio é de 125th, portanto, o diâmetro será de 250th ou 0,25in.

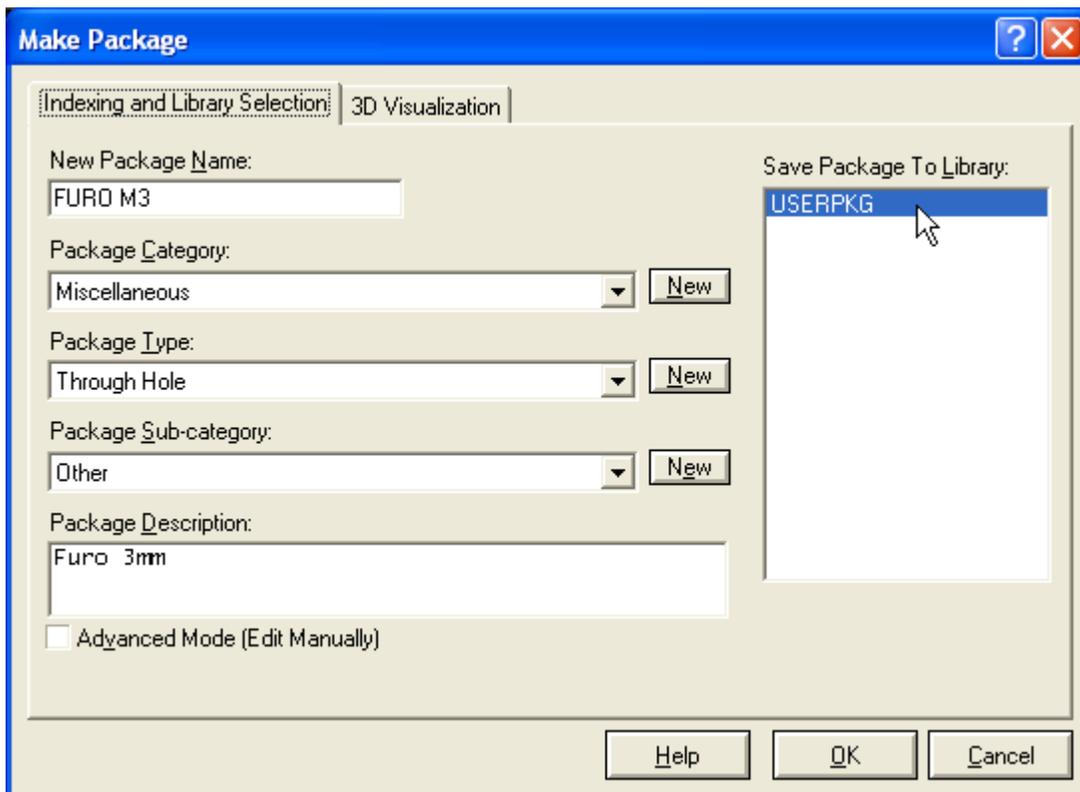
6) Selecionar o componente e clicar com o botão direito do mouse.



7) Selecionar a opção Make Package.



8) Preencher a janela de diálogo conforme sugerido na figura a seguir.



Observe que o novo *package* será salvo na biblioteca USERPKG (default do programa), a menos que seja criada outra biblioteca.

É possível ainda visualizar o novo *package* em 3D, clicando na aba 3D Visualization. O modo de visualização está configurado em Spin, ou seja, o componente aparece se movendo em círculos.

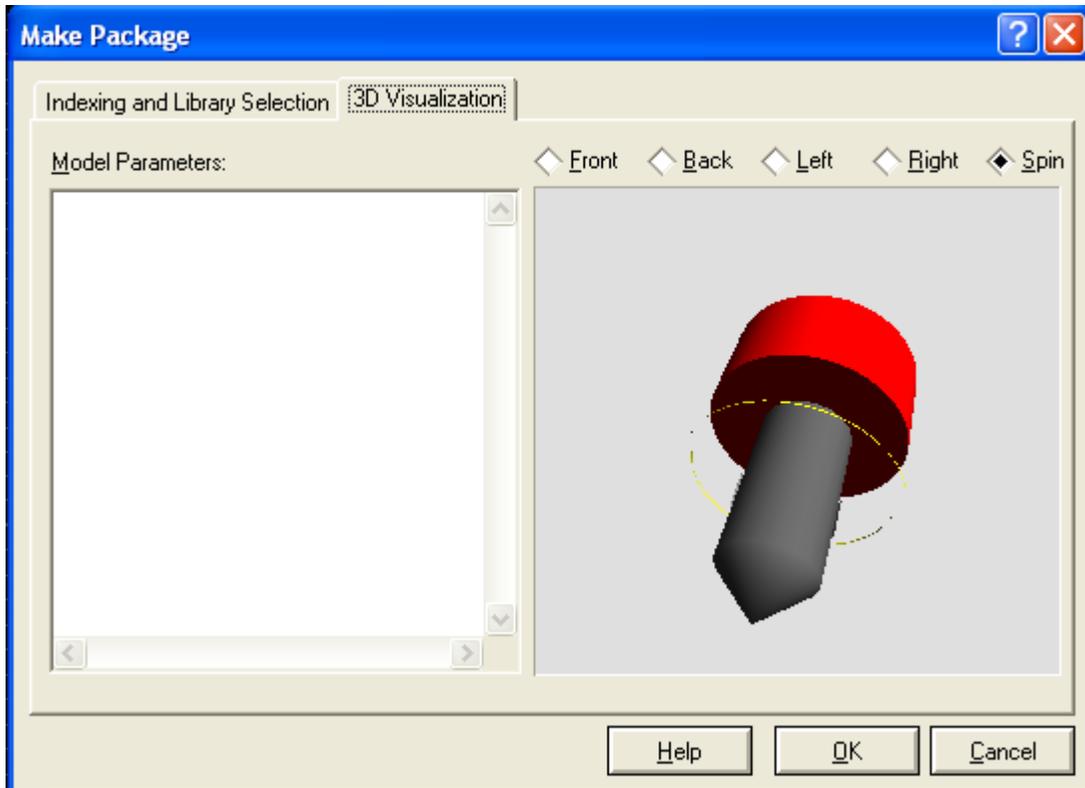
Outras opções de visualização podem ser escolhidas:

Front

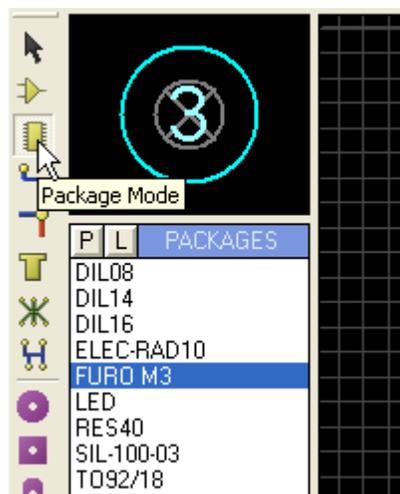
Back

Left

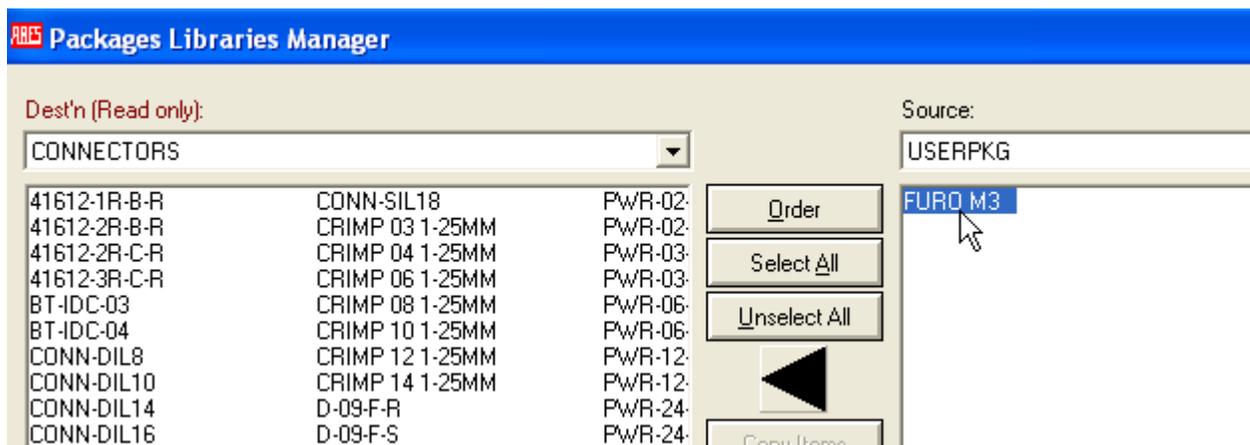
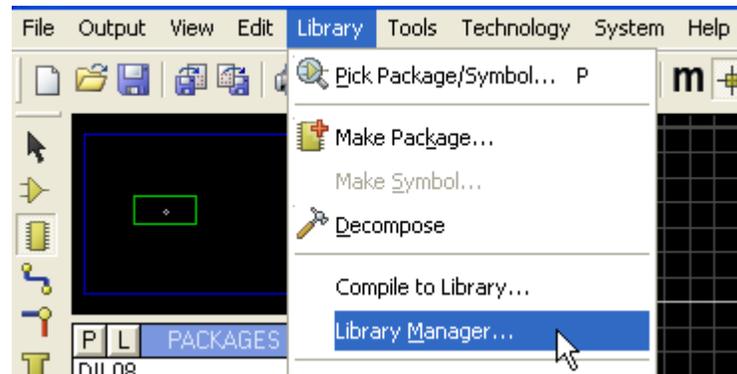
Right



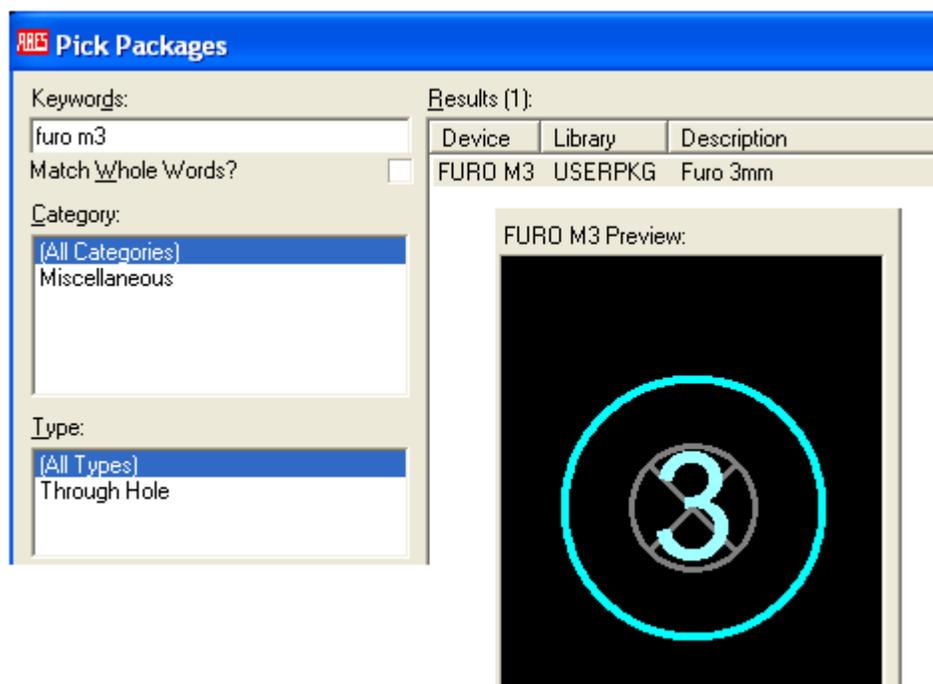
Ao clicar em OK esse novo *package* será incluído e visualizado em Mode Package.



Clicando em Library e Library Manager..., é possível ver o *package* incluído em USERPKG.

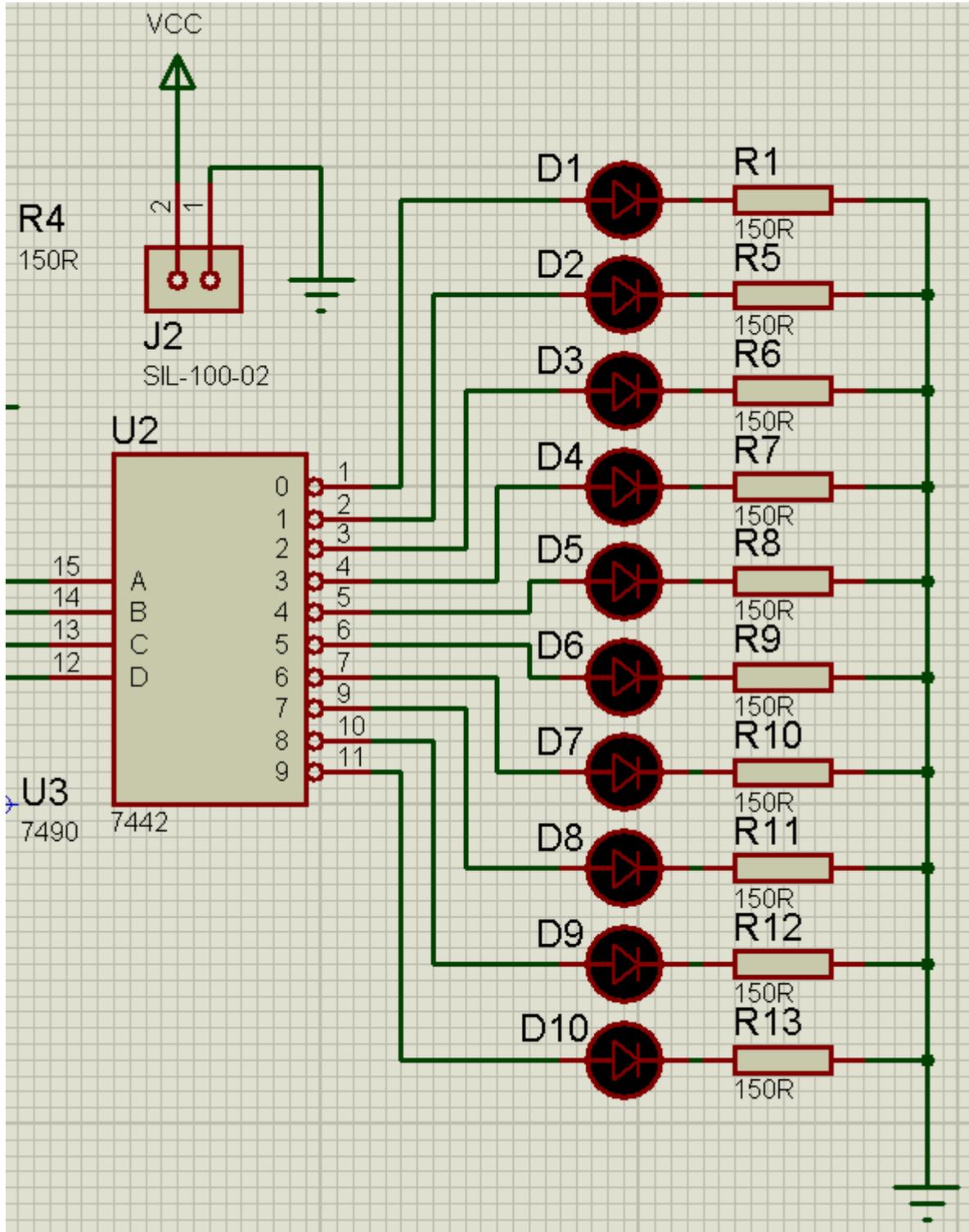


Em Pick Packages é possível localizar também o *package*, que poderá ser usado em outros projetos. Observe as características do mesmo e a visualização do mesmo.



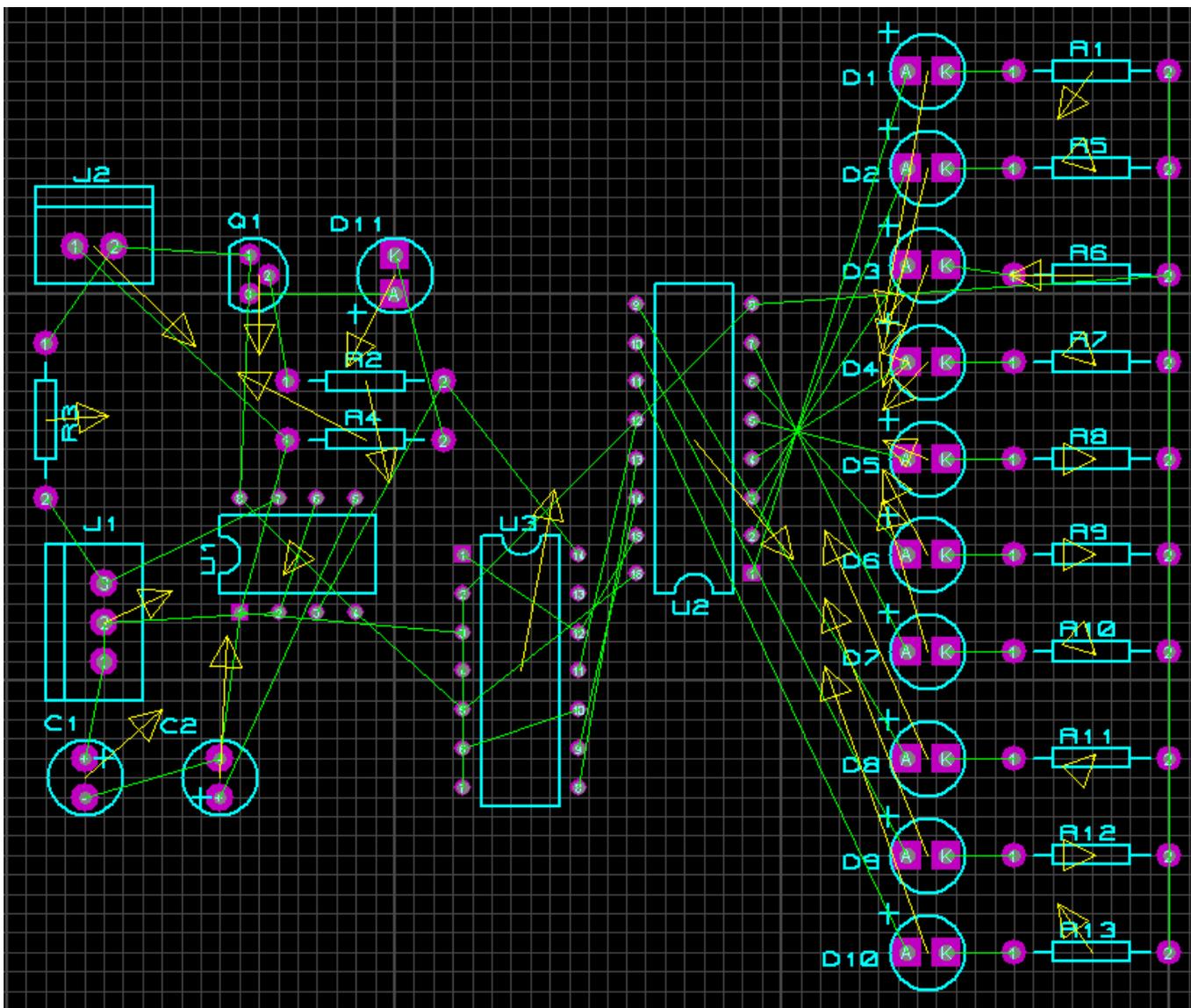
Daremos então continuidade ao projeto, inserindo os PCB Packages na área de trabalho. A figura a seguir mostra os detalhes da saída do sequenciador com a identificação dos leds e respectivos resistores. Isto facilitará o posicionamento dos componentes na área de trabalho, com a sua sequência correta.

Observe que foi acrescentado o conector J2 para a alimentação do circuito.



Normalmente quando a Netlist é exportada para o Proteus ARES é solicitado que o projeto seja salvo no Proteus ISIS. Vamos salvar como *LO_seq_10leds*.

A figura a seguir mostra os *packages* na área de trabalho, interligados pelos ratsnest. É bom lembrar que os *packages* devem ser inseridos com o layer TOP SILK.



Vamos agora definir o contorno da placa e inserir os 4 PADS para furação, usando o *package* criado para tal.

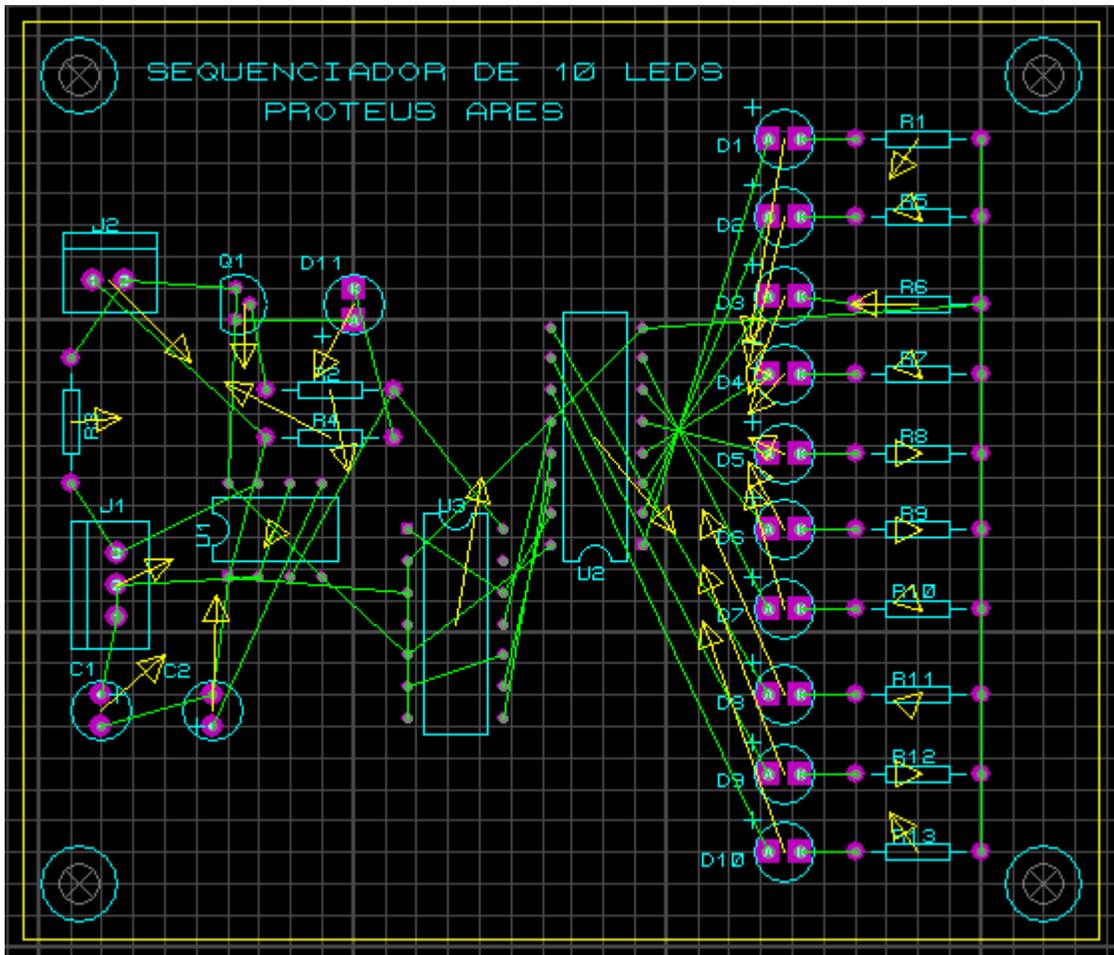
Borda ou contorno da placa – layer BOARD EDGE

Furos M3 – layer TOP SILK

Dimensões da placa:

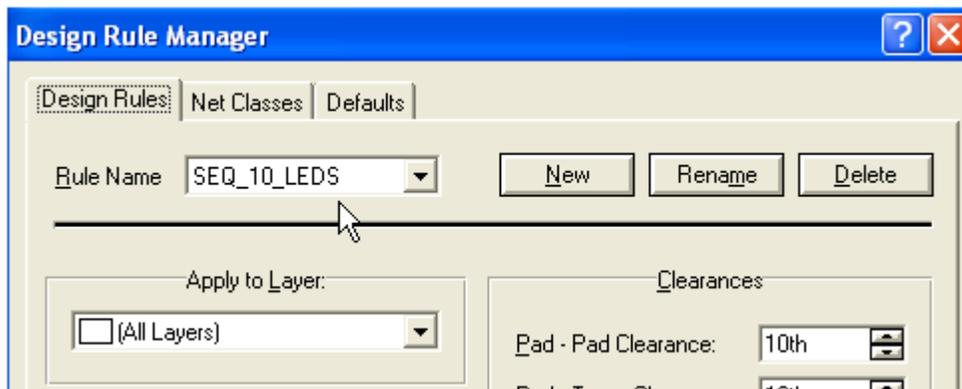
3425th (87mm) x 2925th (74mm)

8,7 x 7,4cm

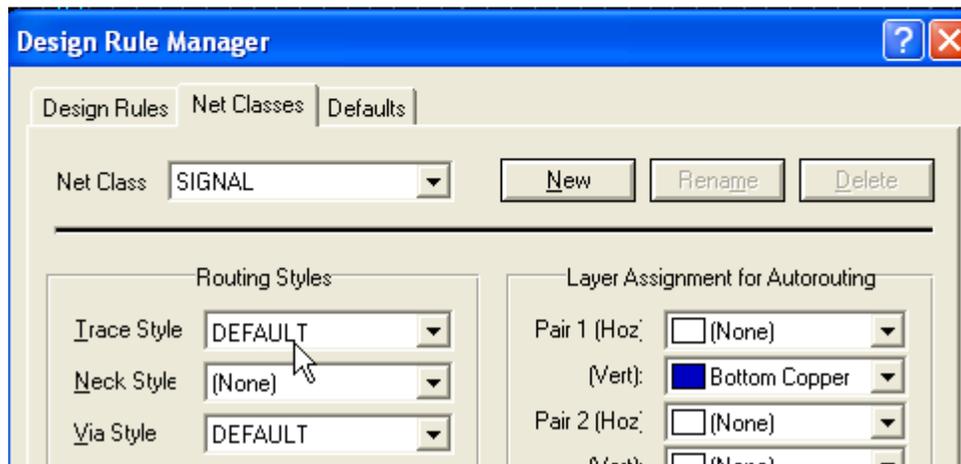
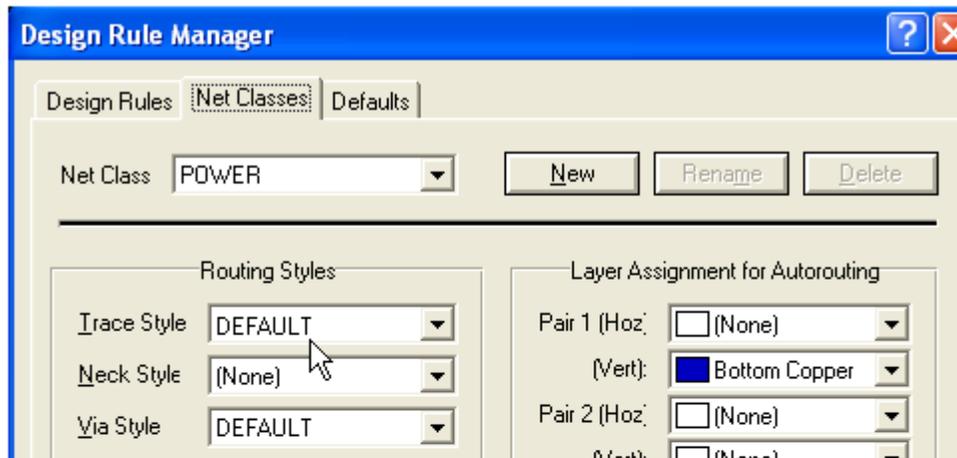


Vamos agora fazer o roteamento automático em face simples e para isso vamos usar o layer BOTTOM COPPER.

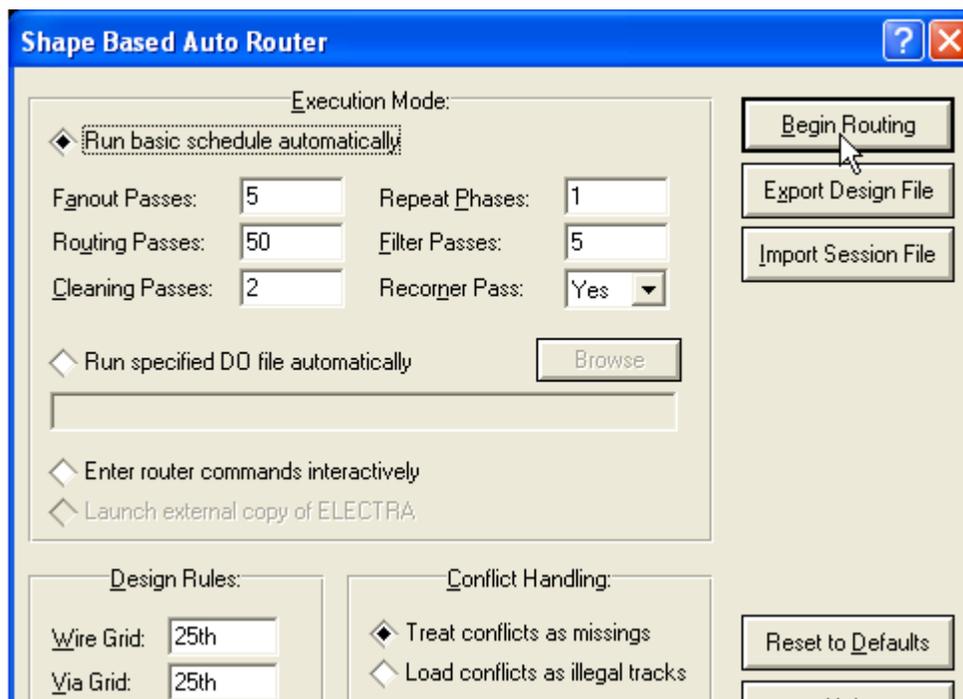
Configurando Design Ruler Manager:

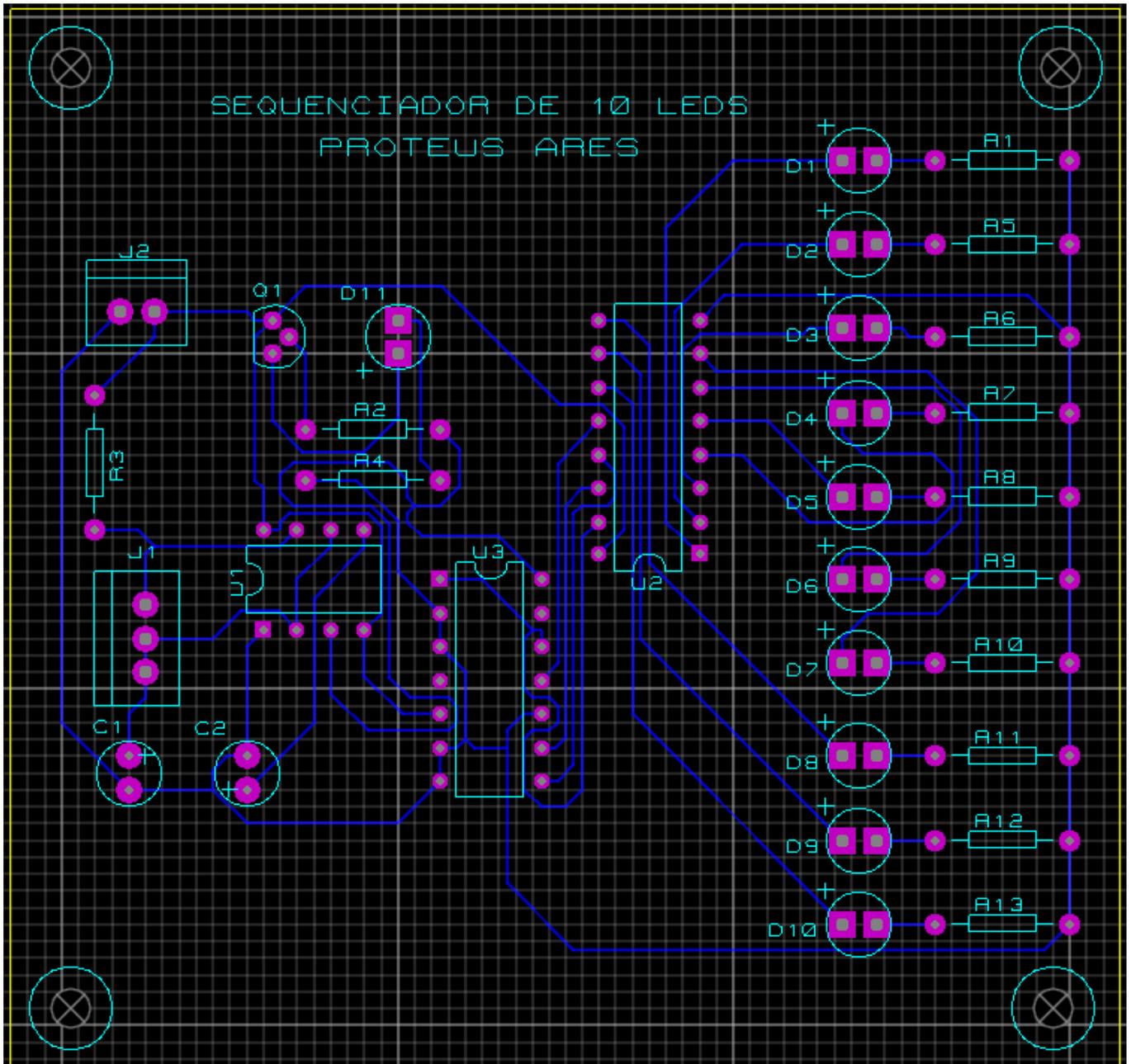


Para "Net Classes" vamos configurar POWER= DEFAULT e SIGNAL = DEFAULT, conforme as figuras a seguir.



Podemos então iniciar o roteamento automático.





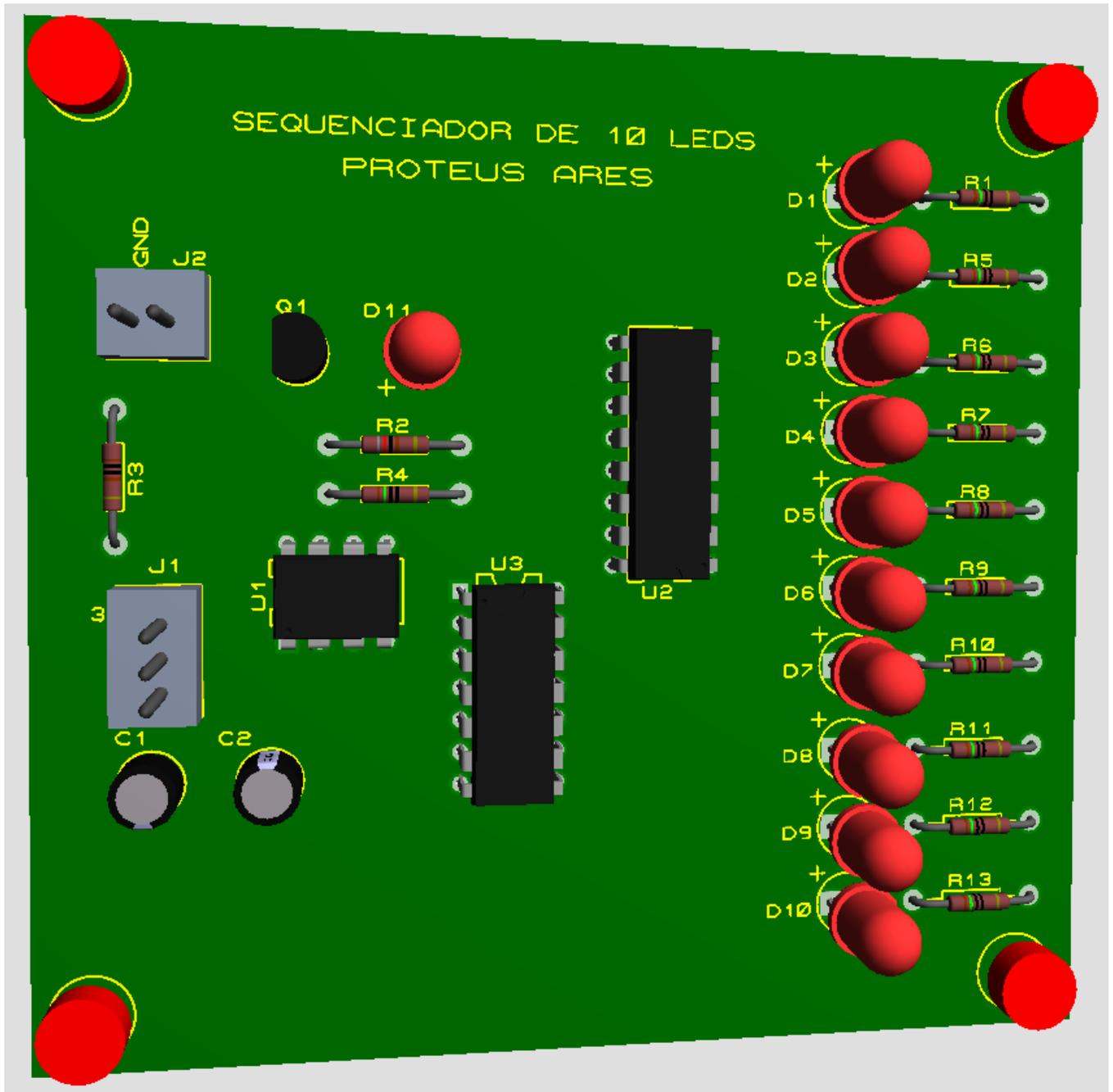
O padrão ou DEFAULT de roteamento estabelecido pelo Proteus ARES é de 12th, ou seja, aproximadamente 0,3mm.

Observa-se na figura acima que todos os pontos foram roteados.

A escolha da largura do traçado ou trilhas depende muito do tipo do projeto, no que diz respeito as correntes e tensões que são desenvolvidas ou requeridas pelo circuito.

Assim, dependendo da corrente uma trilha de 12th pode ser inadequada, embora seja perfeitamente adequada para sinais.

As figuras a seguir mostram a visualização 3D do projeto.

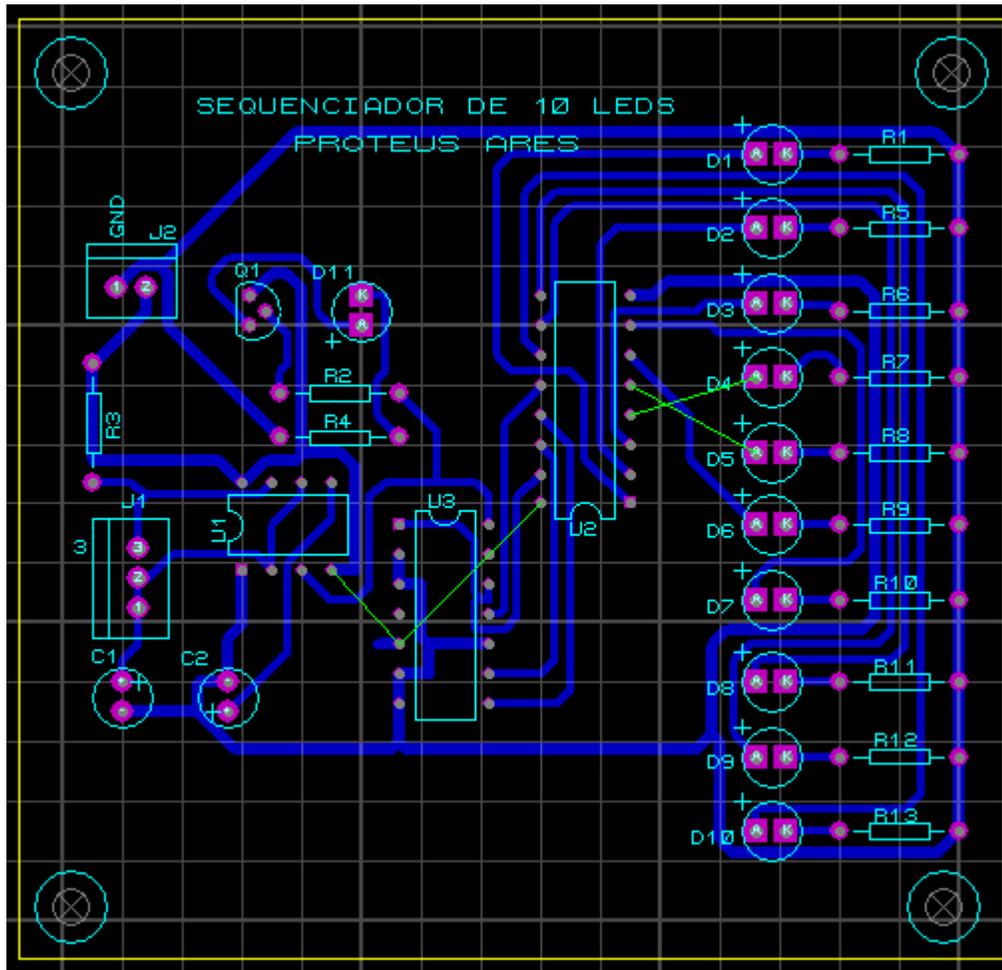


Observe que os conectores J1 e J2 foram identificados com relação a polaridade da tensão de alimentação e um dos pontos de ligação do potenciômetro.

Essas informações adicionais podem ser feitas a qualquer momento, no layer TOP SILK.

Vamos utilizar o mesmo projeto e rotear automaticamente com trilhas de POWER = T40 e trilhas de SIGNAL = T30.

Observa-se na figura a seguir que alguns pontos não foram roteados, portanto, não estão conectados eletricamente.



Clicando no ícone Connectivity Rules Checker podemos observar que faltam 4 ligações e suas respectivas identificações.



Connectivity Errors		
Error Type	1st Pin	2nd Pin
Missing	U2:4	D4:A
Missing	U2:5	D5:A
Missing	U1:4	U3:5
Missing	U3:5	U2:16

Como resolver o problema?

Vejamos algumas sugestões:

1) Deixar como está e interligar os pontos através de fios (jumpers) no lado cobreado (BOTTOM COPPER).

Como são apenas 4 ligações é uma solução aceitável, para manter a largura das trilhas inalteradas.

2) Diminuir a largura das trilhas, no entanto, como dito anteriormente vai depender das tensões e correntes envolvidas no projeto.

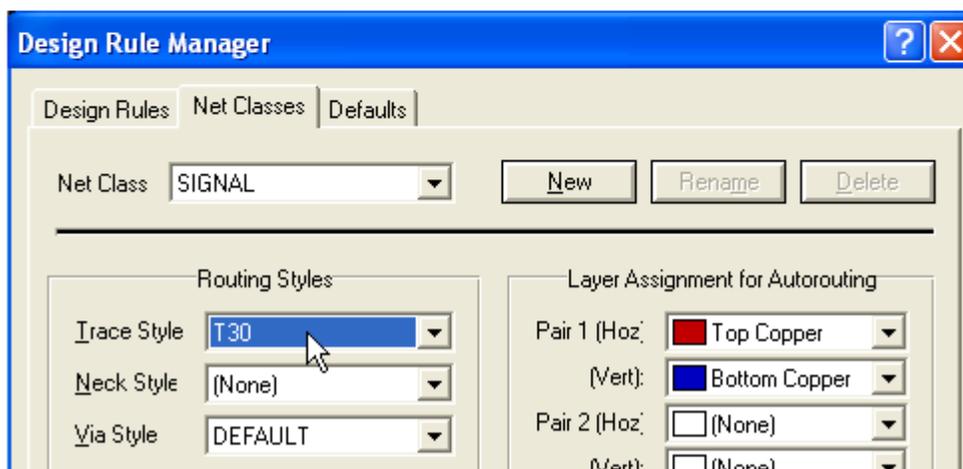
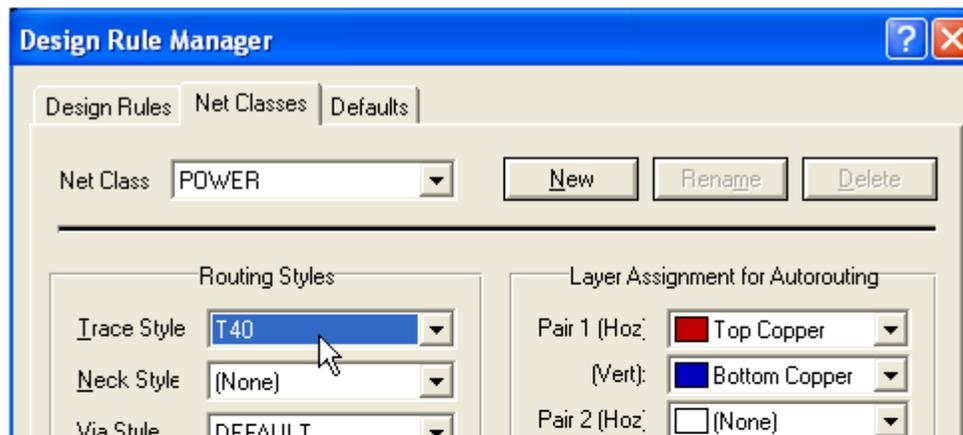
3) Reposicionamento dos componentes. Um reposicionamento dos componentes pode ajudar principalmente onde existem “gaps” (espaços) que são disputados pelas trilhas.

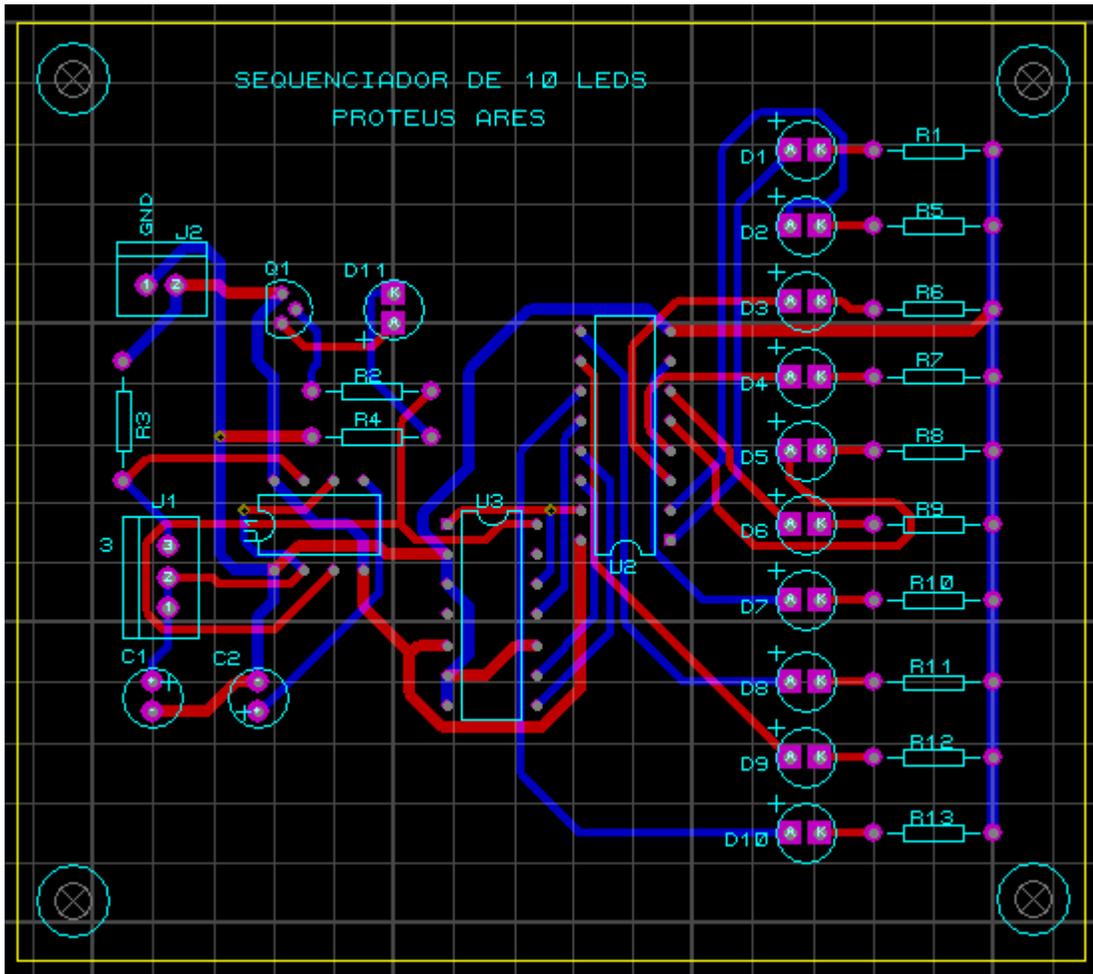
Por exemplo, no meio de um CI a quantidade de trilhas que pode circular depende diretamente da largura das mesmas.

4) Há a possibilidade de se fazer um roteamento manual, configurando a largura das trilhas à medida que o mesmo é executado. Pode funcionar, mas é extremamente trabalhoso.

5) Finalmente, a solução mais profissional que é o roteamento em dupla face.

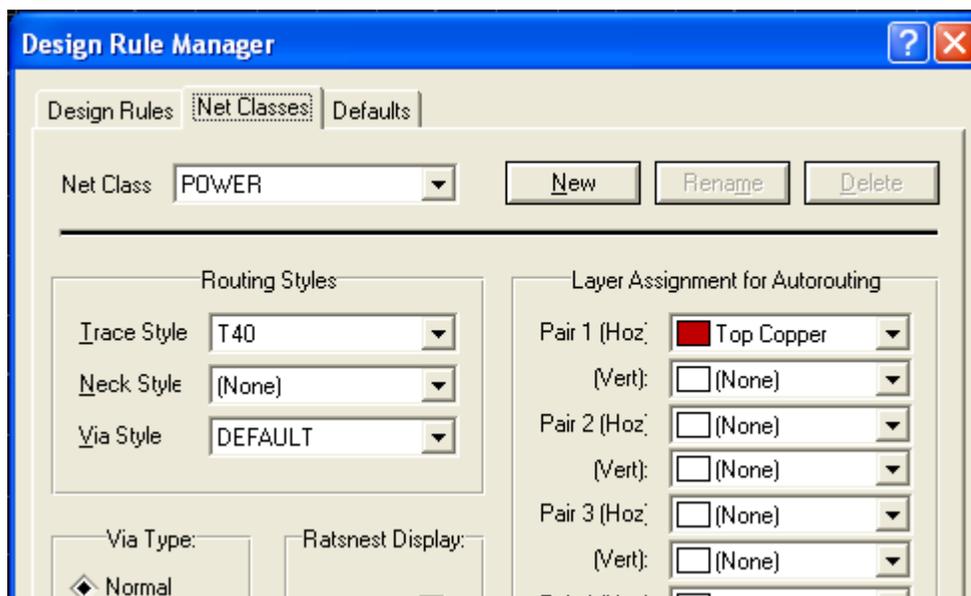
As figuras a seguir mostram o roteamento em dupla face (TOP COPPER e BOTTOM COPPER).

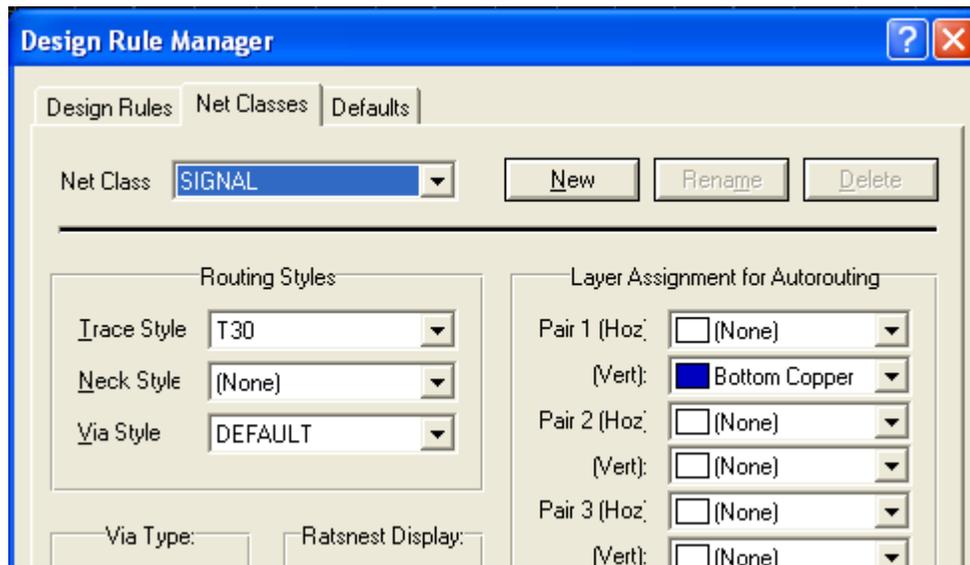




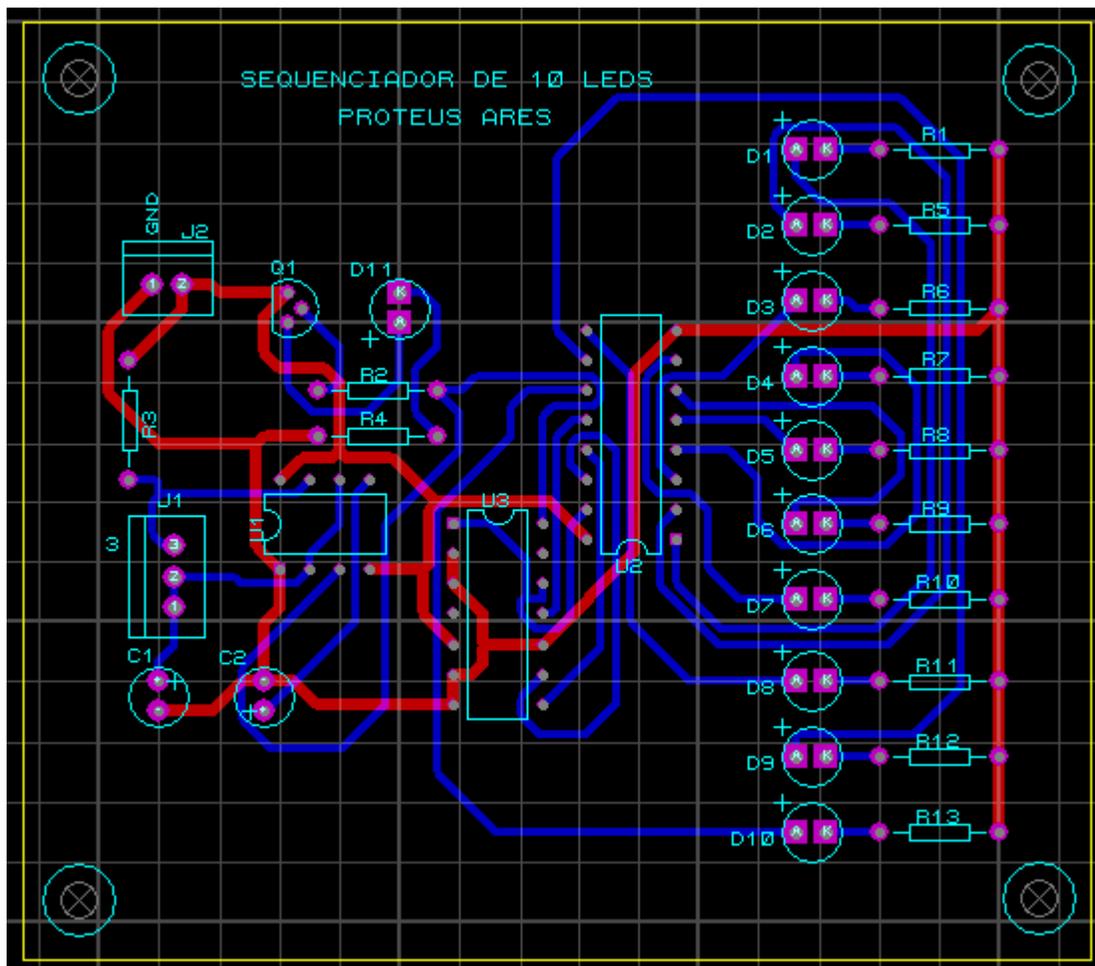
Outra opção para o roteamento em dupla face é usar o layer TOP COPPER somente para POWER e o layer BOTTOM COPPER somente para SIGNAL.

Veja como fica a configuração para NET CLASS:





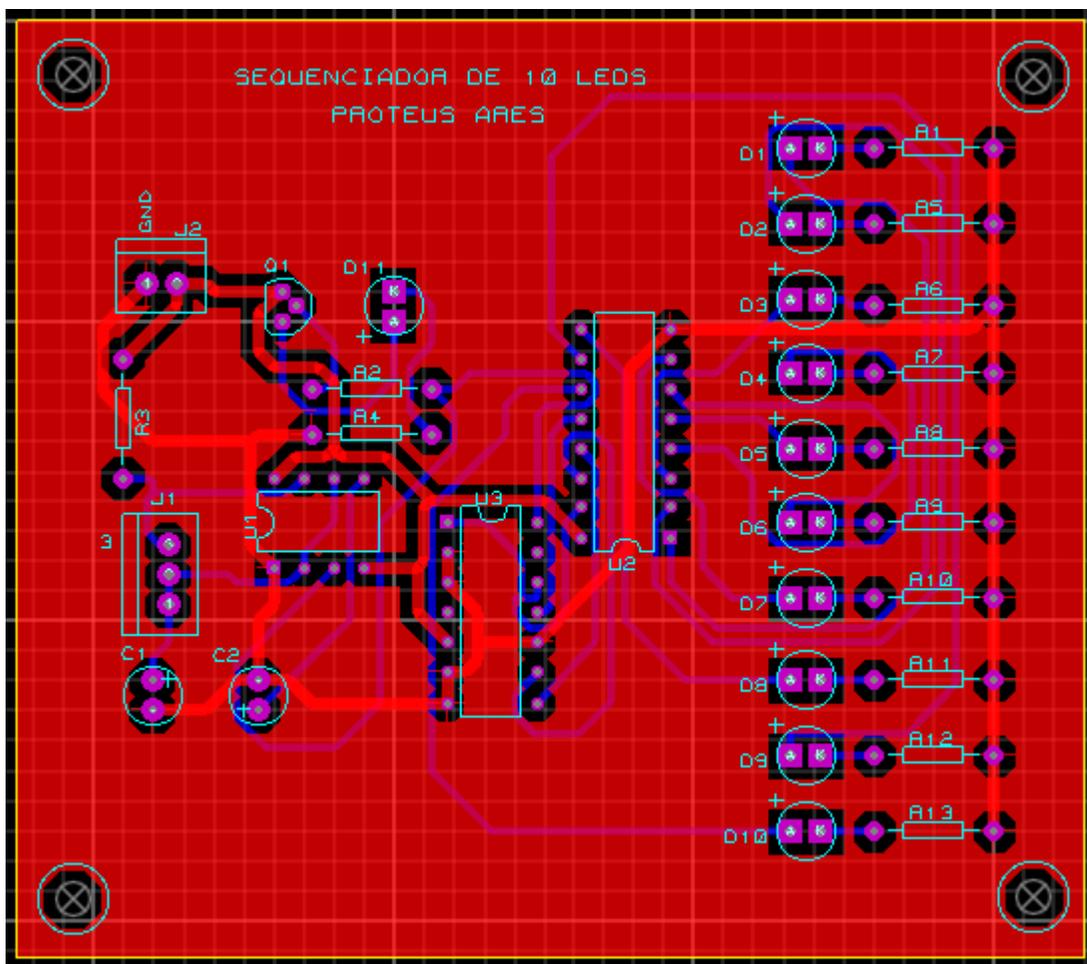
A figura a seguir mostra o resultado.



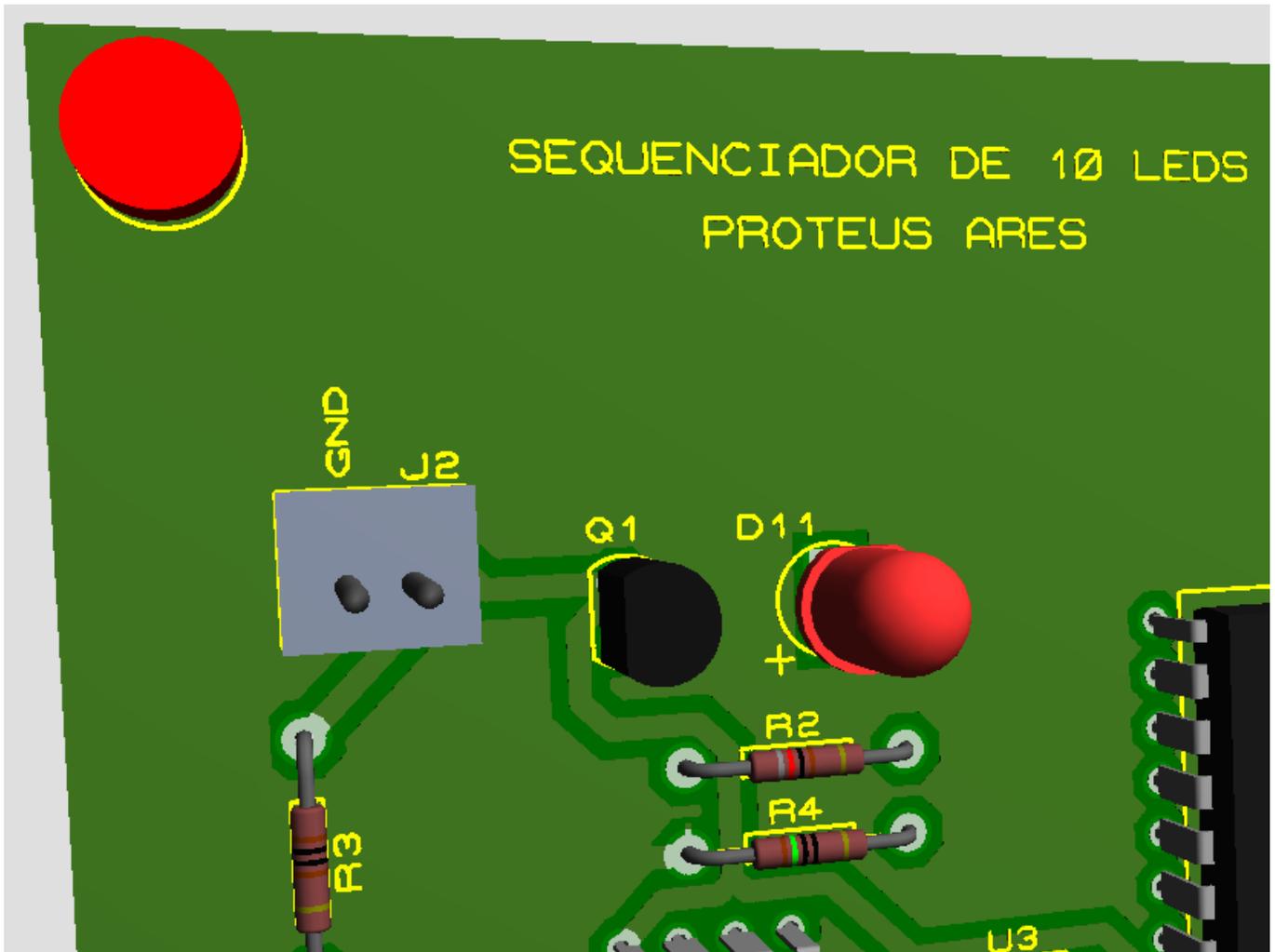
Podemos ainda criar uma área de chapado para o layer TOP COPPER configurando Net para POWER=GND. Vamos configurar o Clearance para 30th.

Lembrando que, para criar a área de chapado deverá ser acionado o ícone Zone Mode.

A área de chapado pode ser criada mesmo depois de ocorrido o roteamento. Basta seguir as orientações dadas aos projetos anteriores.



A figura a seguir mostra um detalhe ampliado de uma parte da placa em visualização 3D do layer TOP COPPER.



Para concluir o projeto, basta gerar os arquivos GERBER e imprimir, caso necessário.

Para gerar os arquivos GERBER e imprimir basta seguir os passos já vistos nos projetos anteriores.

Salvar o projeto. Sugestão: *LO_seq_10leds*, lembrando que as extensões são automaticamente colocadas pelo programa.

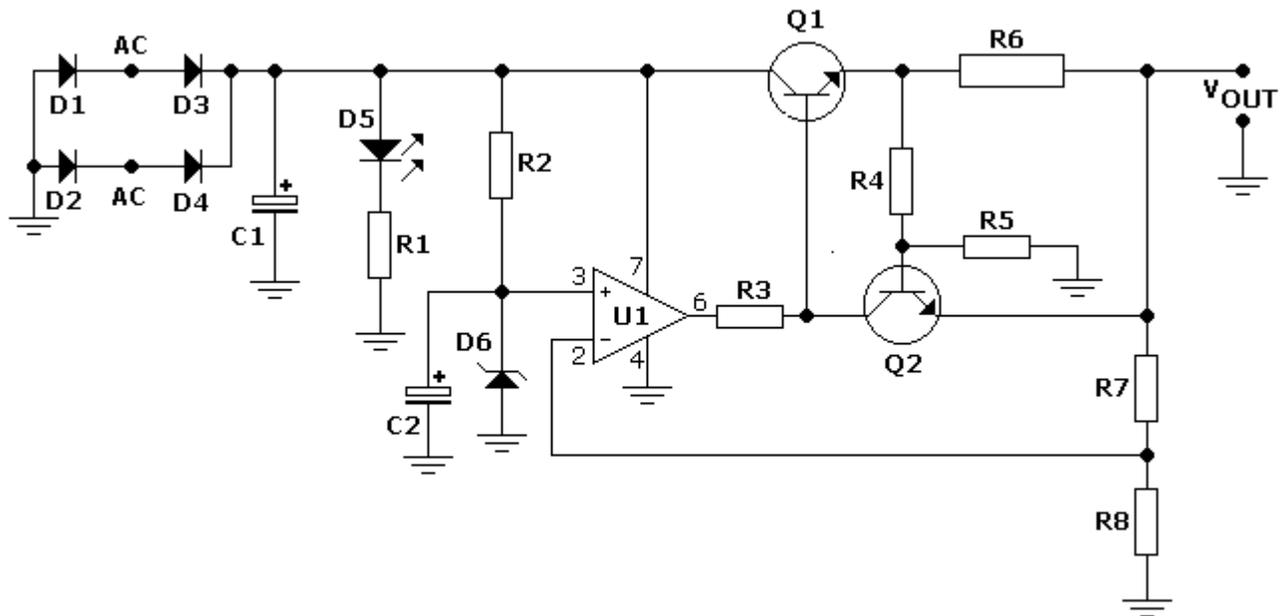
Para o Proteus ISIS = .DSN

Para o Proteus ARES = .LYT

CONSTRUÇÃO DE UMA PLACA DE CI A PARTIR DO PROTEUS ARES – FONTE DE ALIMENTAÇÃO REGULADA

É possível construir uma placa de CI (layout) a partir do Proteus ARES, sem a necessidade de executar o diagrama esquemático no Proteus ISIS.

Vamos construir o layout da placa de CI da fonte mostrada na figura abaixo, onde estaremos explorando novos recursos disponíveis no Proteus ARES.



Segue a lista de materiais. Os valores dos componentes foram calculados para uma saída regulada de aproximadamente 2,4V (corrente contínua) com uma tensão AC de entrada de 6V, para uma corrente de aproximadamente 0 a 120mA.

LISTA DE MATERIAIS

R1 = 150 Ω 1/4W

R2 = 1k8 1/4W

R3 = 2k2 1/4W

R4 = 1k5 1/4W

R5 = 4k7 1/4W

R6 = 39R 1W

R7 = 910 Ω 1/4W

R8 = 2k2 1/4W

C1 = 1.000uF / 16V

C2 = 10uF / 16V

Q1 = Transistor 2N3055

Q2 = Transistor BC547B

U1 = Amplificador Operacional 741

D1=D2=D3=D4 = Diodo retificador 1N4001

D5 = Diodo led 5mm

D6 = Diodo Zener 2V4 / 500mW

2 conectores de 2 pinos, 1 para entrada AC outro para saída DC (Vout)

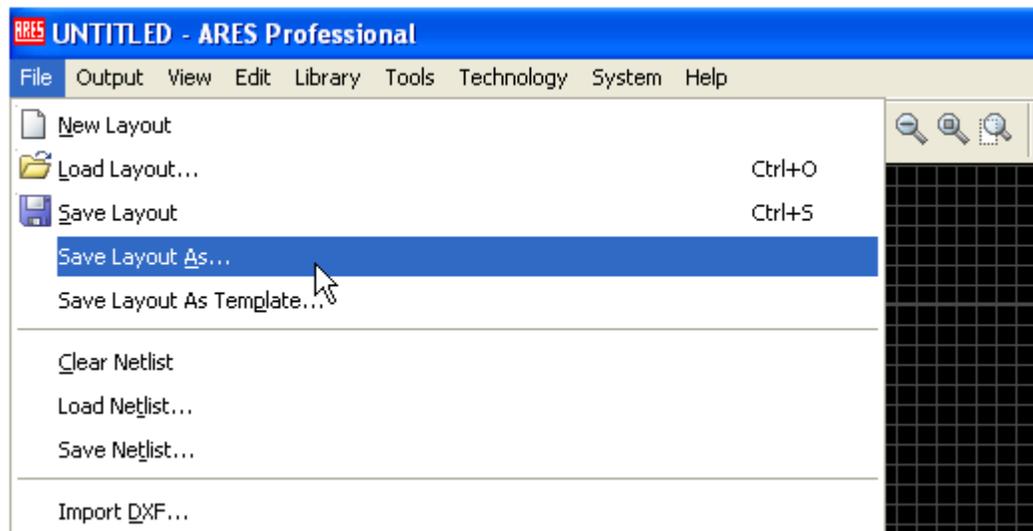
Para a lista de materiais apresentada o valor dos componentes na realidade não nos interessa, pois o PCB Package pode ser comum para muitos desses componentes como, por exemplo, diodos retificadores, leds, zener, alguns circuitos integrados, etc.

Para os resistores o PCB Package deve ser escolhido de acordo com a potência de dissipação. Para os capacitores, a escolha do PCB Package vai depender da sua capacitância e tensão de trabalho.

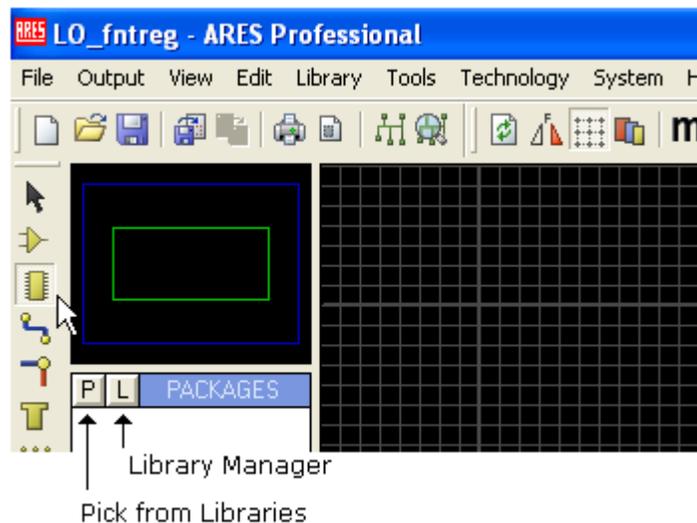
Iniciando a construção do layout:

Abrir o programa Proteus ARES.

Antes de iniciar o projeto vamos salvar o layout como LO_fntreg (sugestão).



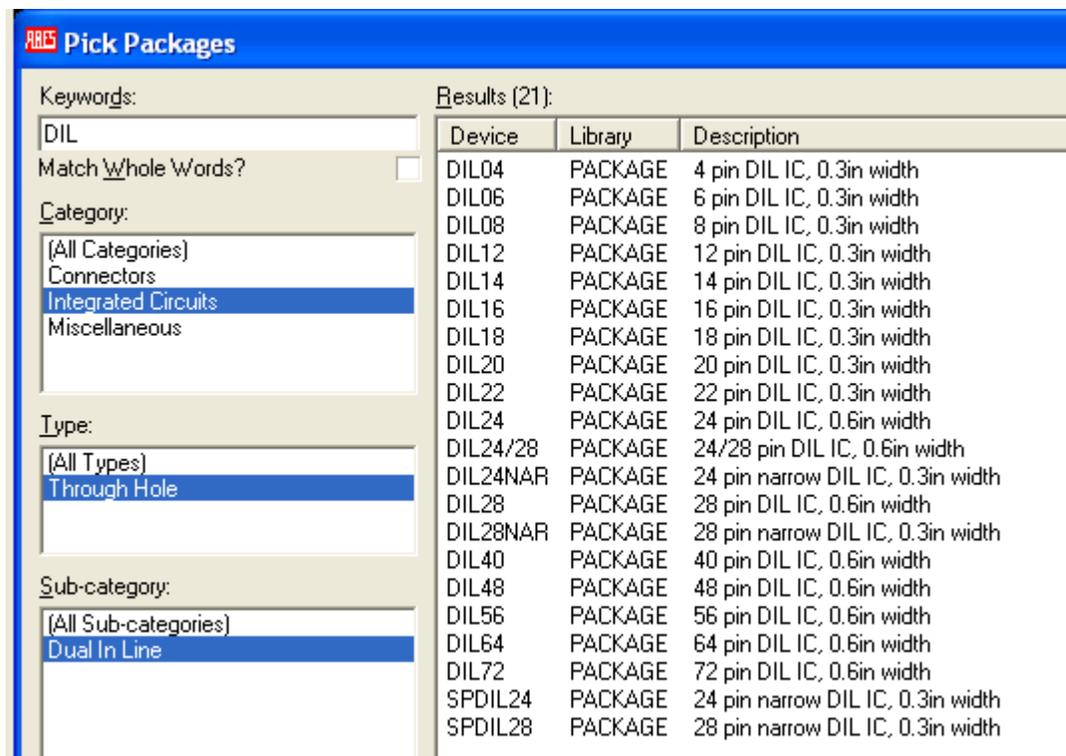
Clicar no ícone Package Mode.



Ao clicar na letra P, estaremos abrindo a biblioteca dos PCB Packages, de forma muito semelhante ao que se executa no Proteus ISIS.

Vamos inserir na área dos *packages* o invólucro para o amplificador operacional 741. O 741 deste projeto é um AO de uso geral Dual-in-line com 8 pinos. No Proteus ARES é tratado como DIL, (abreviação de Dual In Line).

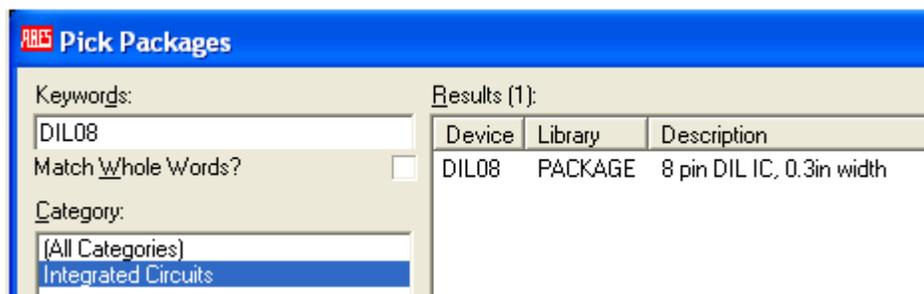
Digitando em *Keywords* – DIL, observa-se que os *packages dual in line* disponíveis aparecem listados.



Atente para os detalhes de Category (Integrated Circuits) e Sub-category (Dual In Line). Quanto ao Type a opção é *Through Hole*, isto é, trata-se de componente convencional (não SMD).

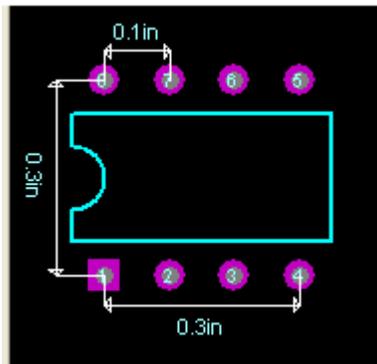
Os *data-sheets* dos fabricantes trazem obrigatoriamente a informação para identificação dos invólucros ou *packages*.

A figura a seguir ilustra a digitação do código DIL08, extraído do *data-sheet*.



De posse das informações sobre os códigos usados para os *packages*, a tarefa de inseri-los na área de seleção de objetos se torna muito mais fácil.

A figura a seguir ilustra o DIL08, onde se observa que as distâncias entre os pinos, comprimento do componente, etc. é especificada em polegadas.



Lembrar que 0.1in equivale a 1/10 de polegada.

Depois de selecionado o *package* desejado, clicar em OK e o mesmo estará disponível na área de seleção de objetos.

Eis mais um exemplo. Vamos selecionar mais um *package*, que se destina ao transistor 2N3055 (Q1 do projeto). Pelas informações do fabricante o invólucro do mesmo é o TO3, pois desejamos utilizar a versão metálica.

The screenshot shows the 'Pick Packages' dialog box in Proteus ARES Professional. The 'Keywords' field contains 'TO3'. The 'Match Whole Words?' checkbox is unchecked. The 'Category' is set to 'Discrete Components'. The 'Type' is set to 'Through Hole'. The 'Sub-category' is set to 'Transistors'. The 'Results (5)' table lists the following packages:

Device	Library	Description
SOT3	PACKAGE	SOT3 power transistor package (same as TO3)
SOT93	PACKAGE	SOT93 power transistor package (same as TO3-P)
TO3	PACKAGE	TO3 power transistor package
TO39	PACKAGE	TO39 transistor package
TO3P	PACKAGE	TO3P plastic power transistor package

The 'TO3 Preview' window shows a top-down view of the TO3 package. The package is a large, diamond-shaped metal can. The width is 0.428 inches and the height is 1.18 inches. The package has three pins, numbered 1, 2, and 3.

Seguindo essas orientações podemos definir os PCB Packages para toda a lista de materiais do projeto.

Veja a seguir os PCB Packages definidos:

Resistores de 1/4W = RES40

Resistor de 1W = RES50

Capacitor C1 = ELEC-RAD25

Capacitor C2 = ELEC-RAD10

Diodos = DO41

Led = LED

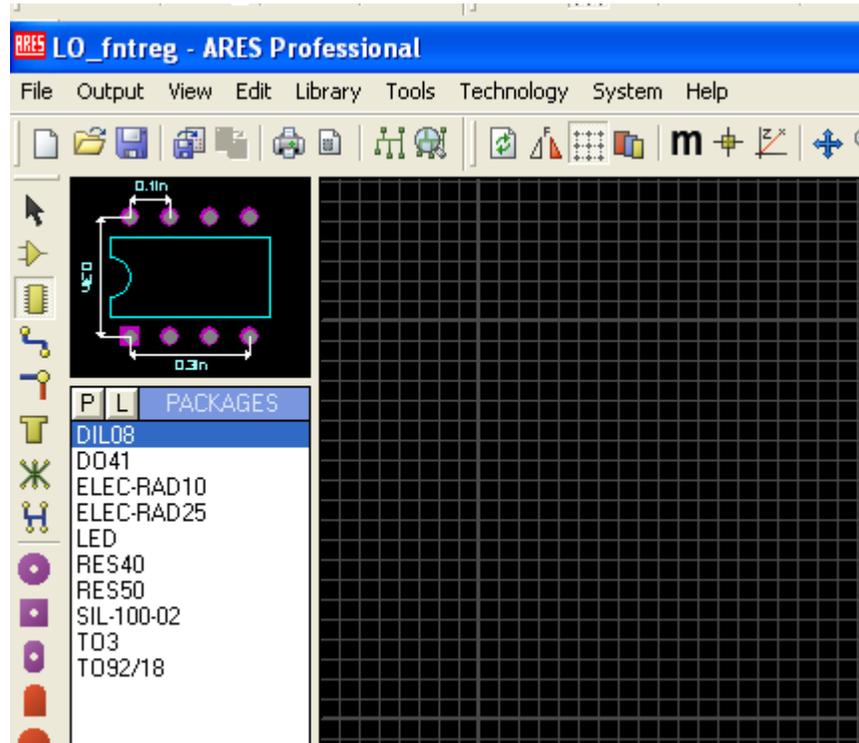
Transistor Q1 = TO92/18

Transistor Q2 = TO3

Circuito integrado U1 = DIL08

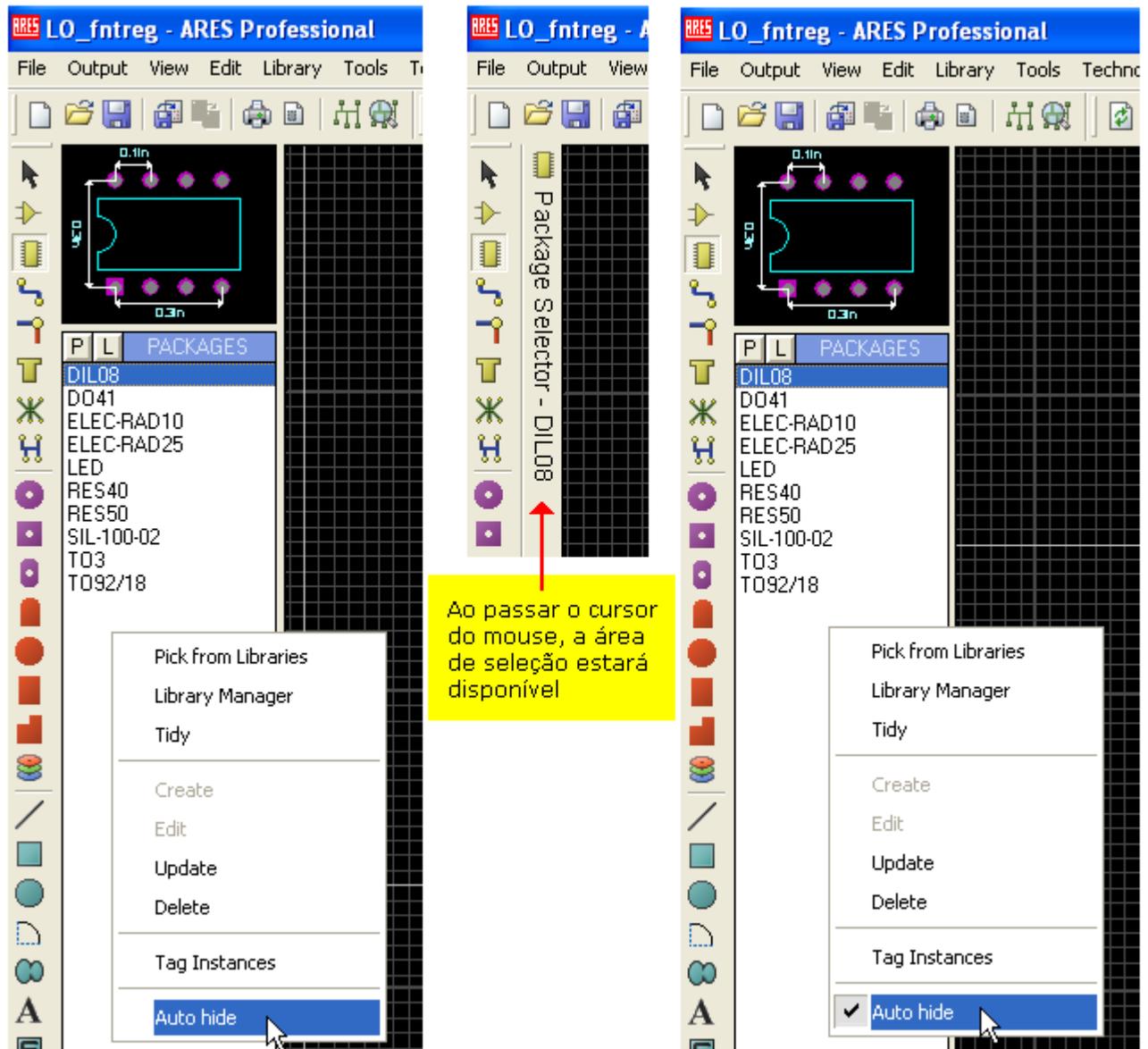
Conectores = SIL-100-02

A partir dos PCB Packages definidos, podemos dar início à construção do layout.



DICA: Para aumentar a área de trabalho a AREA DE SELEÇÃO DE OBJETOS OU COMPONENTES pode ser escondida (Auto hide).

- 1) colocar o cursor do mouse na área de seleção de objetos
- 2) com o botão direito do mouse selecionar (marcar) a opção Auto hide
- 3) a opção poderá ser revertida desmarcando a opção Auto hide



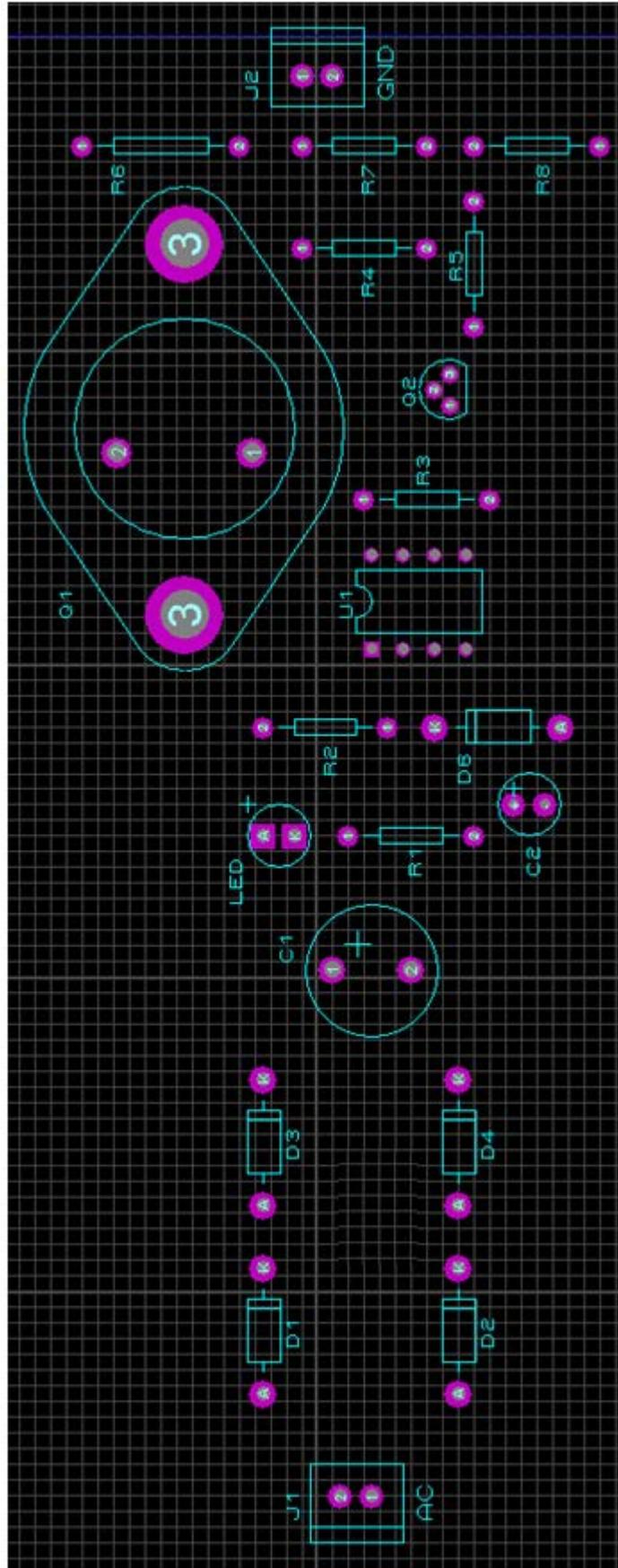
Inserindo os componentes na área de trabalho:

A inserção segue os mesmos procedimentos vistos anteriormente com a diferença de que o Package Mode deve estar ativo.

LAYER = COMPONENT SIDE (lado do componente)

Em *Package Mode* apenas dois layers ficam disponíveis: Component Side (lado do componente) e Solder Side (lado da solda).

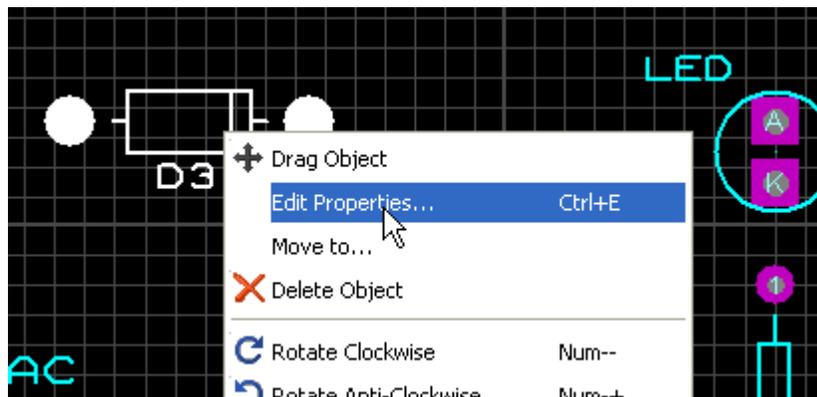
Procurar inserir os objetos na mesma sequência do esquema, pois isto facilitará a criação das "nets". A criação das "nets" e sua identificação são importantes pois com isso, poderemos modificar a posição dos componentes para melhorar a estética ou até mesmo redimensionar a placa de CI. A figura a seguir mostra os PCB Packages inseridos e suas respectivas identificações.



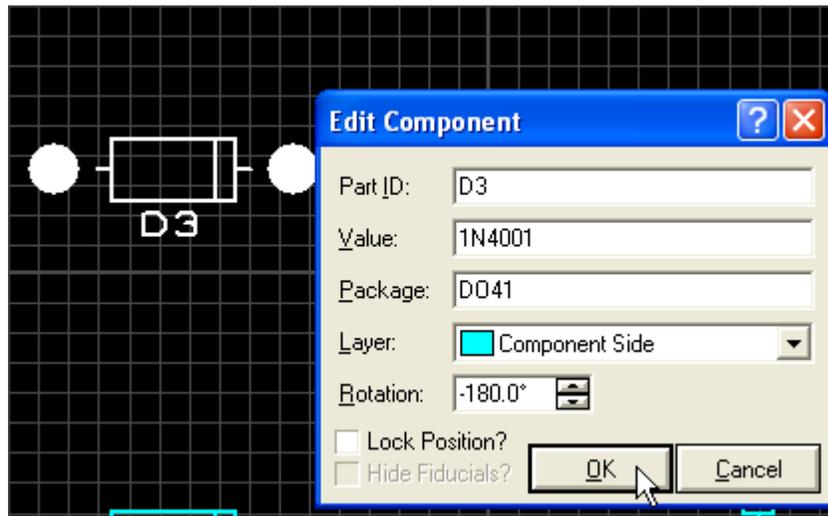
Identificando os PCB Packages:

O PCB Package deve ser identificado de acordo com o diagrama esquemático.

1) Selecionar e editar. A figura a seguir mostra a edição de D3.



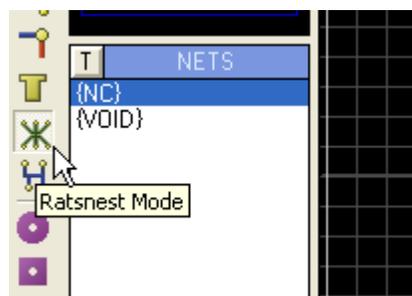
2) Identificar (preencher ID), conforme figura a seguir.



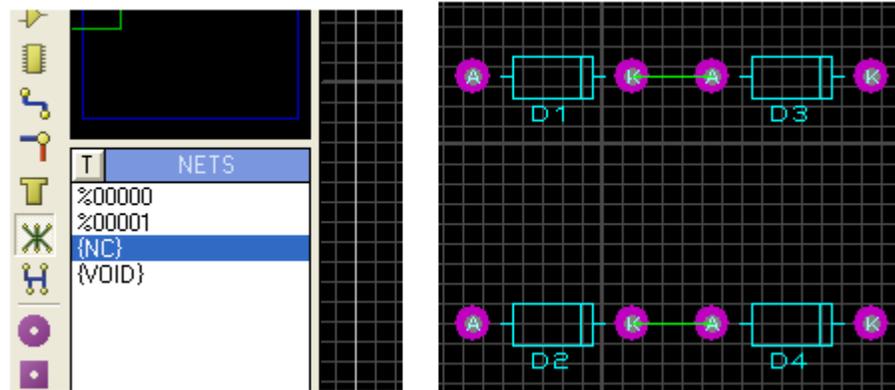
3) Proceder da mesma forma para os demais *packages*.

Interligando os componentes:

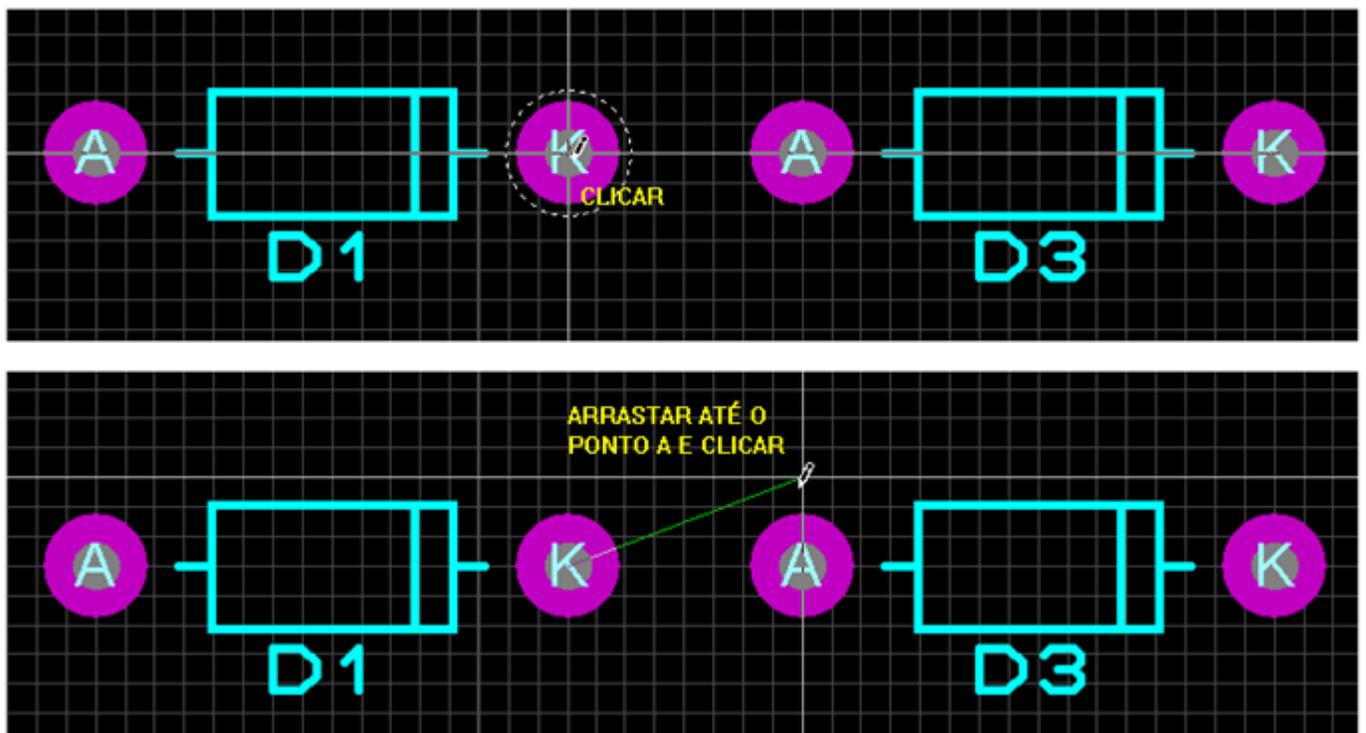
Clicar no ícone Ratsnest Mode. A partir daí será criada uma "net" para cada ligação.



Valor interligar o A (anodo) e K (catodo) dos diodos D1, D2, D3 e D4.



Observe que automaticamente foram inseridas as NETS %00000 e %00001.



Proceder da mesma forma para os demais componentes.

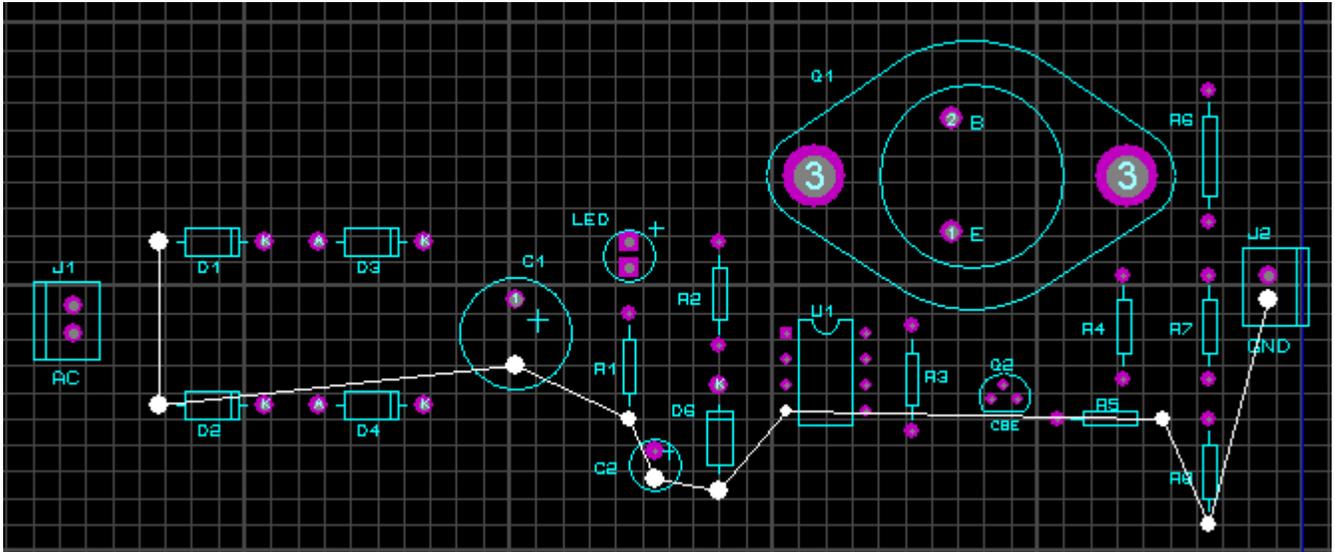
À medida que os pontos são ligados vão se formando as "nets" que são identificadas pelas linhas verdes (ratsnests).

Isto significa que entre esses pontos existe uma conexão elétrica. Se essas linhas se cruzarem não tem nenhum problema, pois as mesmas identificam ligações elétricas entre pontos ou nós (nós).

Uma vez interligados os componentes podem ser reposicionados sem perda da conexão elétrica.

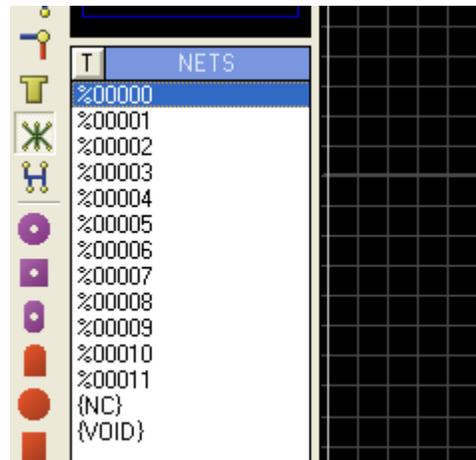
Observe que em Ratsnest Mode somente dois layers ficam disponíveis, o Top Copper e o Bottom Copper (por default: TOP COPPER). Nenhum problema, pois vamos criar apenas as "nets" que podem ser comum aos dois layers.

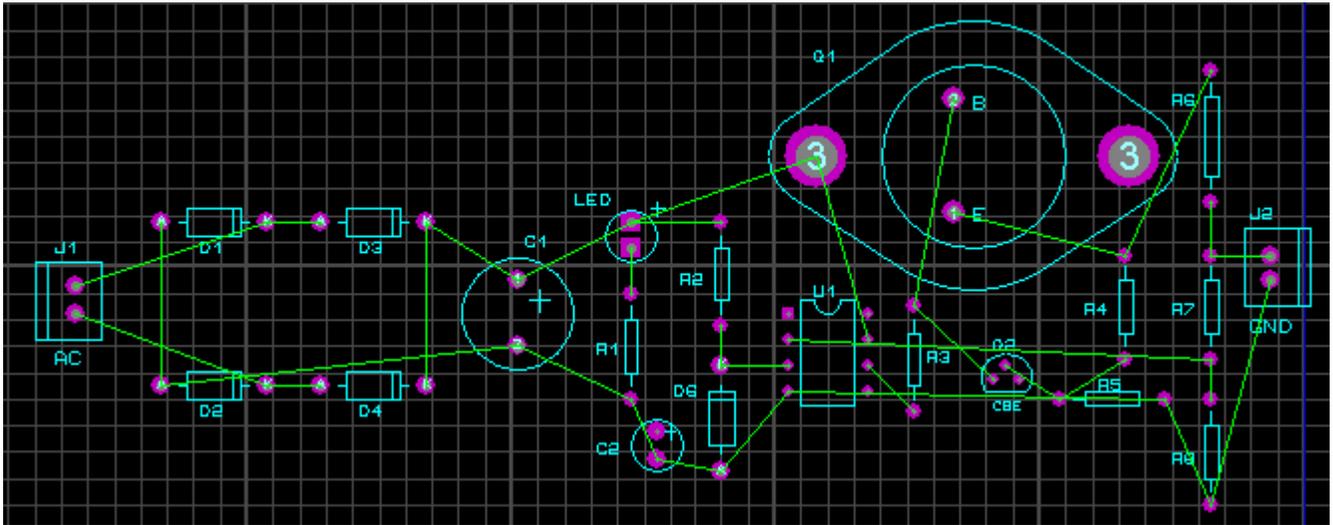
A figura a seguir mostra a "net" referente ao GND, identificada como %00001



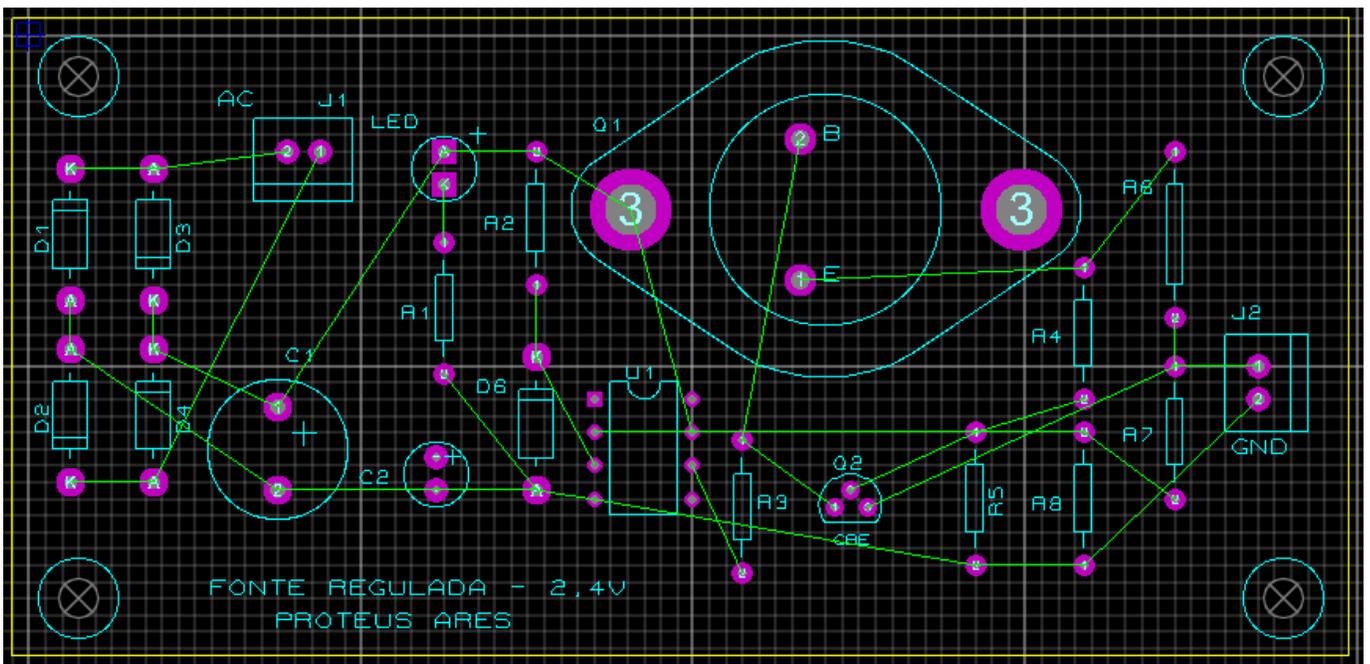
Observe que foram identificados os pads para a inserção dos transistores (CBE – Coletor – Base - Emissor), lembrando que o layer é TOP SILK (vista top view). O pad quadrado do CI U1 indica o pino 1 (vista top view).

Nas figuras a seguir temos as ligações completadas e respectivas "nets".





A figura a seguir mostra os componentes reposicionados, com as respectivas ilhas para furação, contorno e identificação do projeto.



Medidas da placa:

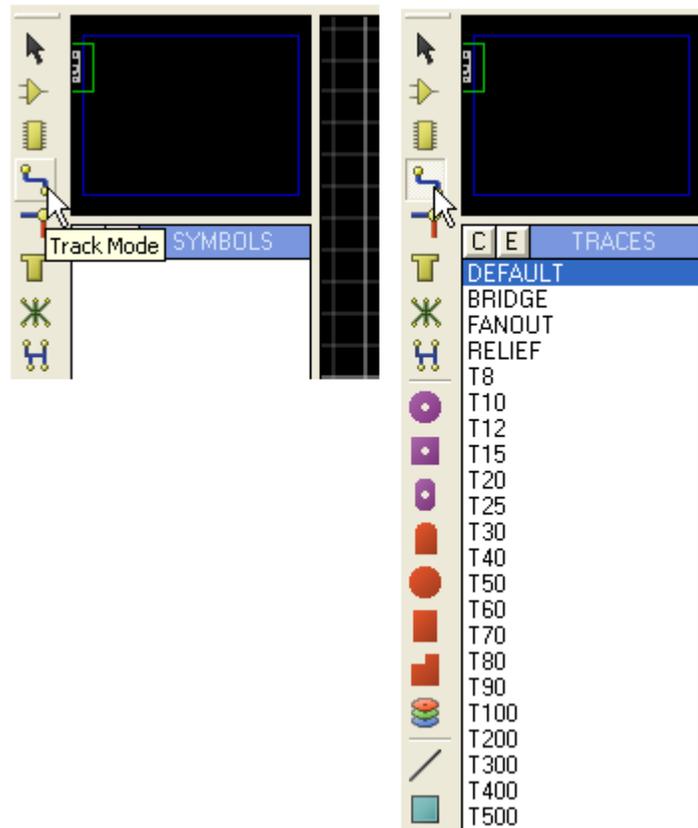
102mm x 49mm (10,2 x 4,9cm) ou

4025th x 1925th

O próximo passo é fazer o roteamento ou melhor dizendo, interligar os componentes através de trilhas. O roteamento poderá ser feito manualmente ou automaticamente.

Vamos dar um exemplo de roteamento manual para melhor conhecer alguns recursos do Proteus ARES. Vamos interligar manualmente todos os pontos comuns de terra (GND) do circuito.

Clicar no ícone Track Mode.



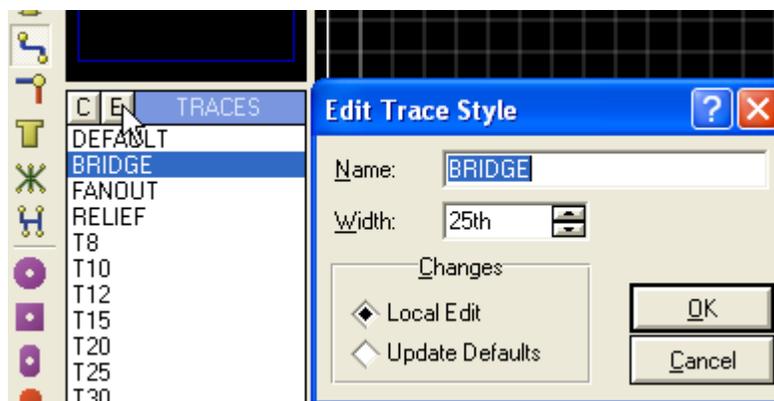
Ao clicar no ícone surge uma caixa com várias opções de largura de trilha, inerentes ao programa, dentre as quais DEFAULT, BRIDGE, FANOUT e RELIEF.

DEFAULT – tem uma largura de traçado ou trilha de 12th.

BRIDGE – tem uma largura de traçado ou trilha de 25th

Essas opções podem ser editadas bastando clicar no botão “E”.

A figura a seguir mostra a edição da trilha (traçado) BRIDGE.



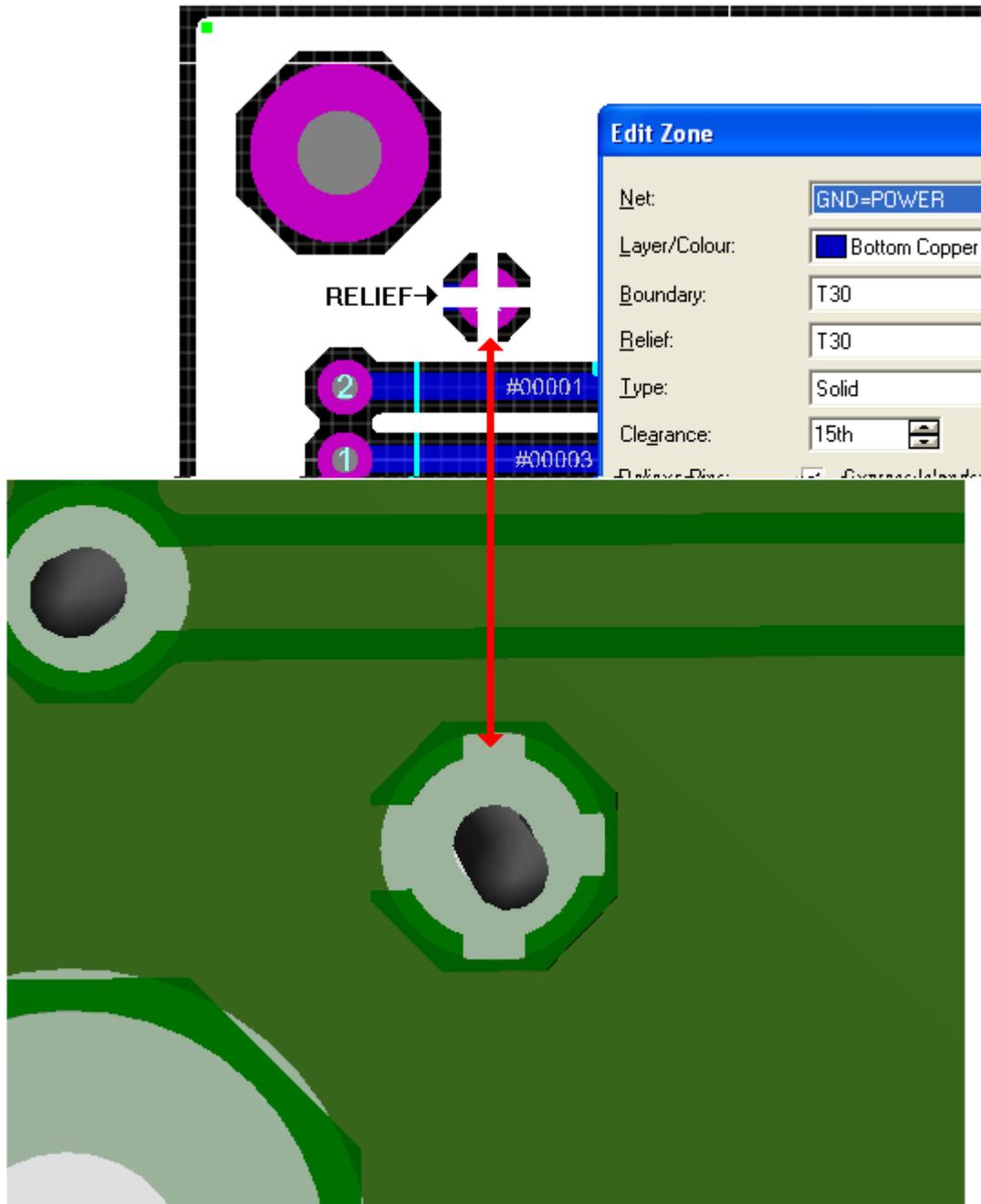
O traçado BRIDGE é ajustado por padrão para interligação de diodos em pontes retificadoras de tensão.

O traçado FANOUT com largura de 10th é usado para interligar saída e entradas de portas lógicas.

O traçado RELIEF está relacionado com alívio térmico quando é utilizado um plano de GND de interligação (área de chapado).

As figuras a seguir ilustram melhor esse conceito.

RELIEF = T40



RELIEF é portanto a área de contato elétrico efetivo com o plano GND.

A área sem contato elétrico é denominada *alívio térmico*. Portanto, diminuindo o valor de RELIEF, aumentará a área de alívio térmico.

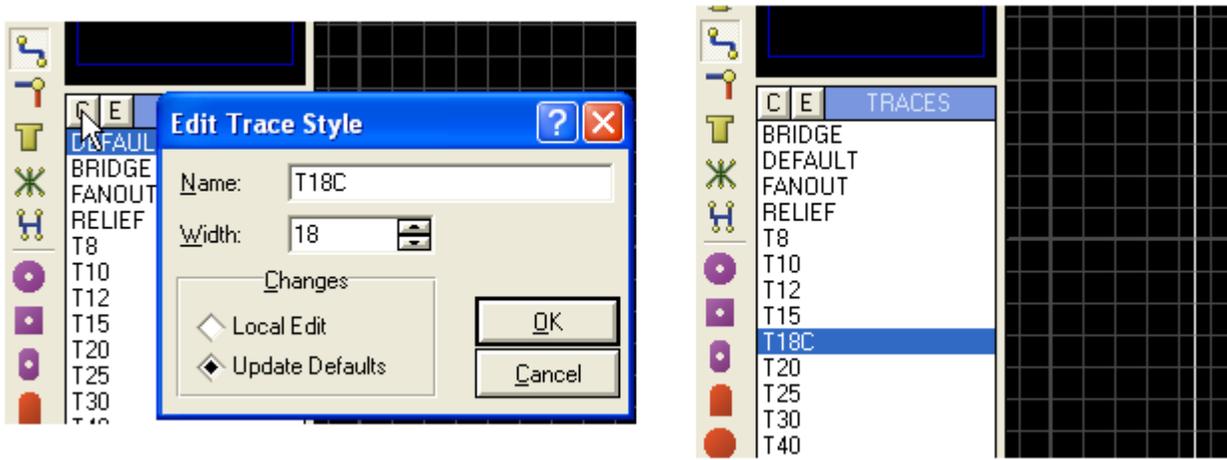
Vamos então, traçar manualmente os pontos de terra com largura 18th.

Observa-se que não existe disponível o traçado T18.

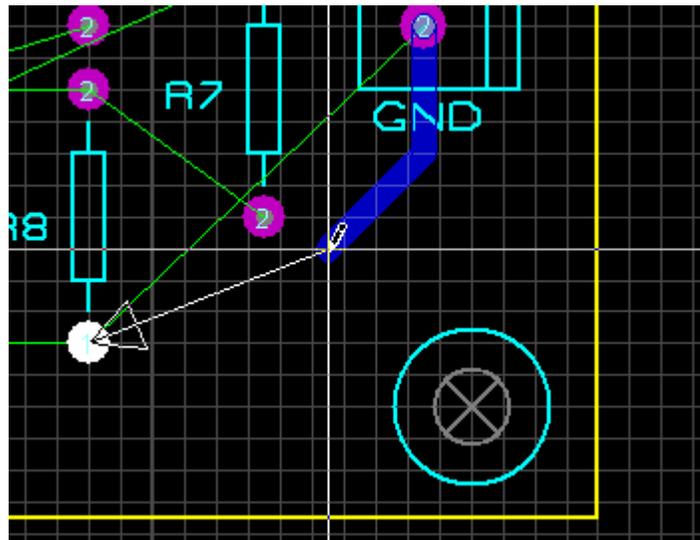
Vamos criar esse traçado ou trilha, clicando no botão "C" (Create).

O processo é bem simples, bastando preencher a janela de diálogo que surge.

Observe na figura à direita que ao clicar em OK, imediatamente fica disponível o traçado de 18th, nomeado como T18C.

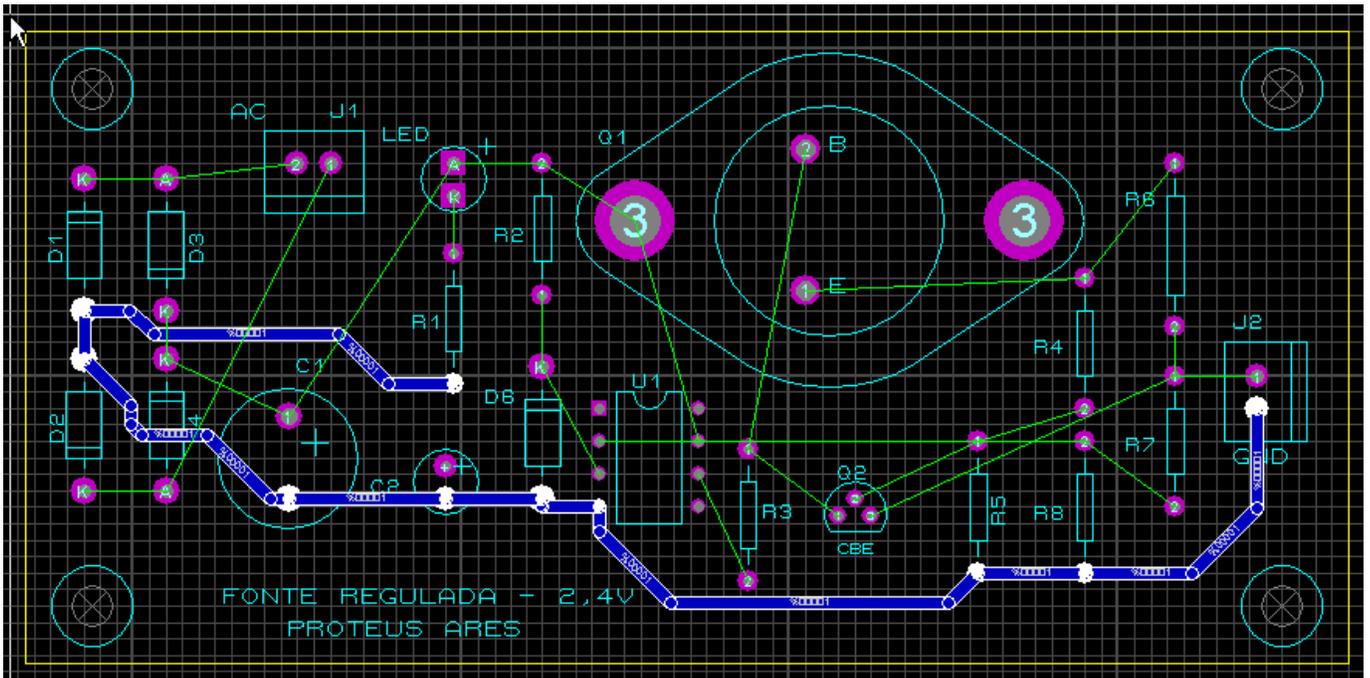


Iniciando o traçado com T18C a partir de GND (conector J2).



A seta que surge é indicadora do sentido da "net". Ao ser completada a ligação entre o pino 2 de J2 e o pino 1 de R8 a linha "ratsnest" deve desaparecer.

A figura a seguir mostra as ligações comuns GND completadas.



Foi aplicada uma correção Mitre com Maximum Distance – 0.2in. Proceder de forma idêntica para a conexão dos demais componentes.

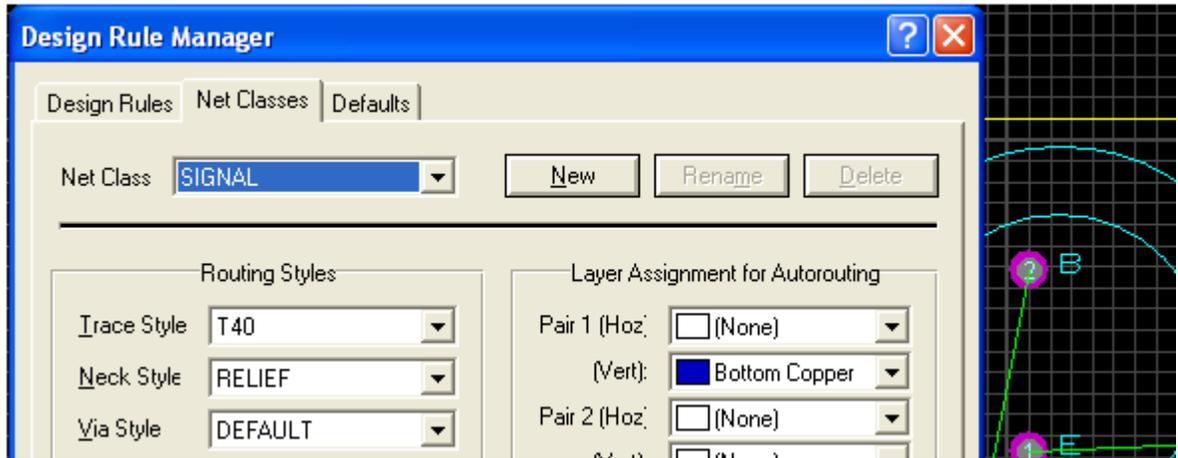
Roteando automaticamente:

A vantagem do roteamento automático é que além de ser mais rápido, permite também em caso de erros, a correção de posicionamento (reposicionamento) de componentes através do comando UNDO (ou simplesmente Ctrl+ Z).

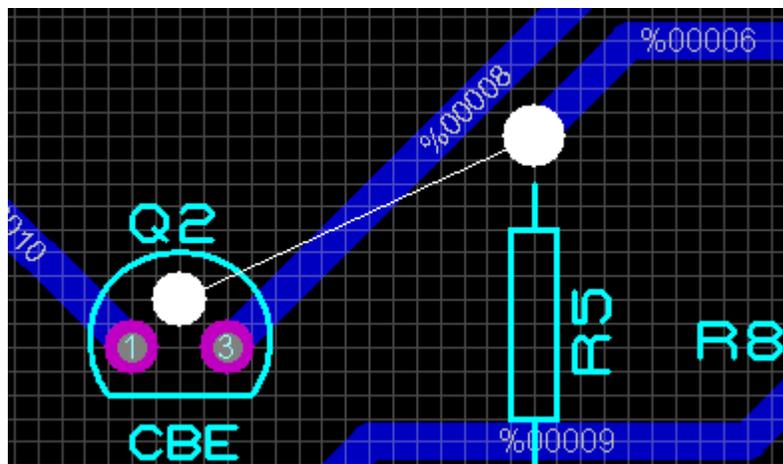
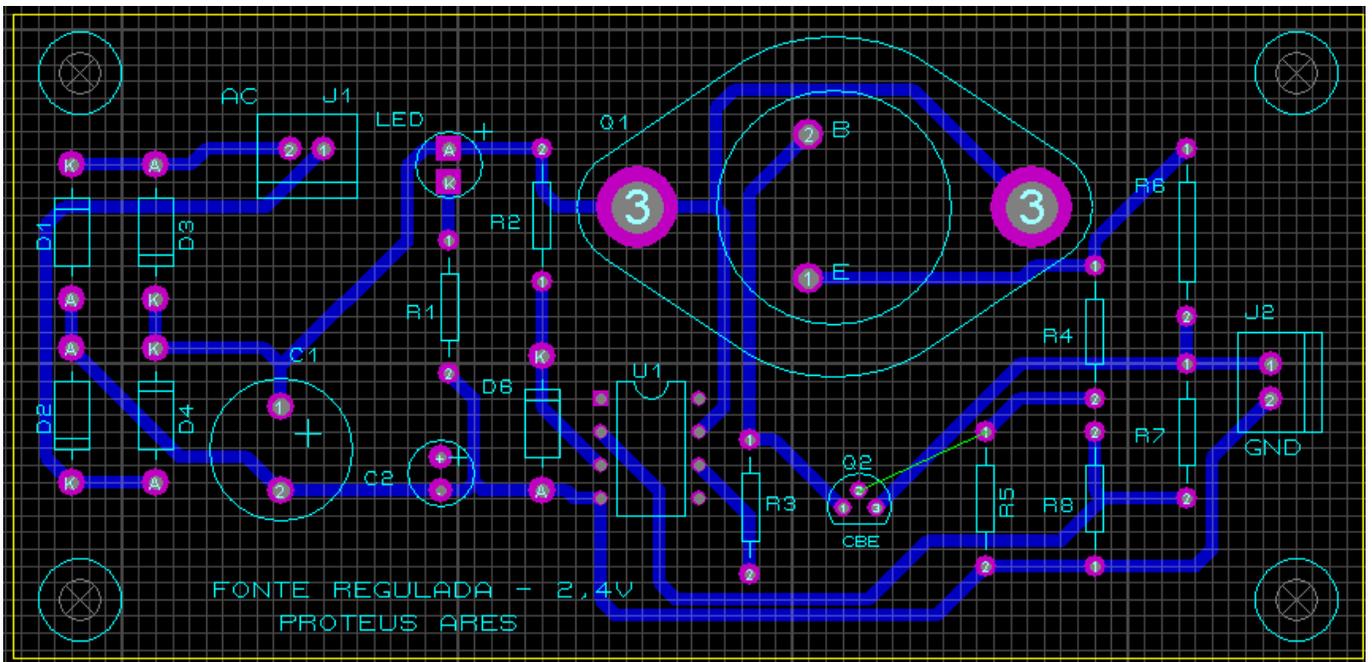


Vamos rotear com T40 no layer BOTTOM COPPER.





A figura a seguir mostra o roteamento automático onde se observa que uma ligação não foi completada.

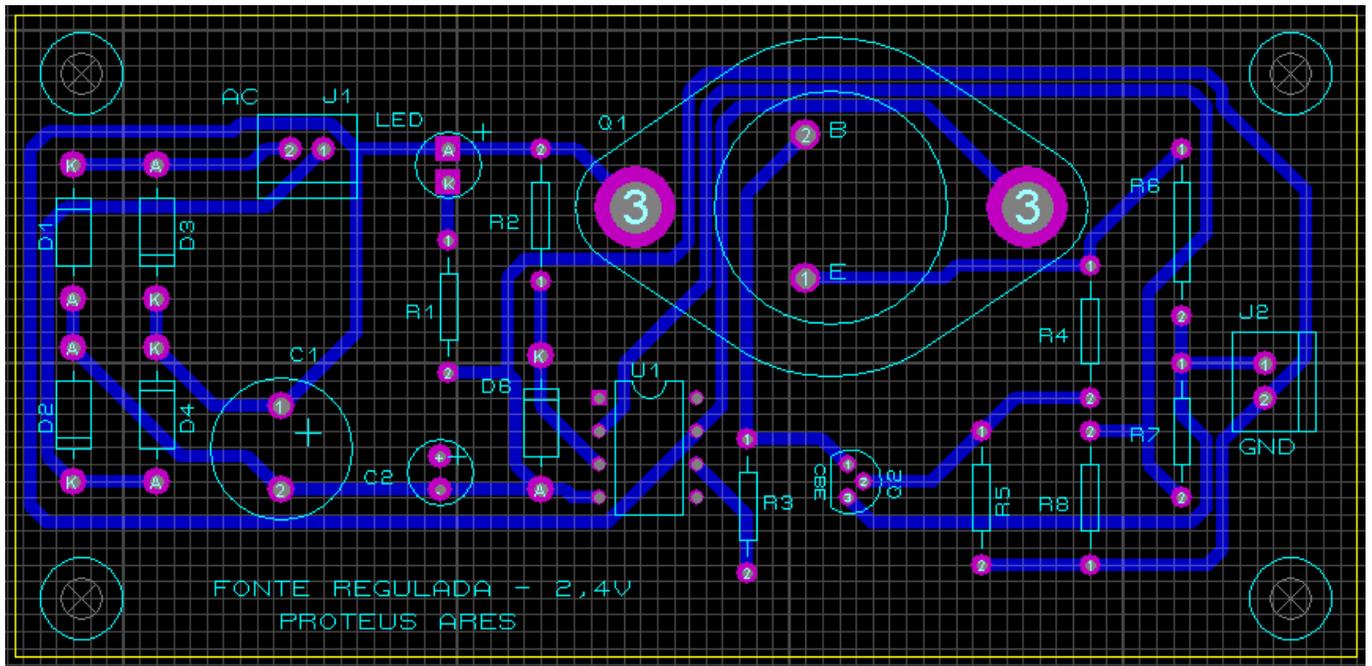


Uma solução que no momento parece ser a mais óbvia é reposicionar o transistor Q2.

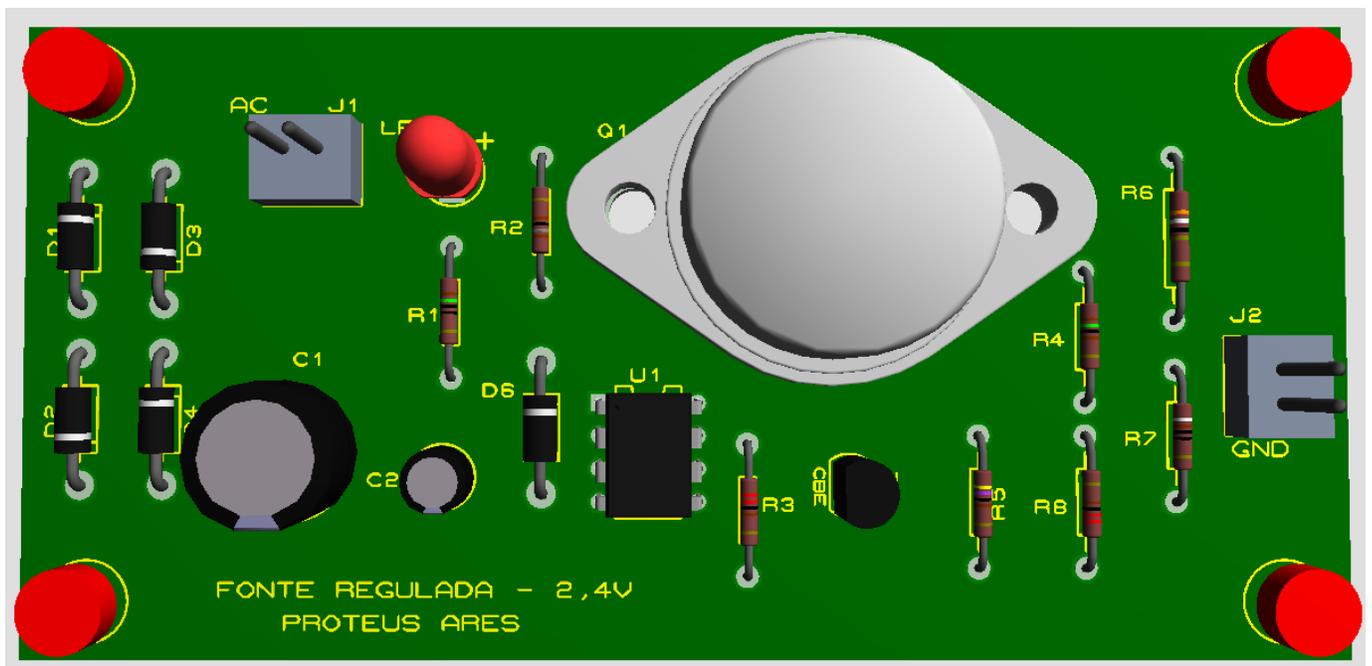
- Aplicar o comando UNDO ou Ctrl+Z.

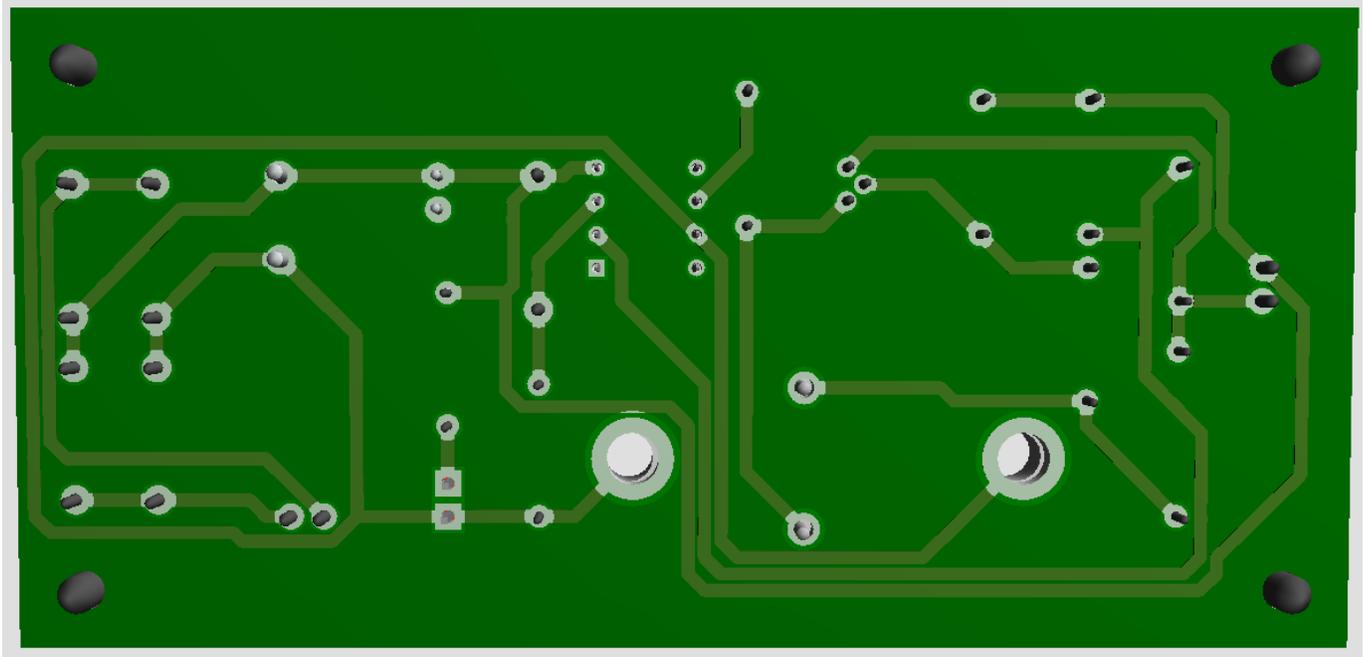
- Reposicionar Q2 (layer deve ser TOP SILK).

- Reiniciar o processo de roteamento automático, mantendo as configurações anteriores. A figura a seguir mostra o resultado final.



Visualização 3D.





O invólucro metálico do transistor 2N3055 é o coletor, logo, esse é o terminal do coletor desse transistor.

Assim sendo deverá ser colocado um parafuso metálico com porca, em qualquer um dos duros existentes na carcaça do transistor, para assegurar o contato elétrico entre a placa de CI e o coletor desse transistor.

Os dois furos normalmente estão ligados na mesma "net".

Alterando a largura das trilhas:

É possível modificar a largura do traçado ou trilha caso seja necessário.

Às vezes é necessário diminuir a largura de uma determinada trilha por questões estratégicas, principalmente no caso do roteamento manual.

É preciso analisar se a diminuição da largura dessa trilha não venha a prejudicar o funcionamento do circuito, principalmente se essa trilha for responsável pela alimentação de algum componente do circuito. O contrário também é válido, ou seja, uma trilha pode ter a sua largura aumentada.

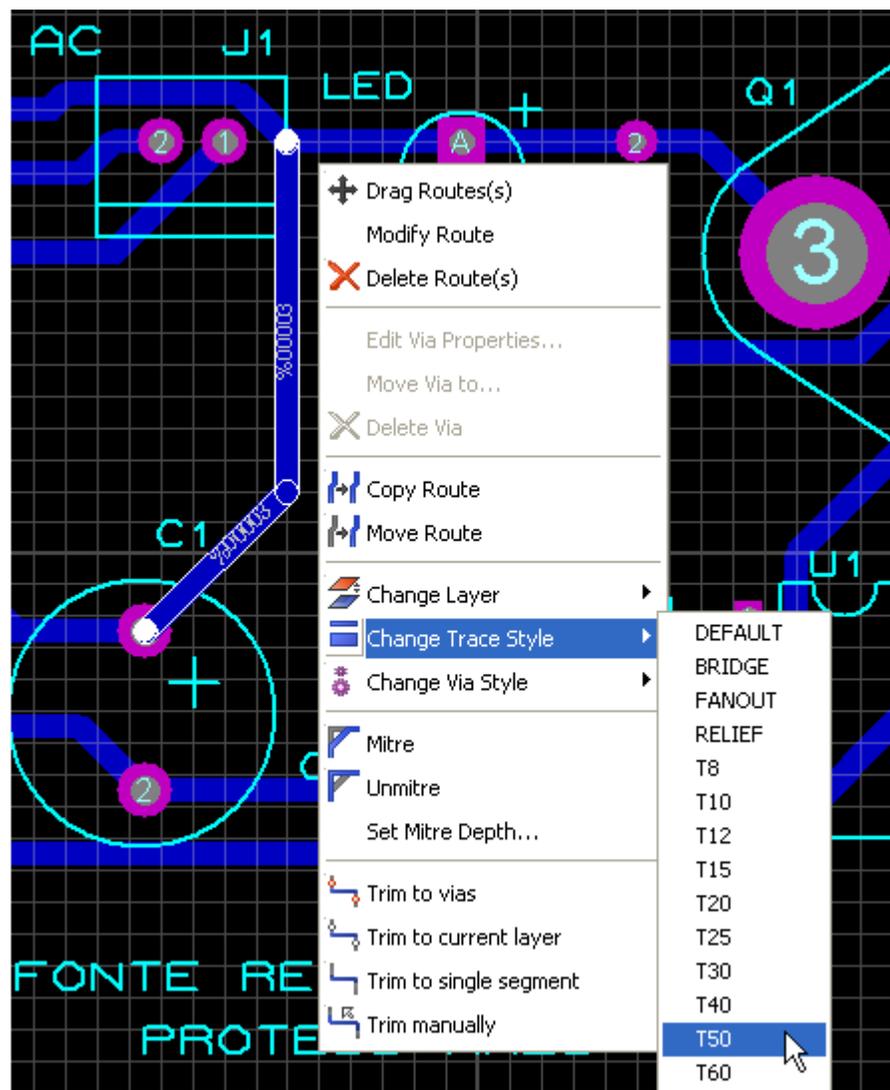
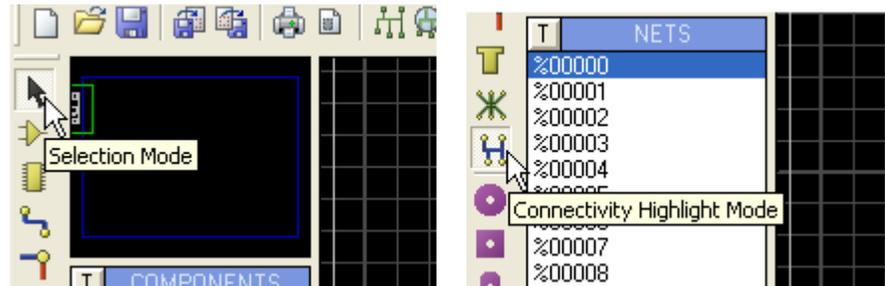
A modificação de uma "net" pode ser feita em apenas alguns trechos ou na "net" inteira.

Para modificar a largura de uma trilha ou até mesmo alterar o seu posicionamento, basta clicar com o botão esquerdo do mouse sobre a mesma e com o botão direito, selecionar as várias opções existentes. Embora a seleção seja feita em apenas dois pontos específicos, pode afetar toda a "net" dependendo do modo como é feita a seleção (Selection Mode ou Connectivity Highlight Mode).

ATENÇÃO:

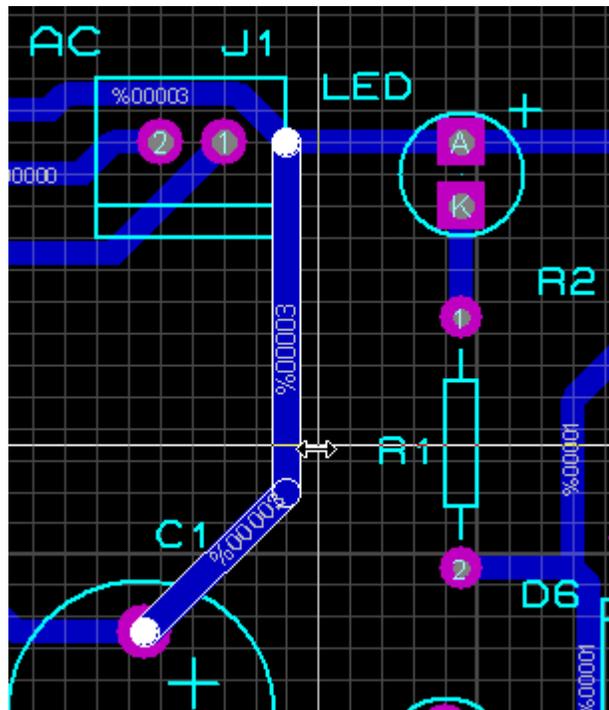
1 – Quando a seleção é feita entre dois pontos no **Selection Mode**, somente esses dois pontos serão selecionados. Assim a alteração feita restringe-se a esses dois pontos.

2 – Quando a seleção é feita no **Connectivity Highlight Mode**, toda a “net” é afetada, qualquer que seja o ponto selecionado. Essa opção deve ser selecionada quando se pretende alterar a “net” inteira.



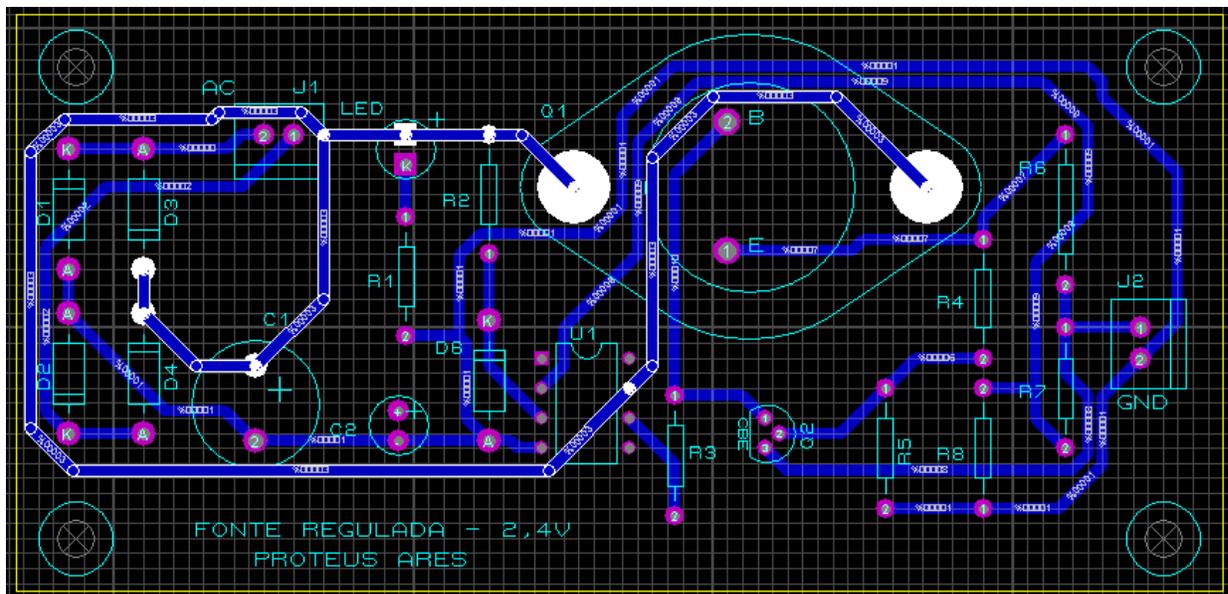
A figura anterior mostra dois pontos selecionados (Selection Mode) para alteração da largura da trilha de 40th para 50th.

Observe que somente entre esses dois pontos a largura foi alterada. Trata-se de dois pontos que estão dentro da net %00003.



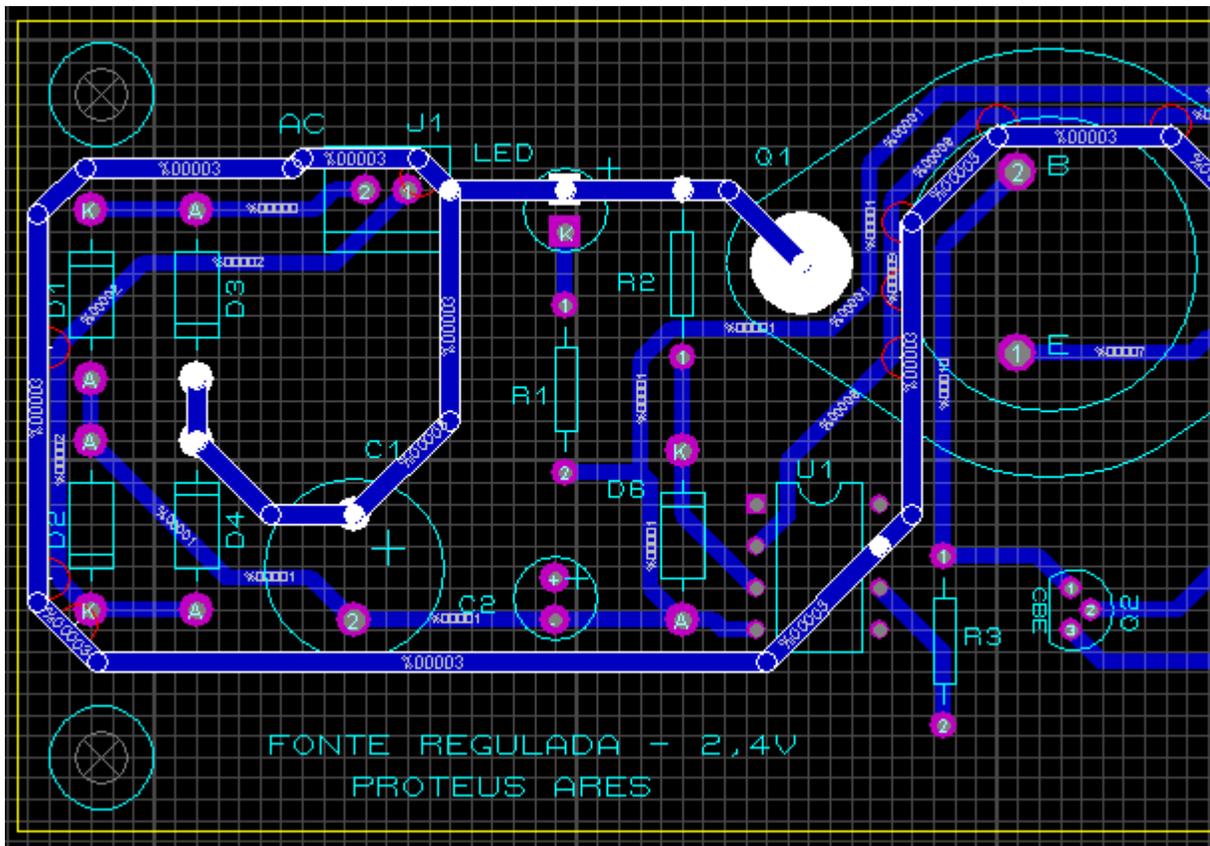
Alterando a largura das trilhas de uma "net" inteira:

A título de exemplo vamos aumentar a largura de toda a "net" para T50, lembrando que a seleção deverá ocorrer em Connectivity Highlight Mode.



No entanto é preciso precaução, pois poderá ocorrer uma sobreposição de trilhas causando erros no layout.

A figura a seguir mostra que esse aumento de largura provocou uma sobreposição de trilhas, resultando em 9 erros apontados pelo DRC. Observe os círculos em vermelho.



Design Rule Errors				
Design Rule	Violation Type	Layer(s)	Spec'd Clearance	Actual Clearance
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	PAD-TRACE	BOT	10.00th	7.78th
DEFAULT	PAD-TRACE	BOT	10.00th	5.71th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th
DEFAULT	TRACE-TRACE	BOT	10.00th	5.00th



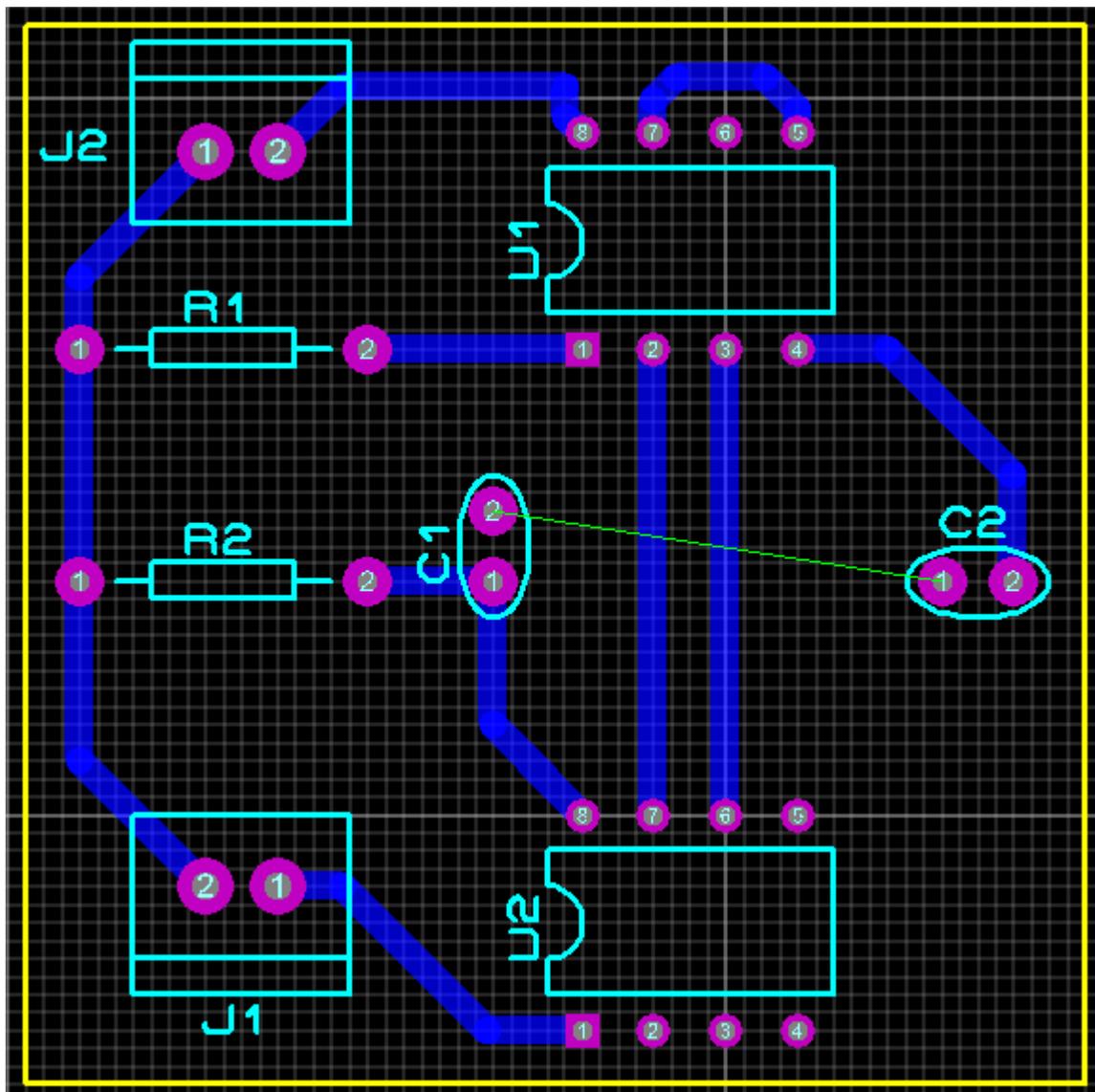
Portanto, deve-se ter cautela com relação a alteração da largura das trilhas, principalmente quando a mesma é aumentada.

VIAS E LAYERS (MULTILAYERS)

VIAS são ilhas (PADS) que asseguram um contato elétrico entre layers. Normalmente são mais utilizadas para contato entre os layers BOTTOM COPPER e TOP COPPER em placas de 2 camadas (lado de solda e lado de componente)

As VIAS também podem ser utilizadas para contato elétrico entre os layers “enterrados”, ou seja, aqueles layers internos que ficam entre os layers BOTTOM COPPER e TOP COPPER (Inner), geralmente nas placas multilayers ou multicamadas.

Vamos supor uma condição hipotética mostrada a seguir, onde se deseja interligar o pino 2 de C1 ao pino 1 de C2 no layer COPPER BOTTOM e o único caminho é o indicado pela ratsnest.



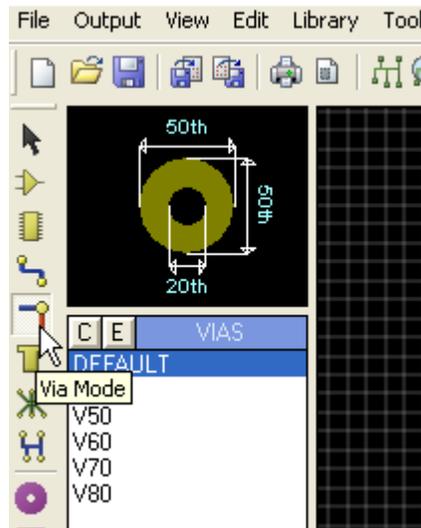
O problema pode ser solucionado ligando-se um fio entre esses 2 pontos do lado da solda (BOTTOM COPPER)

No entanto, não é uma forma muito profissional para contornar o problema.

Uma opção para contornar esse problema de forma mais profissional é colocar 2 VIAS em pontos estratégicos, de forma a permitir a colocação de um "jumper" do lado dos componentes (TOP COPPER).

As VIAS são também conhecidas como furos metalizados já que seu furo interno sendo metalizado, permite o contato elétrico entre os layers.

Clicando no ícone Via Mode, temos várias opções.



As VIAS podem ser editadas e, portanto, seus valores podem ser modificados. A VIA padrão DEFAULT tem um diâmetro de 50th e um furo (DRILL) de 20th.

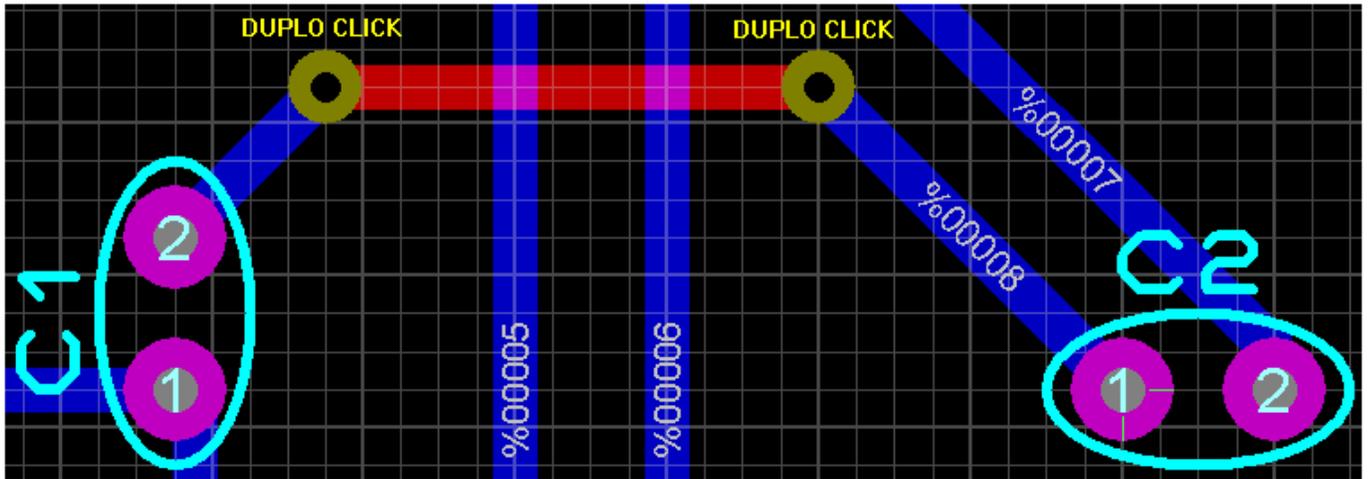
A inserção de uma VIA é simples, e funciona da seguinte forma:

1 – Se o roteamento estiver sendo feito no lado da solda (BOTTOM COPPER) no Track Mode, um duplo click do mouse muda o layer para TOP COPPER (lado do componente) até que outro duplo click seja dado, retornando ao layer anterior.

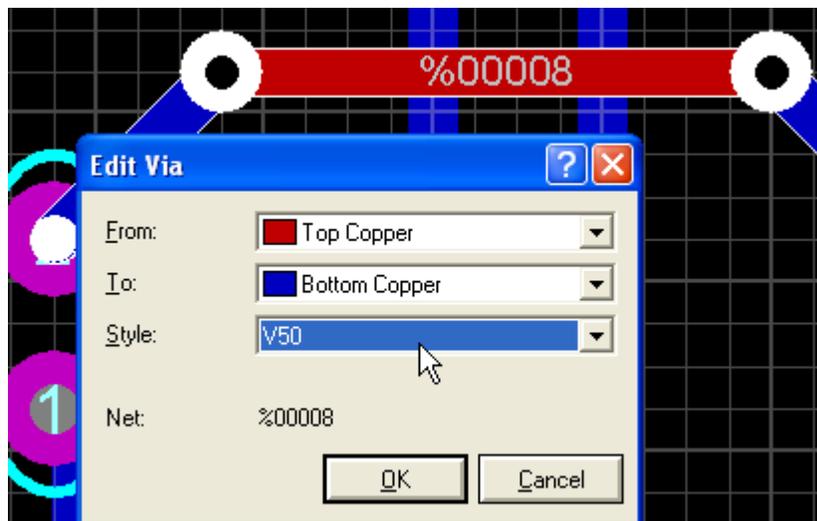
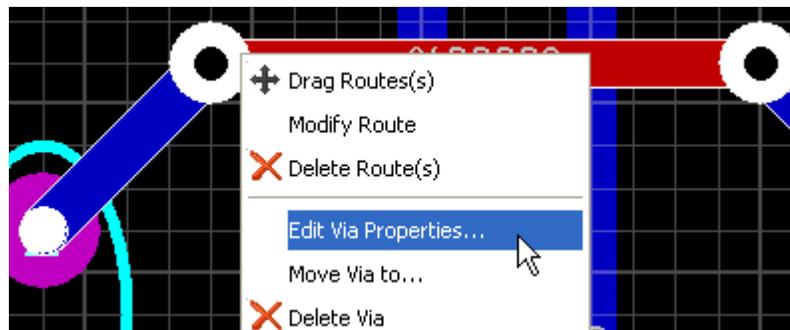
Basta observar a seta indicadora da direção da ratsnest.

Veja na figura a seguir como proceder.

- 1) Clicar no ícone Track Mode
- 2) Selecionar uma largura para a trilha
- 3) Iniciar o traçado até um ponto em que seja conveniente dar um duplo click para inserir uma VIA e continuar o traçado.
- 4) Terminado o traçado no layer oposto dar um duplo click para retornar ao layer de origem.
- 5) Terminar o traçado da "net".



A figuras a seguir mostram a VIA editada. Clicar com o botão direito do mouse sobre a mesma. Observa-se que o layer de origem foi o BOTTOM COPPER.



Observe o sentido: From (De) Top Copper – To (Para) Bottom Copper.

Não faz sentido alterarmos esses dois campos, no entanto é possível alterar o valor de "Style", que representa vários parâmetros da VIA.

A edição e modificação da VIA pode ser feita clicando no botão "E" (Edit).



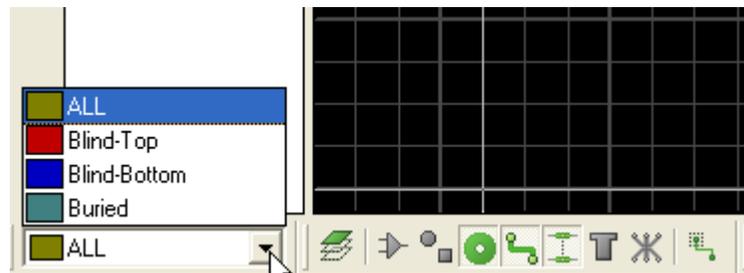
Guard Gap é a área não coberta pela máscara de solda, podendo estar presente ou não.

Em *Changes*, se for aplicada uma alteração poderão ocorrer duas possibilidades:

Local Edit – somente disponível para o projeto corrente

Update Defaults – atualiza as configurações para ser usado em outros projetos

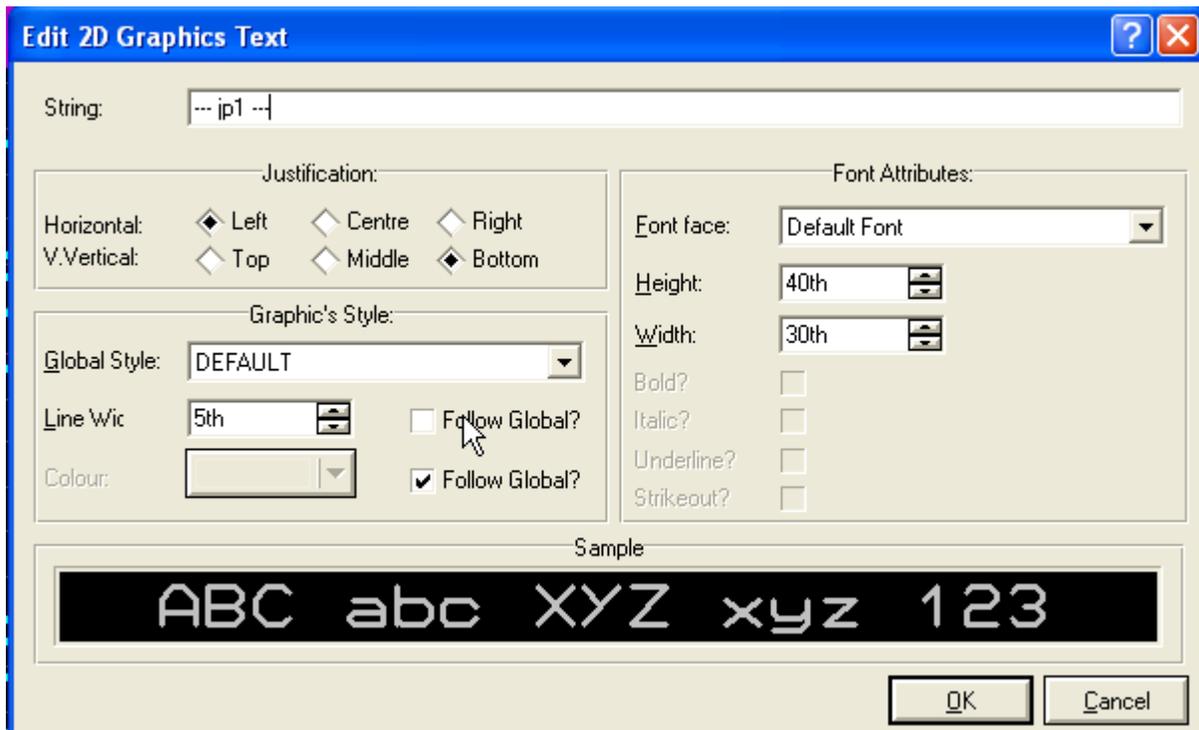
No Via Mode, clicando em Layer Selector observa-se que o layer ativo é ALL, indicando que a conexão é feita entre dois layers externos, no caso, TOP COPPER e BOTTOM COPPER.



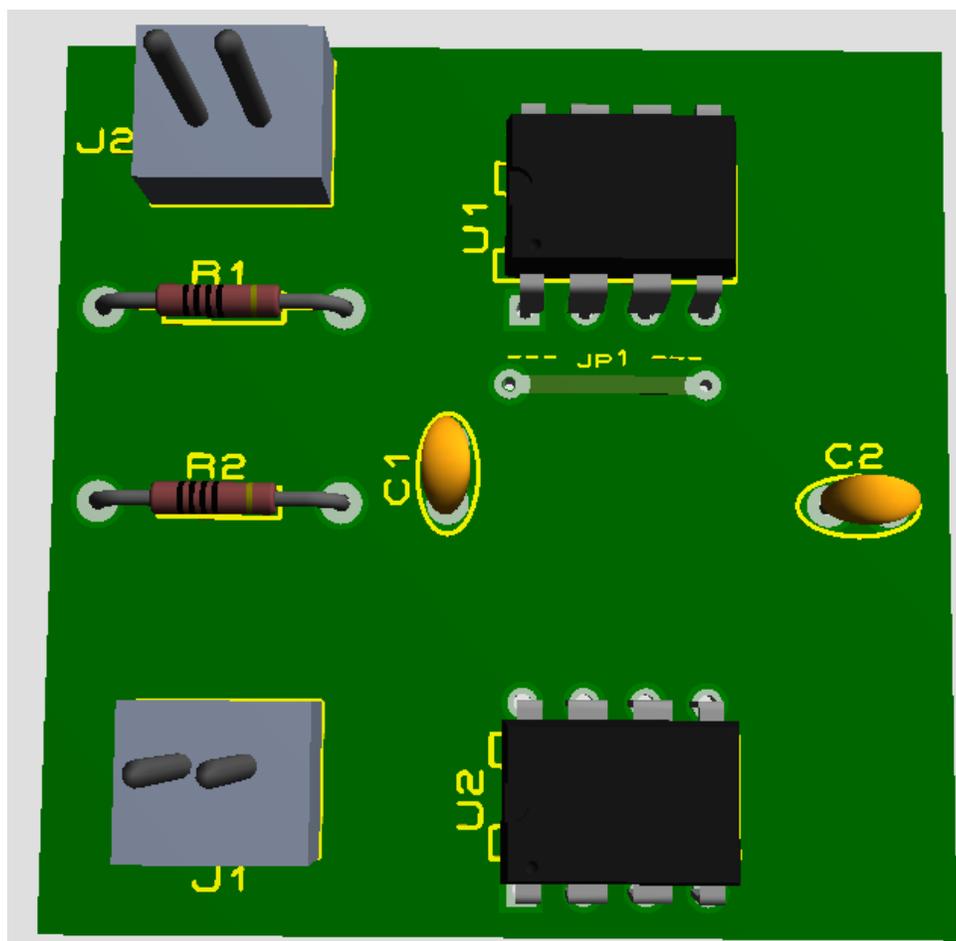
Criando um "jumper" no layer TOP COPPER:

Como no layer TOP COPPER para o circuito exemplo teremos apenas uma ligação, podemos optar por utilizar uma placa de face simples para o BOTTOM COPPER, interligando entre o pino 2 de C1 e 1 de C2 um "jumper" no lado dos componentes.

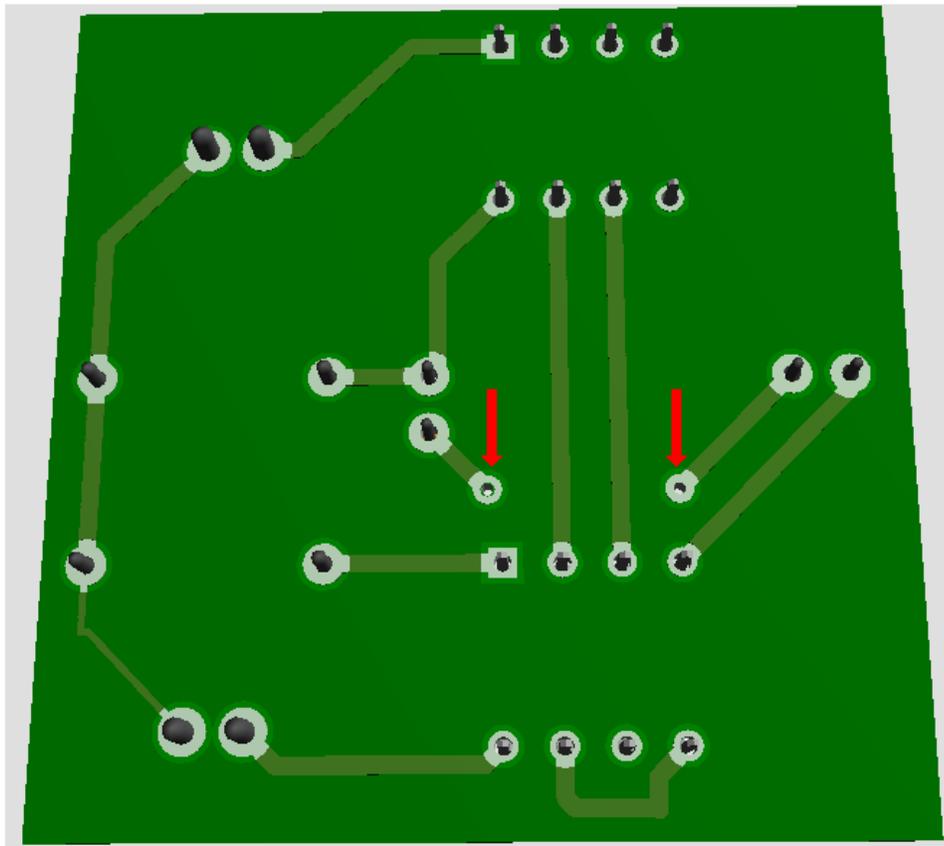
Podemos indicar nesses pontos, no lado dos componentes utilizando o layer TOP SILK a ligação de um "jumper".



Veja o aspecto na visualização 3D.

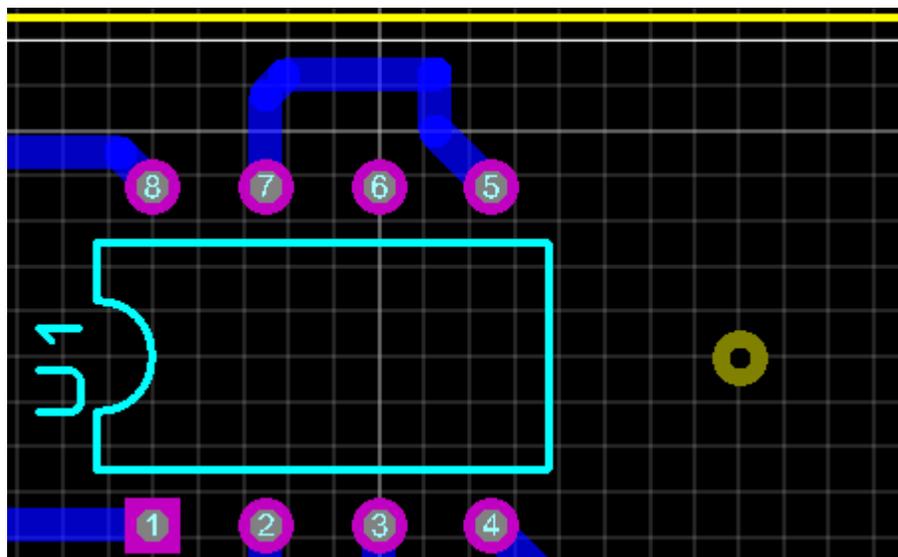


Como não teremos trilhas no lado dos componentes, a mesma será então substituída pelo "jumper".



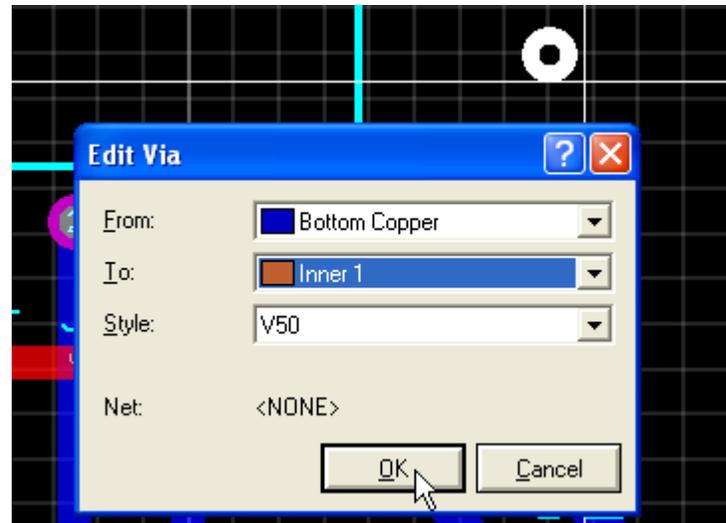
Blind-Top e Blind-Bottom:

Supondo que queiramos ligar o pino 6 do CI U1, pelo layer BOTTOM COPPER até uma VIA que está em um layer interno, conforme sugere a figura a seguir:



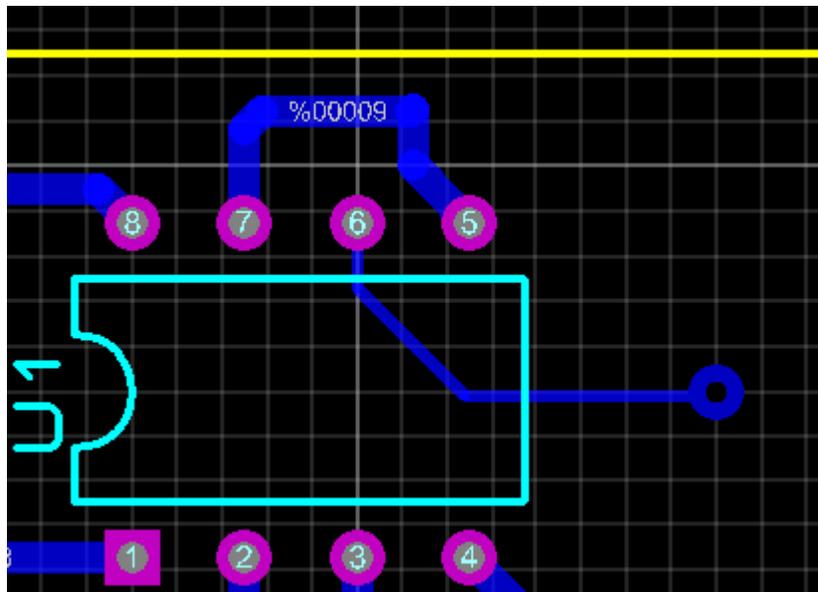
Nesta VIA poderão estar várias outras ligações.

Se editarmos a via, conforme sugere a figura a seguir:



Teremos então um contato entre um layer externo no caso o BOTTOM COPPER a um layer interno, no caso Inner 1, daí então Blind-Bottom.

Observe a alteração da cor da VIA.

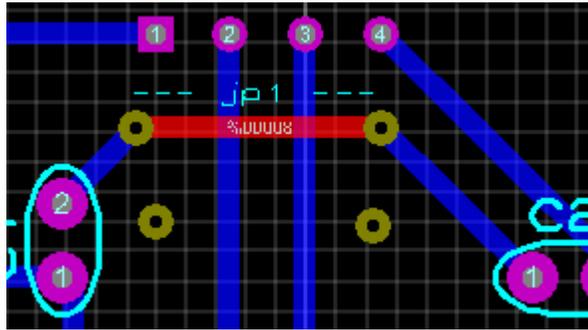


O mesmo é válido quando se deseja um contato entre o layer TOP BOTTOM com um layer interno, daí então Blind-Top.

Buried:

Neste caso o contato ocorre somente entre os layers internos.

Tomemos como exemplo, na figura a seguir, duas VIAS que serão configuradas para terem contato interno.

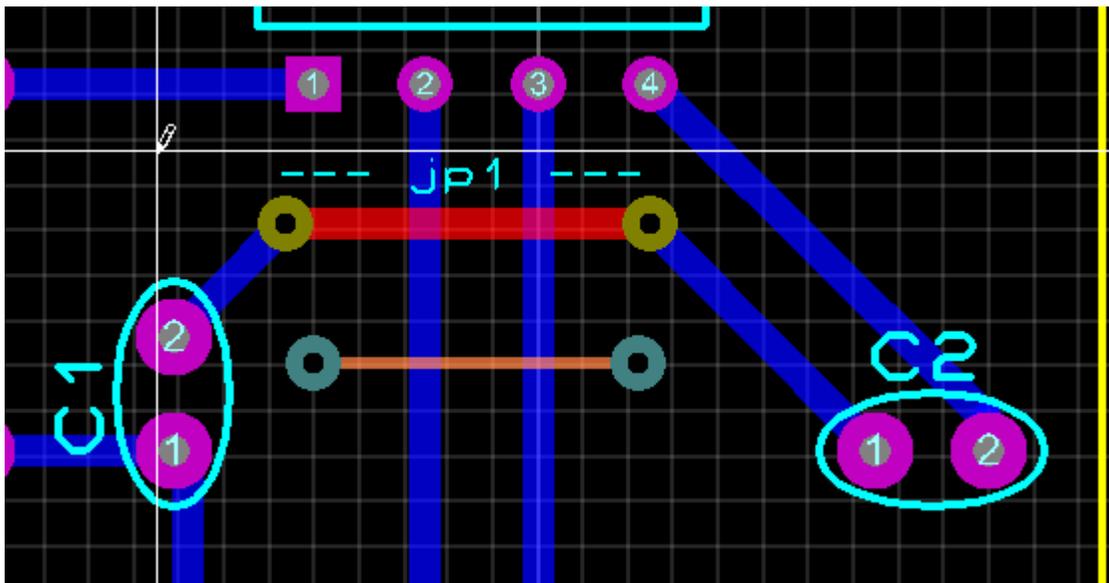


Configurando as duas vias para contato: From Inner 1 To Inner 2.

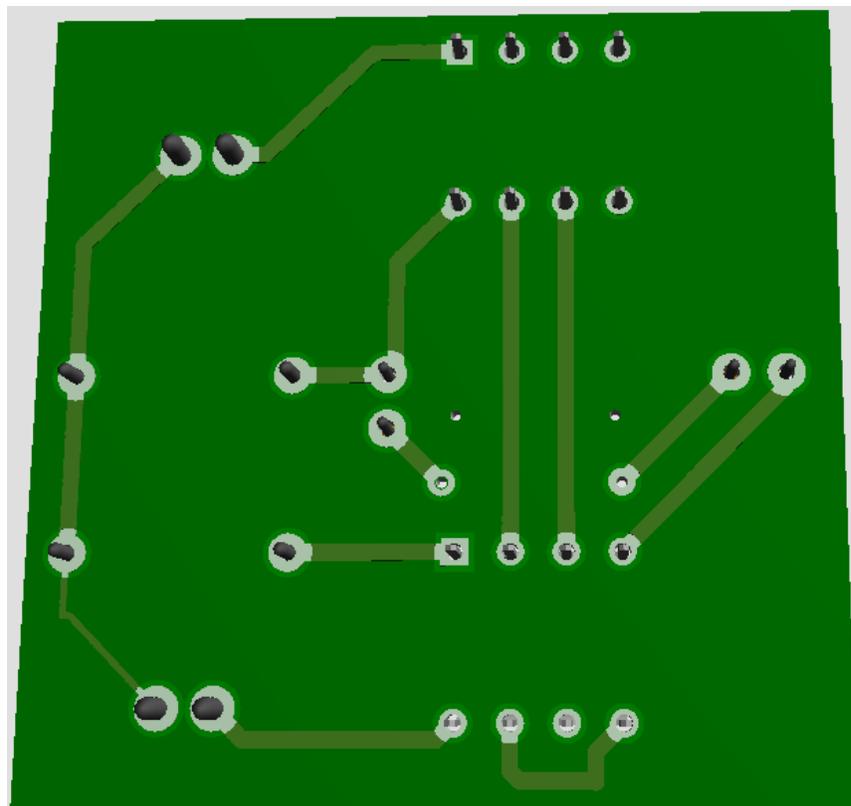
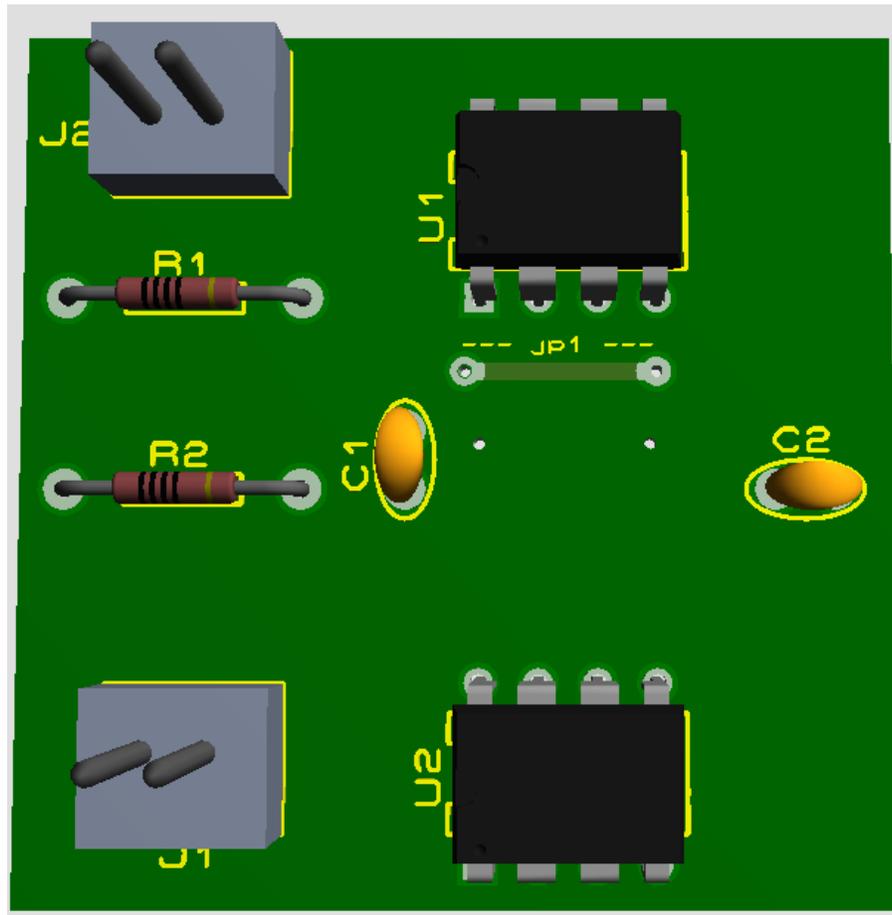


A figura a seguir mostra as duas VIAS sendo interligadas no layer Inner 1.

Observe a mudança das cores do traçado e das VIAS.



As VIAS (Buried) estão interligadas em uma camada interna no caso, layer Inner 1 e portanto não serão visíveis (nem a VIA e nem a trilha) em *3D Visualization*, conforme ilustram as figuras a seguir. Somente os dois furos serão visíveis.

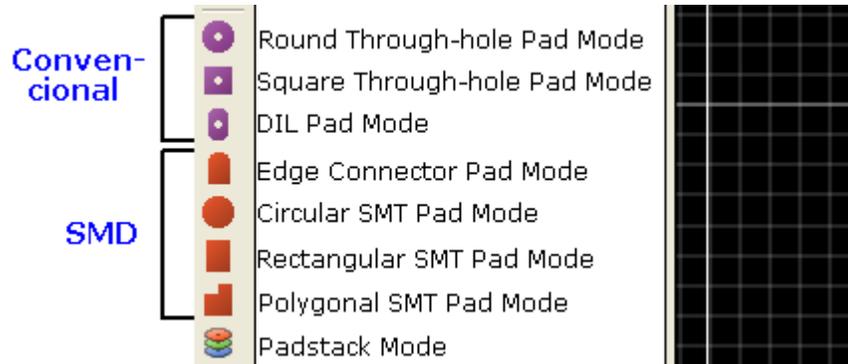


PADS

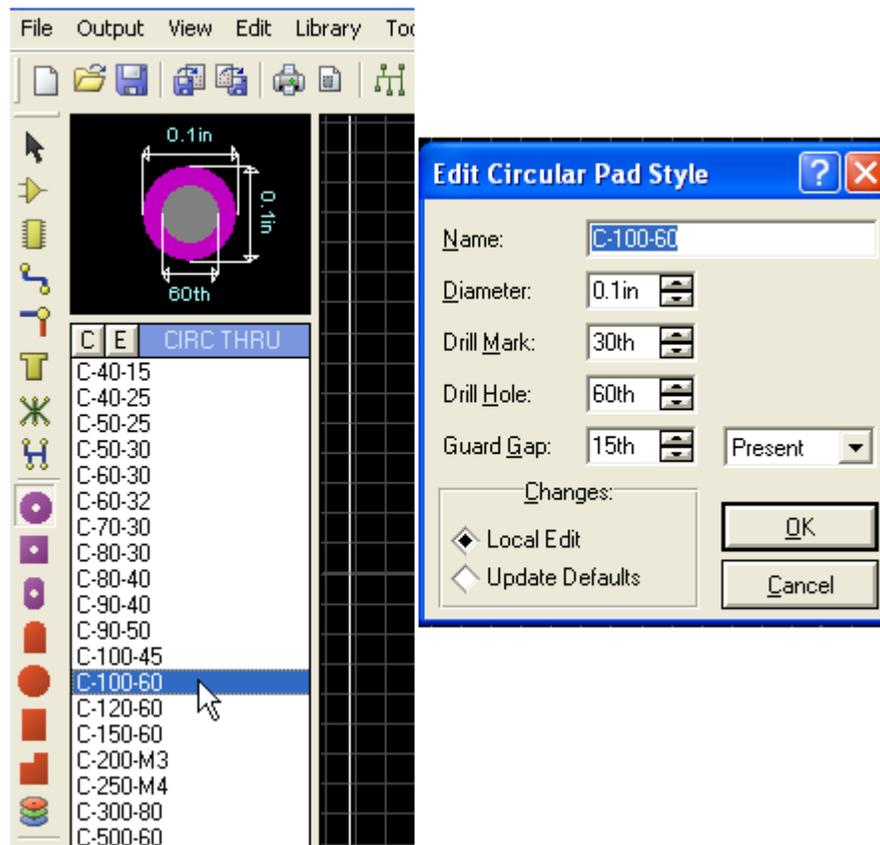
Os PADS são ilhas destinadas a soldagem de componentes, e geralmente são fixados no lado da solda, embora possa também ocorrer soldagens no lado dos componentes.

O Proteus ARES oferece como default uma infinidade de PADS, no entanto qualquer um deles pode ser editado e modificado ou então, criado um novo PAD de acordo com as necessidades de um projeto

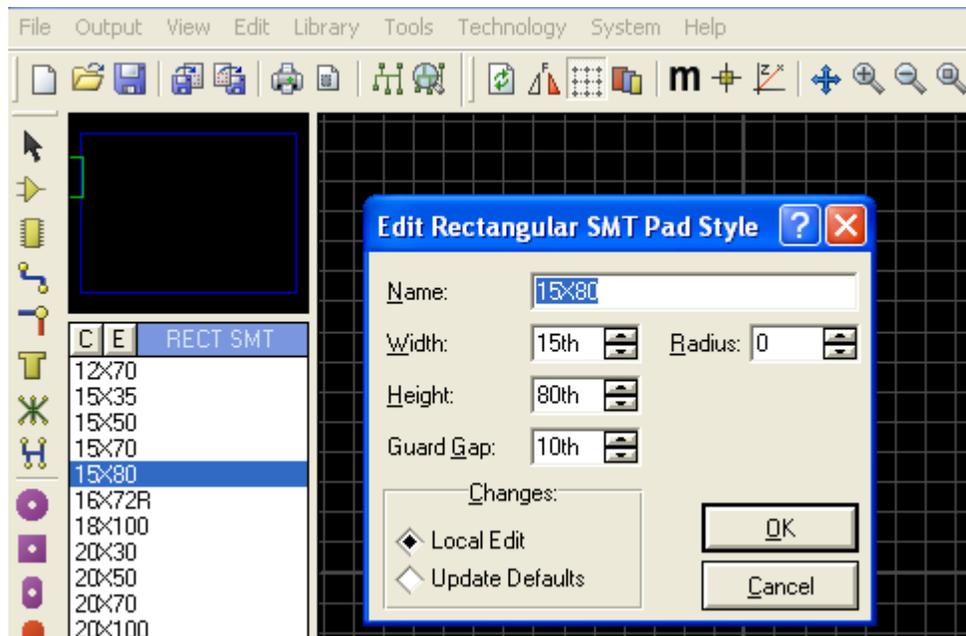
A figura a seguir mostra os tipos de PADS convencionais e SMD.



A figura a seguir mostra a edição do PAD C-100-60.



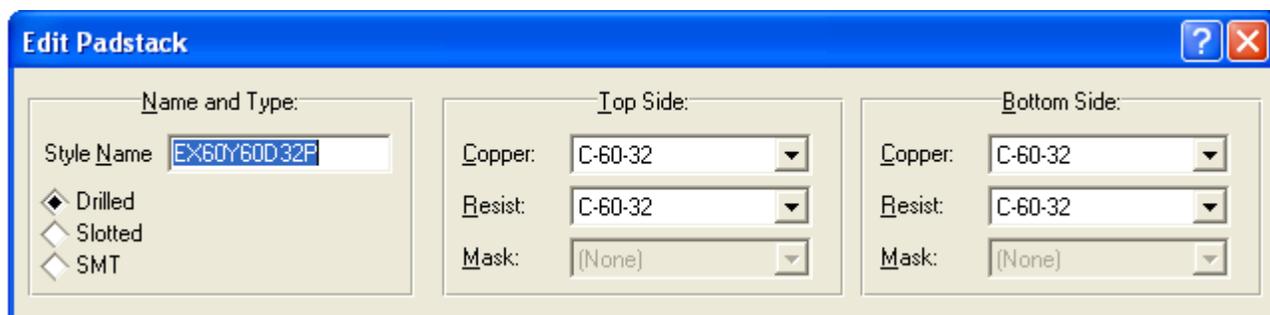
A figura a seguir mostra a edição de um PAD SMD, o 15X80.

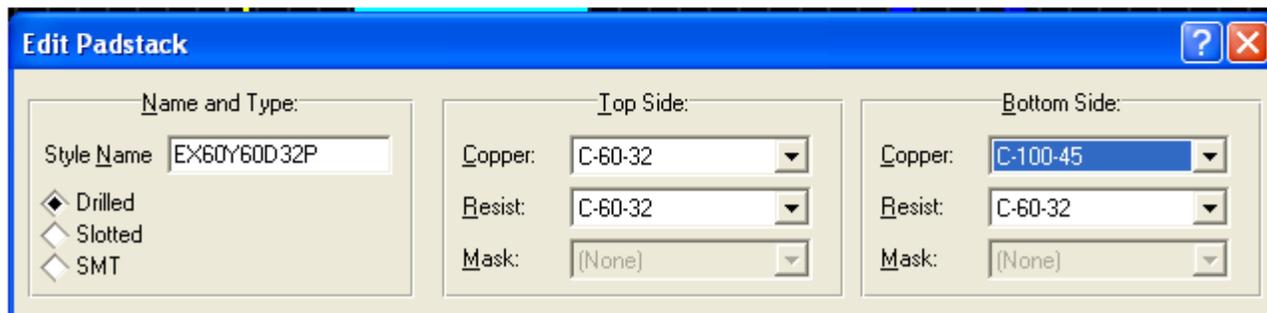


PADSTACK MODE:

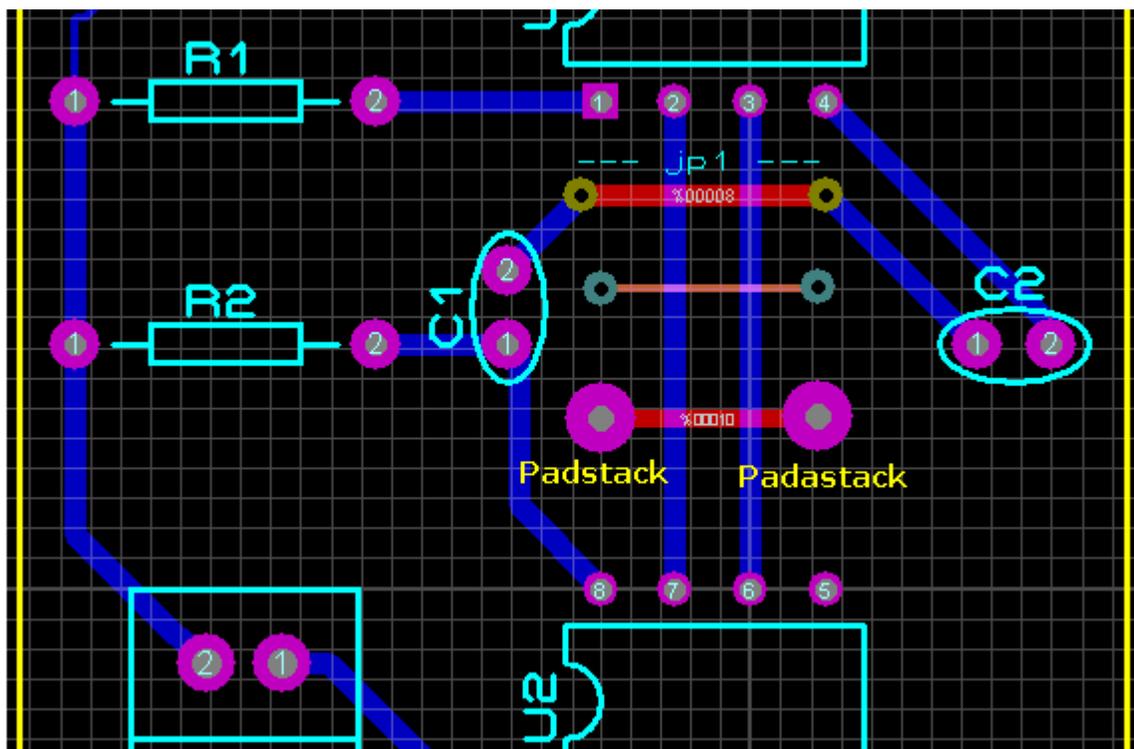
Uma característica do Padstack Mode é que as configurações de um PAD podem ser diferentes em cada layer.

Vamos considerar como exemplo uma placa com os layers Top e Bottom (lado dos componentes e lado da solda respectivamente). Vamos editar um já existente na biblioteca do Proteus ARES e vamos modificar as características no Bottom Side, clicando no botão "E" ou com botão direito do mouse e "Edit".

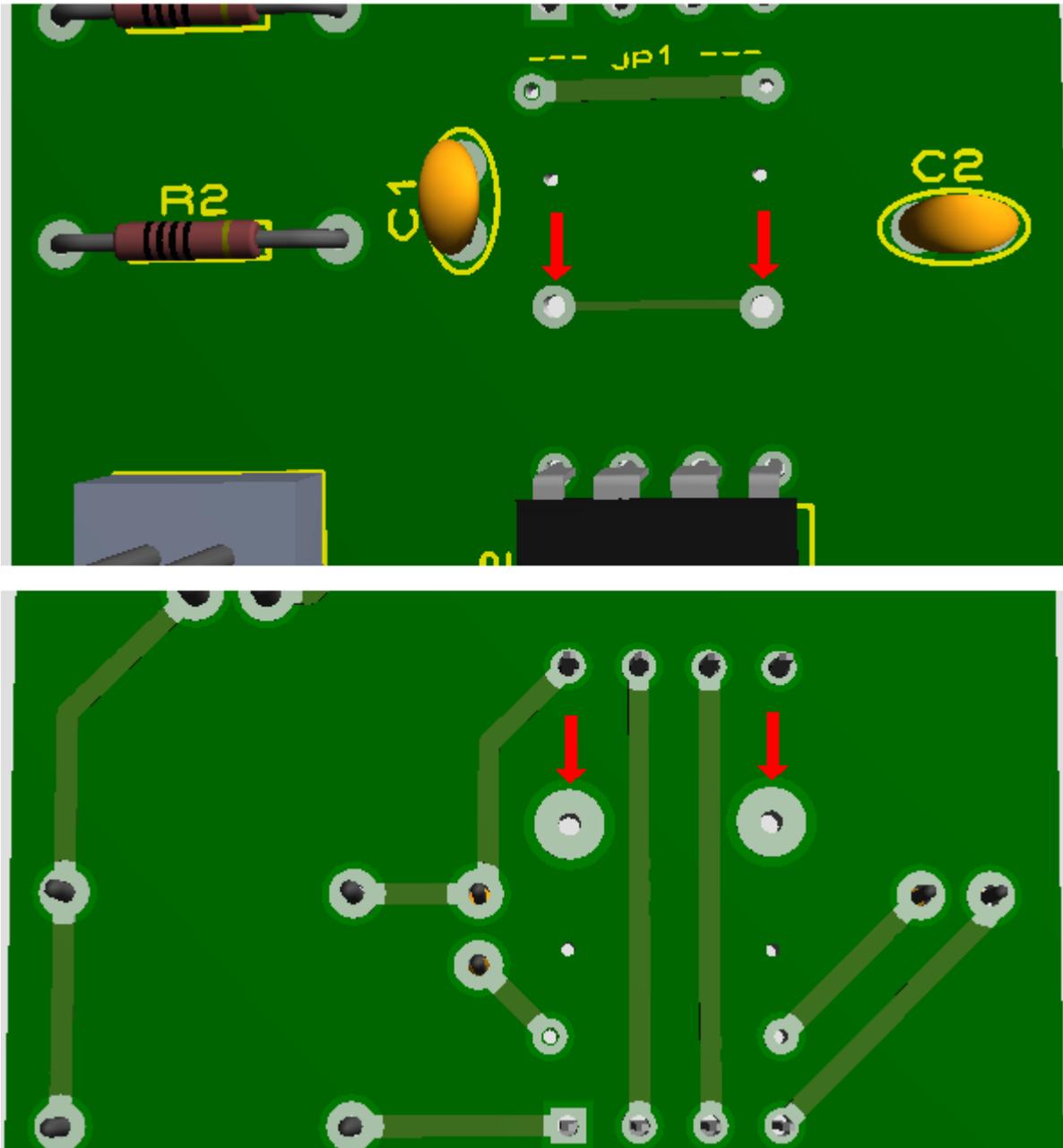




Vamos inserir esses PADS na placa que temos usado como exemplo e vamos rotear esses dois pontos no layer COPPER TOP.



Compare nas figuras a seguir as dimensões dos PADS em relação aos layers Top Side (C-60-32) e Bottom Side (C-100-45). Essa Ferramenta pode ser muito útil na construção de certos PCB Packages.

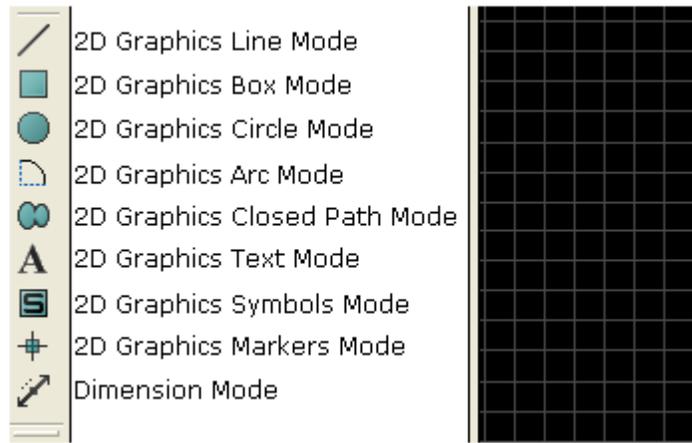


Observe que a área do lado da solda é bem maior, sendo portanto útil quando se deseja fixar um componente específico, como por exemplo, uma ponta de prova que exija melhor resistência mecânica.

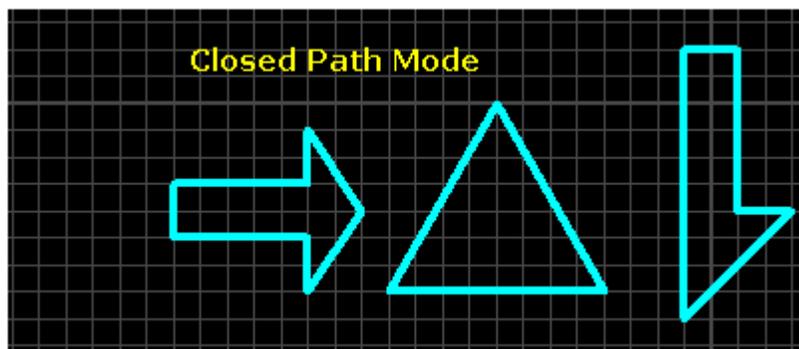
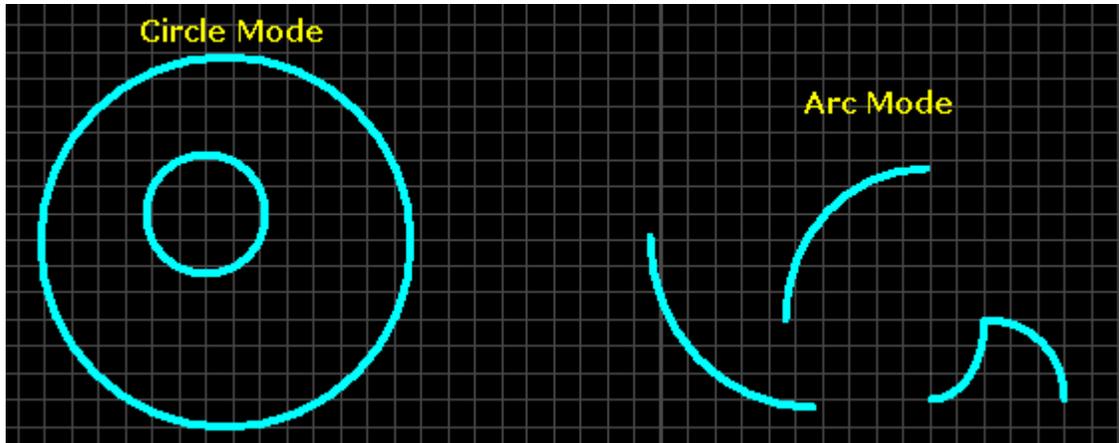
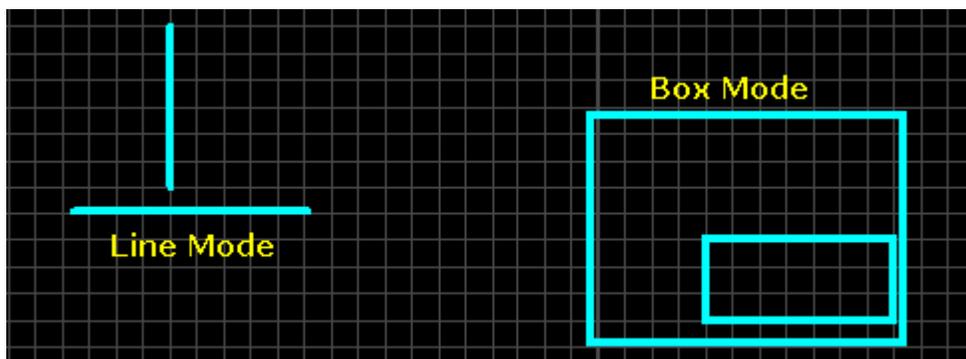
FERRAMENTAS DE DESENHO 2D GRAPHICS

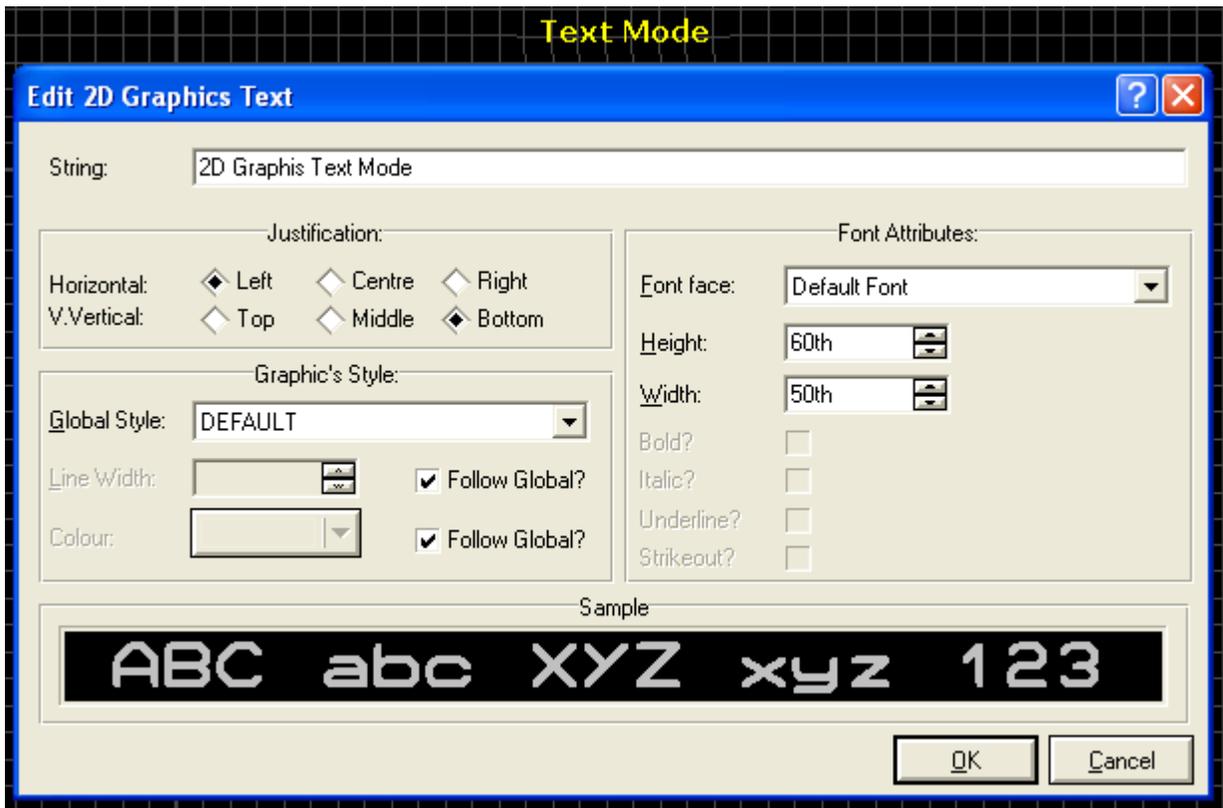
Basicamente são ferramentas comuns para o Proteus ISIS e para o Proteus ARES, com as mesmas técnicas de utilização.

São denominadas 2D Graphics Mode, incluindo Linha, Círculo, Box, Texto, Símbolos, Marcadores, etc. A figura a seguir mostra essas ferramentas e respectivos ícones.

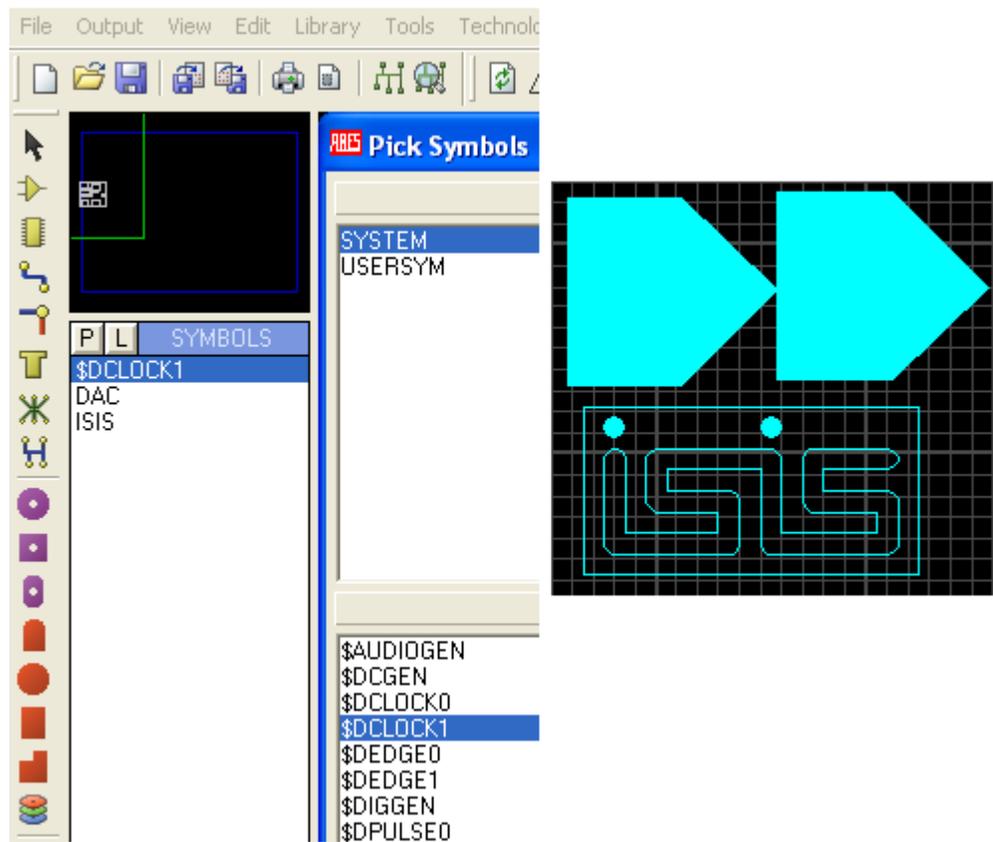


As figuras a seguir mostram alguns exemplos de aplicações.





2D Graphics Symbols Mode

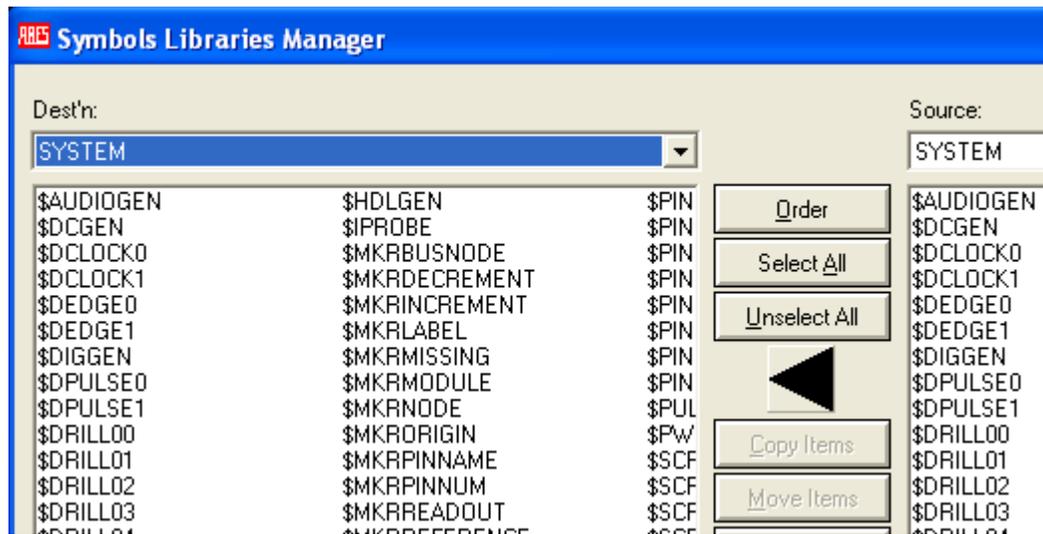


Em Symbols Mode estão disponíveis vários símbolos comuns ao Proteus ARES e ao Proteus ISIS em SYSTEM (Source).

Símbolos criados pelo usuário devem ser salvos preferencialmente em USERSYSTEM.

Clicando no botão “P” abre a biblioteca disponível.

Clicando no botão “L” abre o gerenciamento da biblioteca de símbolos.



2D Graphics Markers Mode

Esta ferramenta é usada para a construção de bibliotecas para PCB Packages, podendo inserir os seguintes parâmetros principais: Referência, Etiqueta e Origem. Esta última determina o ponto de inserção do componente na área de trabalho.

A criação de bibliotecas no Proteus ARES será vista adiante.

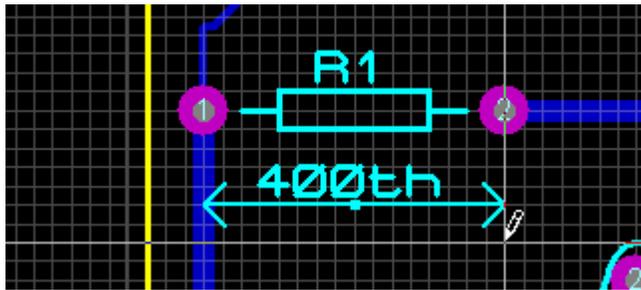
Dimension Mode

É uma ferramenta muito interessante, pois permite medir o tamanho do layout da placa de CI que está sendo construída ou até mesmo inserir cotas entre diversos componentes.

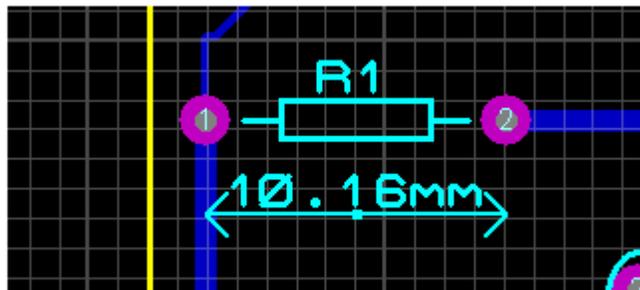
Essas medidas são impressas e podem ser identificadas nos sistemas “métrico” e “imperial”.

A figura a seguir mostra o uso dessa ferramenta, onde é feita a medida entre os pinos 1 e 2 do resistor R1.

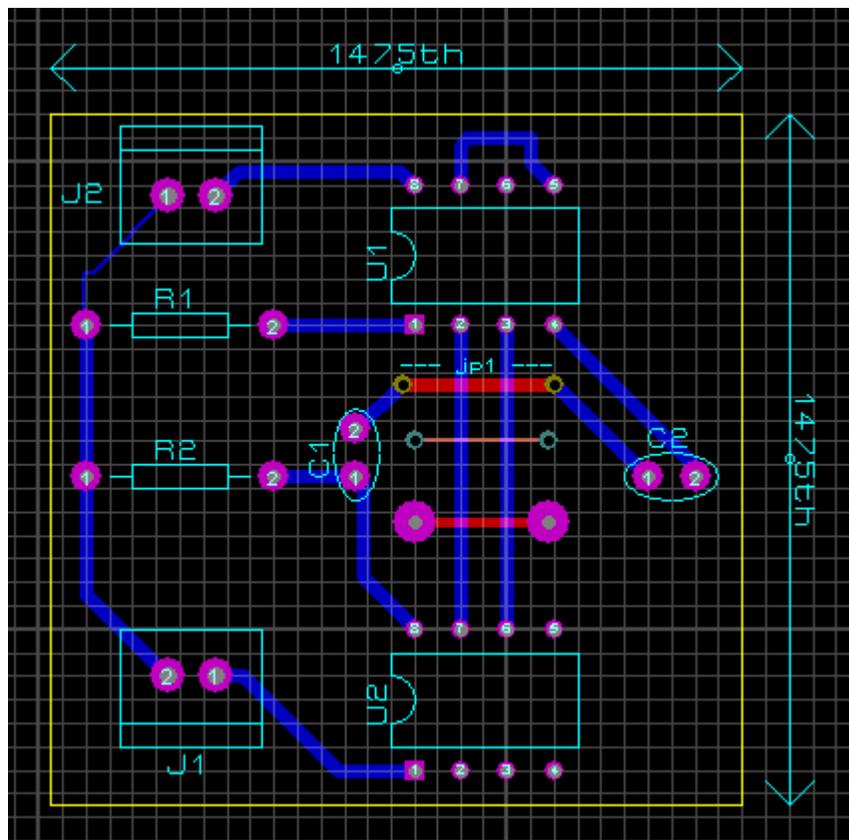
- clicar no ícone Dimension Mode
- clicar no pino 1 do resistor R1 com o botão esquerdo do mouse, mantendo o mesmo pressionado
- arrastar até o pino 2 do mesmo resistor soltar e clicar novamente



Teclando a letra "M" o valor será convertido para o sistema métrico.



A figura a seguir mostra as medidas de uma placa de CI.



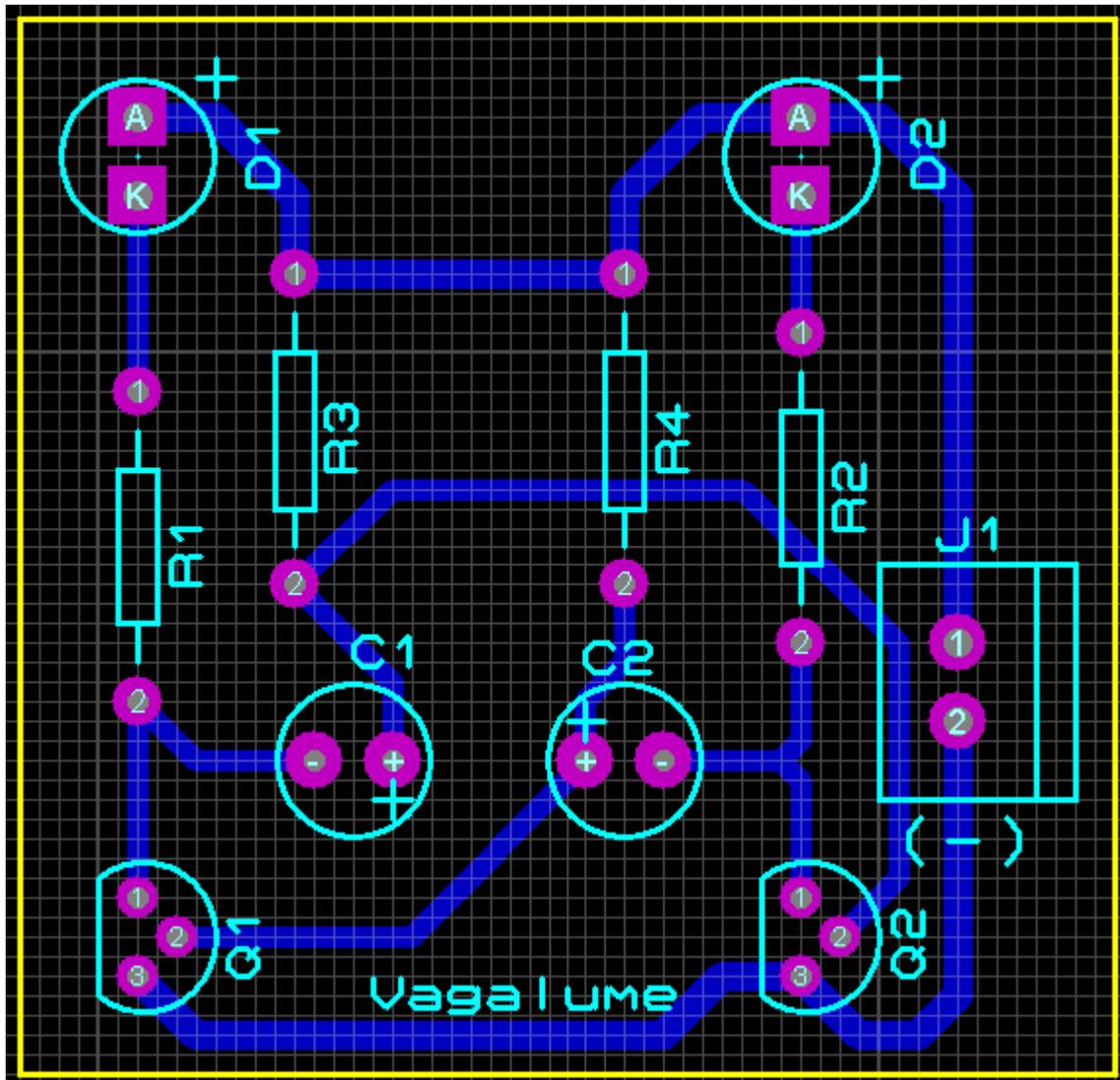
1475 x 1475th ou
 37,465 X 37,465mm ou
 3,75 x 3,75cm

ZONE MODE – EXPLORANDO MAIS RECURSOS

Zone Mode é um recurso destinado a construir uma área de chapado para o plano GND=POWER, como por exemplo uma área de ligação comum para todos os pontos de GND (terra) ou POWER (alimentação).

Vimos anteriormente como esse recurso funciona, mas utilizando os padrões (Defaults) de configurações do Proteus ARES.

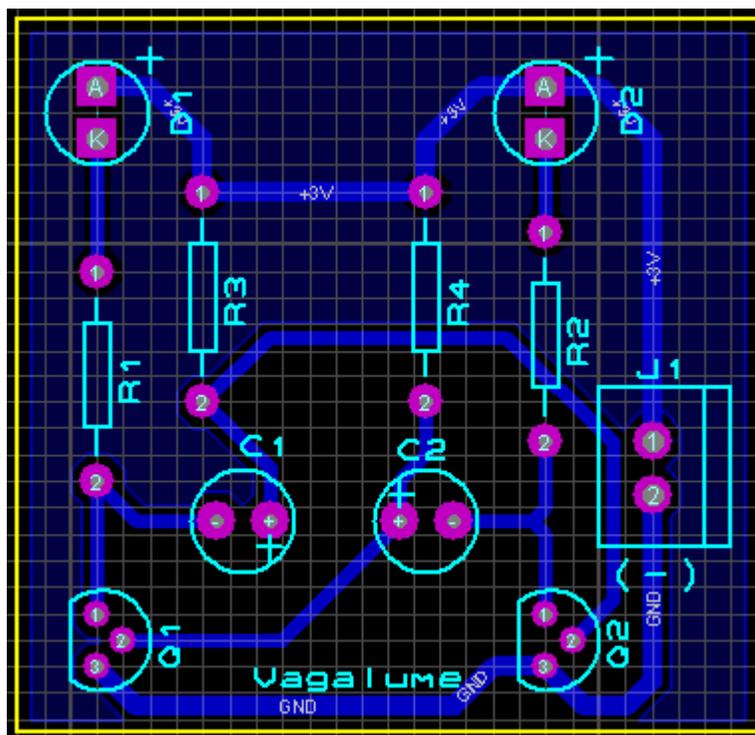
Vamos tomar como exemplo o projeto *Vagalume Biônico* visto anteriormente, conforme mostra a figura a seguir:



A placa foi novamente roteada para melhor elucidar os conceitos, e isto significa que a criação da área de chapado pode ser feita após o roteamento.

Os pontos de GND comuns referem-se aos emissores de Q1 e Q2 e o pino 2 do conector J2, no entanto vamos traçar um chapado para a alimentação do circuito.

Vamos criar então uma área de chapado para a alimentação de +3V=POWER usando as configurações DEFAULT do Proteus ARES. O ícone Zone Mode deverá estar selecionado.

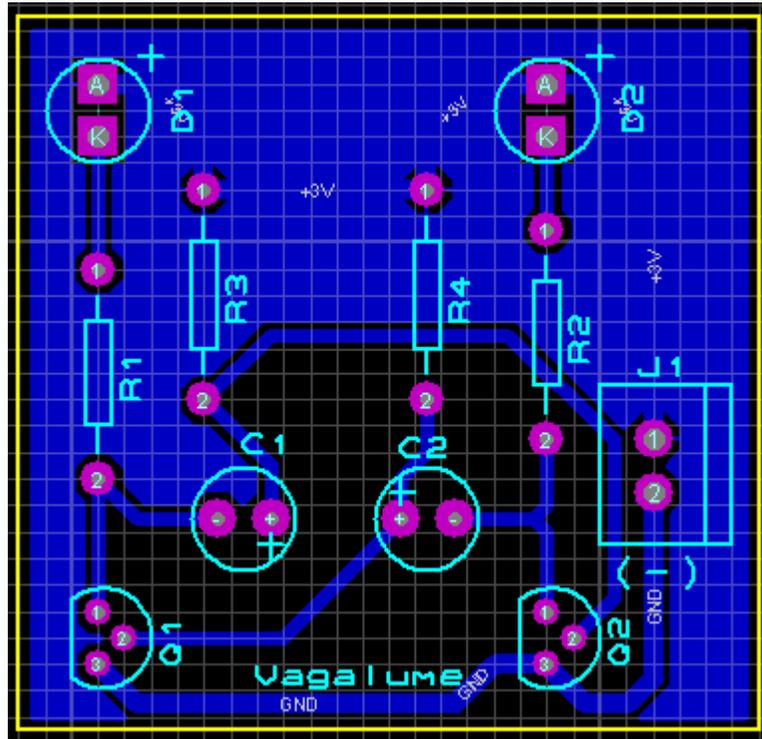


Observe que na opção *Dimmer* (esmaecido) a área de chapado não é visível com facilidade, mas ela existe e isto pode ser comprovado em *3D Visualization*.

Outra opção é *Normal*, onde a área de chapado tem a mesma cor do layer, mas fica mais difícil identificar as trilhas, conforme ilustra a figura a seguir.

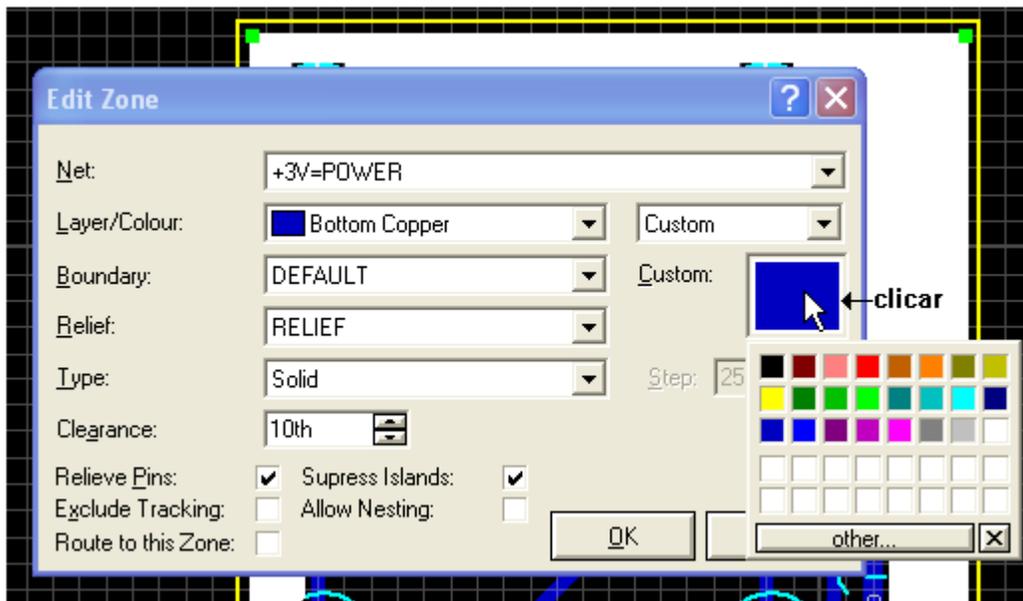
Podemos então customizar ou personalizar a cor do chapado optando pela opção *Custom* na qual é possível selecionar a cor desejada.

A figura a seguir mostra o chapado com a opção *Normal*.



Personalizando a cor da área de chapado:

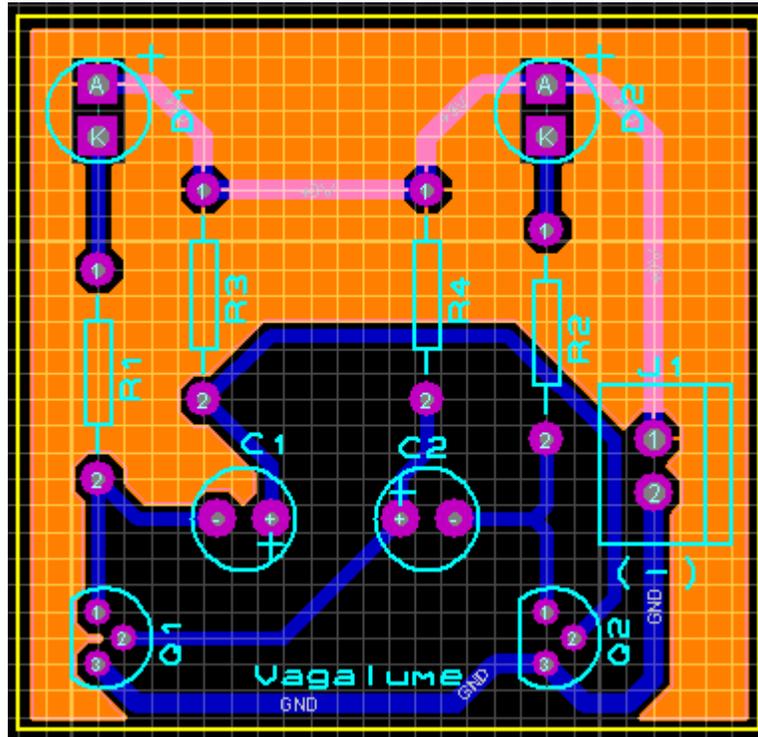
Editar o Zone Mode, conforme procedimentos já vistos.



Clicar na área colorida da opção *Custom* e escolher a cor desejada na paleta de cores.

A título de exemplo, foi escolhida a cor laranja. Clicar OK.

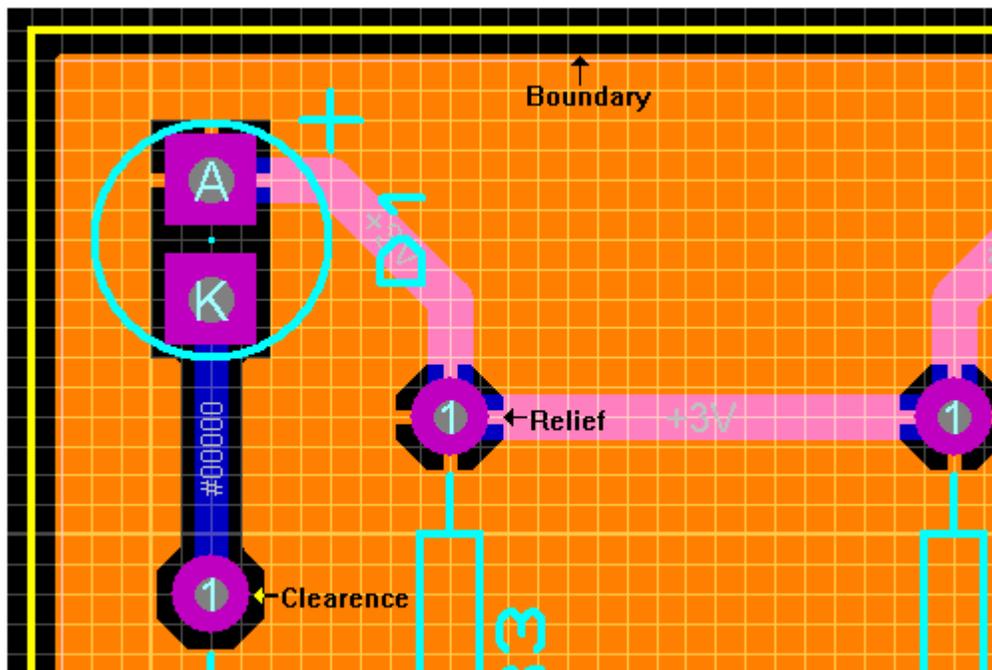
A figura a seguir mostra a área de chapado com a cor selecionada.



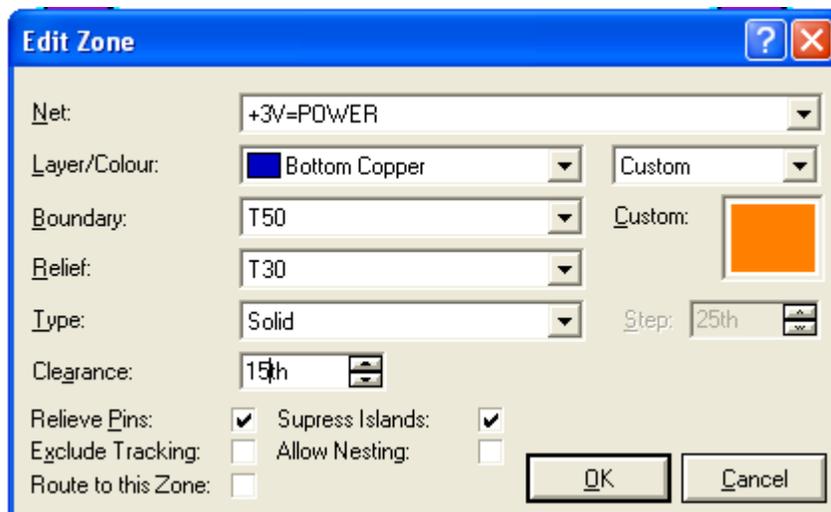
Boundary, Relief e Clearance:

Conforme foi visto as configurações adotadas foram DEFAULT ou padrão do Proteus ARES. Vamos alterar essas configurações e fazer comparações.

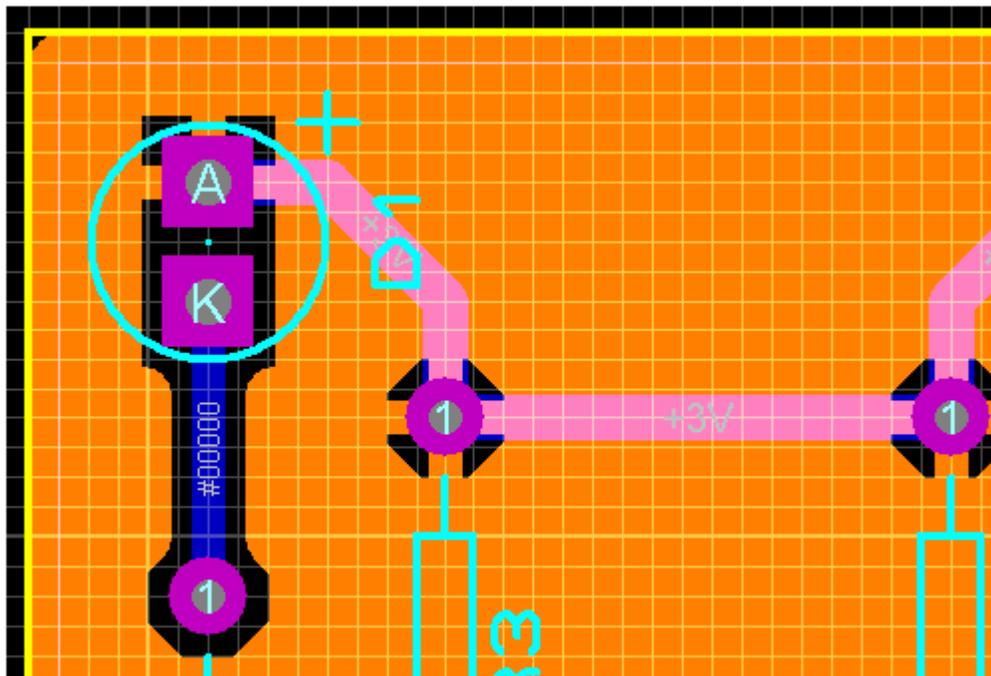
- Boundary = fronteira, limite ou borda*
- Clearance = área de alívio térmico (folga ou área livre)*
- Relief = área de contato elétrico*



Alterando as configurações conforme indica a figura a seguir:



Observe as diferenças entre esses parâmetros com nova configuração, na figura a seguir:



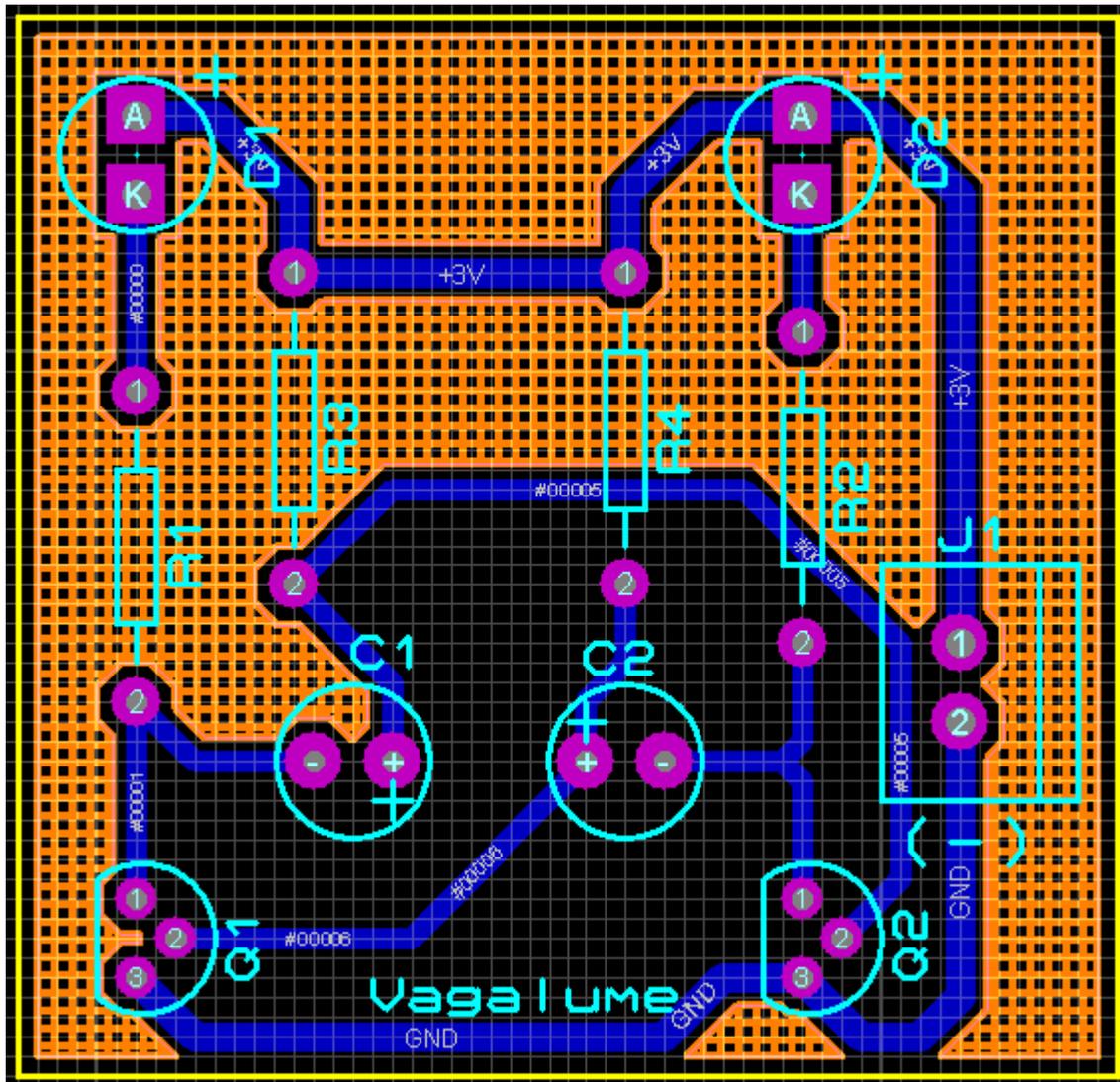
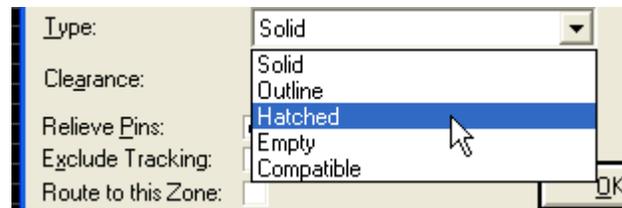
Comparando as duas figuras observa-se:

Boundary – o chapado preenche todo o contorno da placa

Relief – aumentou a área de contato elétrico

Clearance – aumentou a distância entre o chapado e a trilha ou o pino de ligação do componente. Observando os pinos 1 dos resistores R3 e R4, conclui-se que aumentando *Relief* diminui a área de alívio térmico.

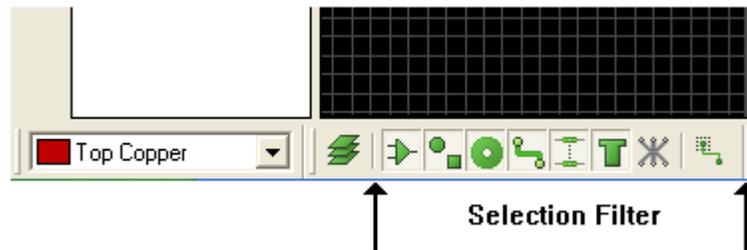
Alterando o campo *Type* de Solid para Hatched:



A partir daí, outras alterações podem ser tentadas no sentido de se obter o resultado desejado. Normalmente os padrões (DEFAULTS) do programa atendem praticamente todas as exigências de um projeto.

SELECTION FILTER – (FILTRO DE SELEÇÃO)

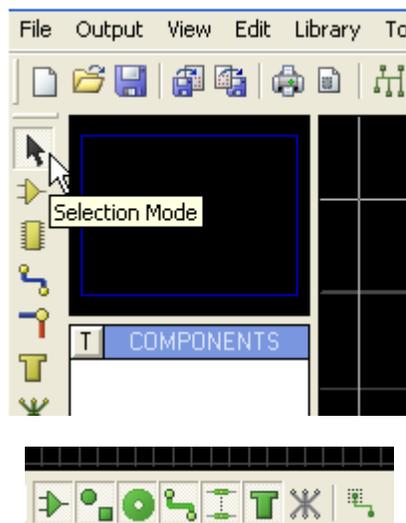
A barra de ferramenta *Selection Filter* é usada para auxiliar na edição, localização ou até mesmo na identificação de qualquer componente em uma placa (layout) de CI.



Identificando os ícones da esquerda para a direita, no intervalo das setas demarcadoras:

- Select Components
- Select Graphics
- Select Pins
- Select Tracks
- Select Vias
- Select Zones
- Select Connections
- Track Selection Mode (Toggle)

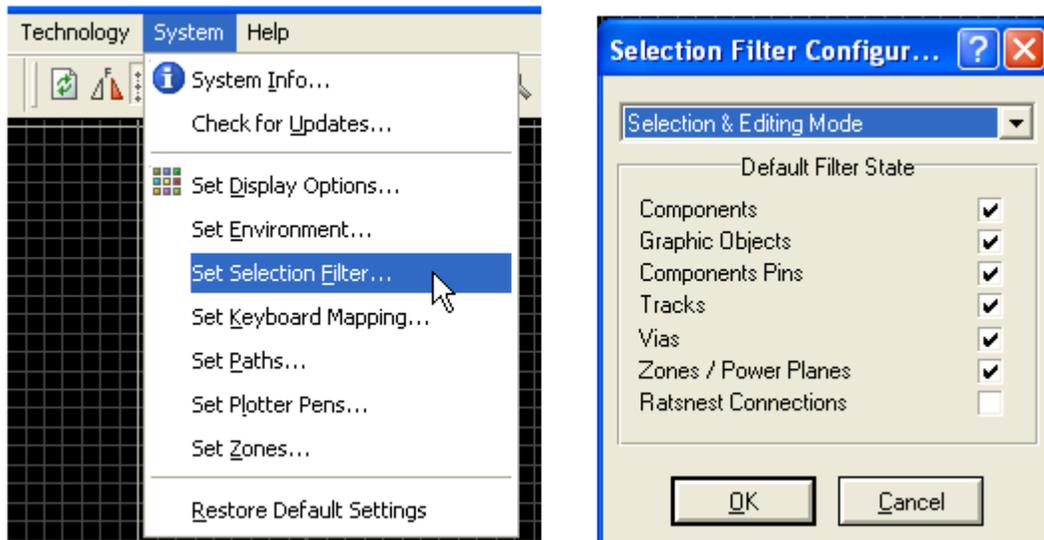
Selecionando o ícone *Selection Mode* na barra de ferramentas de ações, podemos ver que alguns ícones serão habilitados (cor verde) na barra *Selection Filter*.



Com isso na barra *Selection Filter* várias opções estarão disponíveis e será possível editar e obter informações de qualquer componente que esteja habilitado na barra *Selection Filter*.

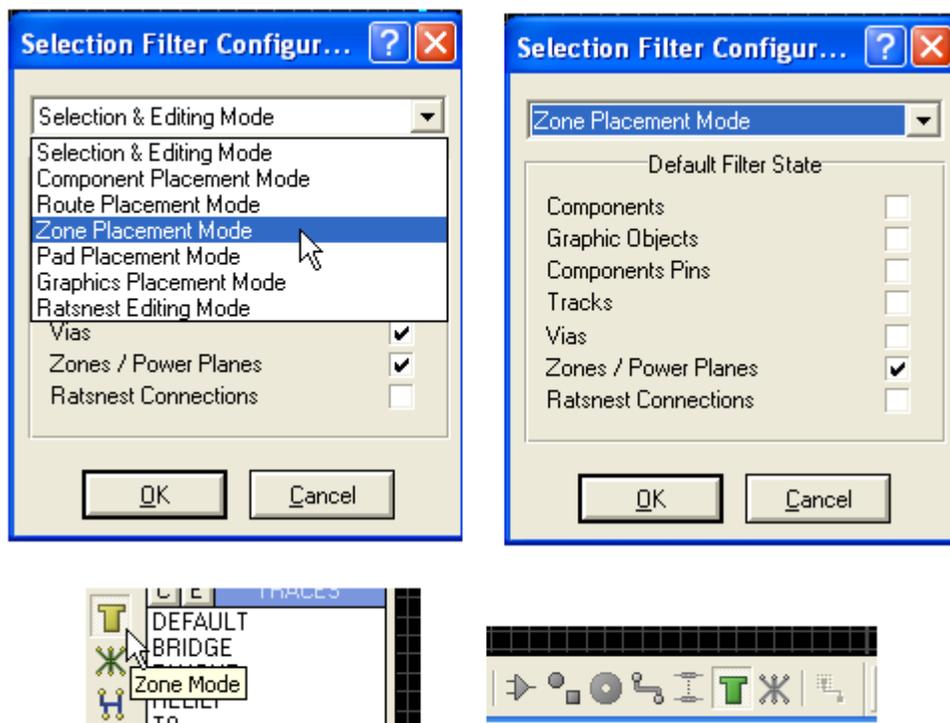
A configuração do filtro poderá ser feita pelo usuário, no entanto, o Proteus ARES já configura como padrão (default) alguns parâmetros de uso comum.

Para verificar essas configurações na barra de menus, em *System* clicar em *Set Selection Filter...*

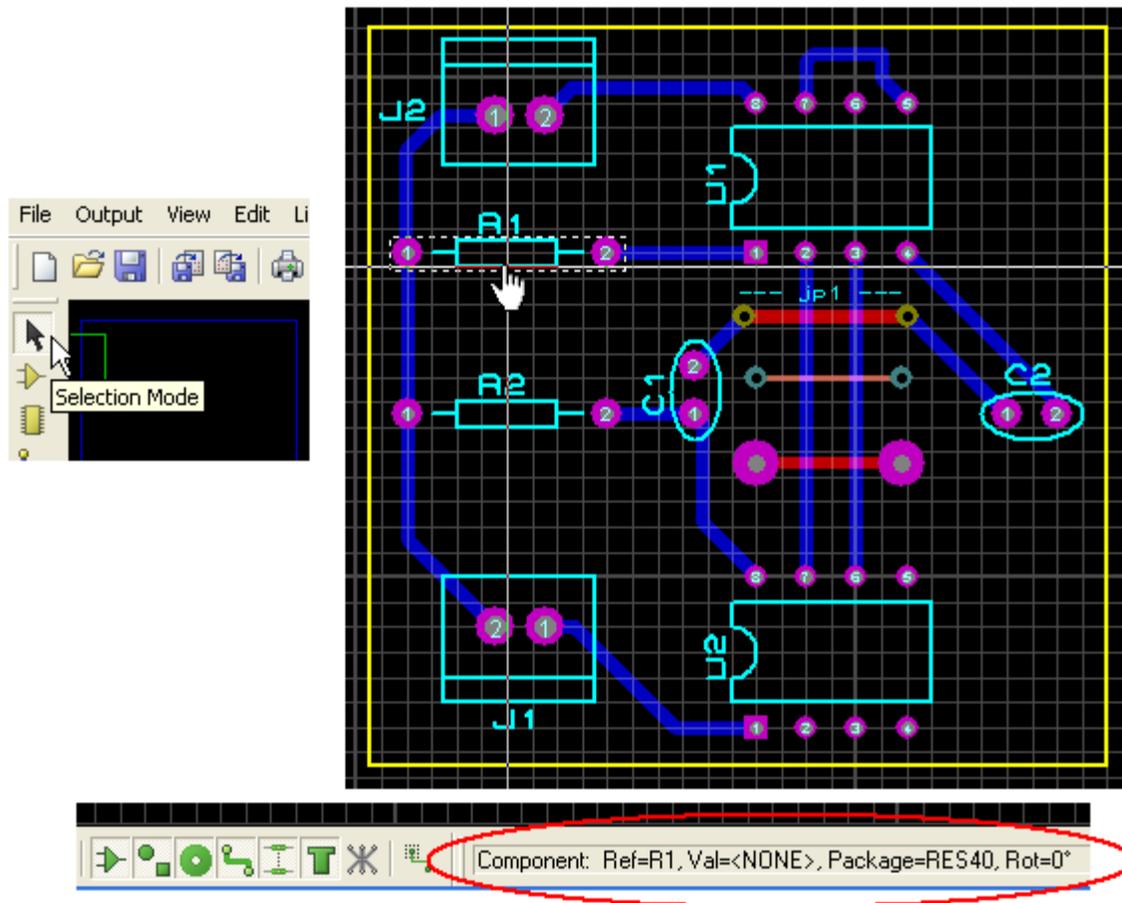


Observa-se que *Ratsnest Connections* está desabilitada.

Existem outras opções a serem configuradas pelo usuário, como por exemplo, a que mostram as figuras a seguir onde em *Zone Placement Mode* apenas uma opção é marcada como default.



Para entender melhor vamos supor que o ícone *Selection Mode* esteja acionado e queiramos, por exemplo, avaliar as características do componente R1 na placa mostrada abaixo.



No círculo vermelho estão as informações do componente R1.

Os ícones ativos ou habilitados estão na cor verde, isto significa que o acesso às informações na placa estão disponíveis.

Ao clicar em cada um dos ícones o mesmo será desabilitado (tornando-se cinza) e qualquer acesso à informação na placa será bloqueado. Clicando novamente sobre o mesmo, torna a habilitá-lo.

Assim, por conveniência a habilitação e a desabilitação de qualquer função poderá ser feita na própria barra *Selection Filter*, sem que isso altere a configuração padrão em SYSTEM.

Para exemplificar melhor ainda e usando como exemplo a placa mostrada acima, vamos supor que queiramos obter informações apenas de algumas trilhas traçadas no layer TOP COPPER (lado do componente).

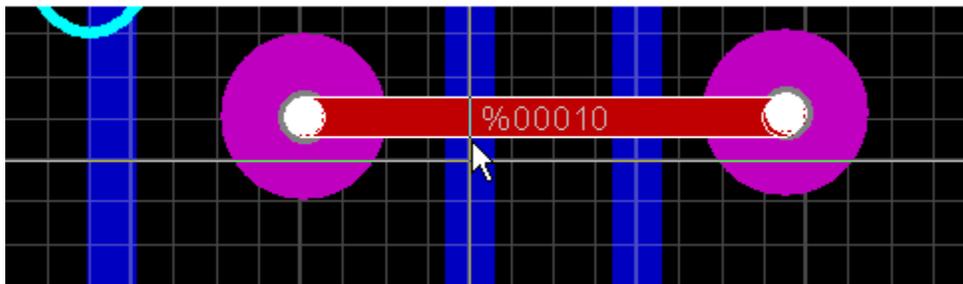
1 – Deixar habilitado apenas o ícone *Select Tracks*

2 - Clicar no ícone *Layer Filter Mode*. Ao clicar nesse ícone, apenas uma camada ou layer será mostrada.



3 – Em *Layer Selector* selecionar o layer ou camada TOP COPPER.

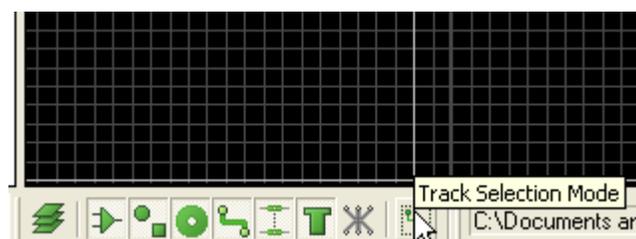
Com este procedimento somente será possível selecionar as trilhas existentes no layer TOP COPPER, a menos que exista alguma VIA que interligue os layers TOP BOTTOM e COPPER BOTTOM.



Conclui-se então que a barra de ferramentas *Selection Filter* pode ser muito útil quando em uma placa com muitos componentes deseja-se pesquisar alguns componentes específicos.

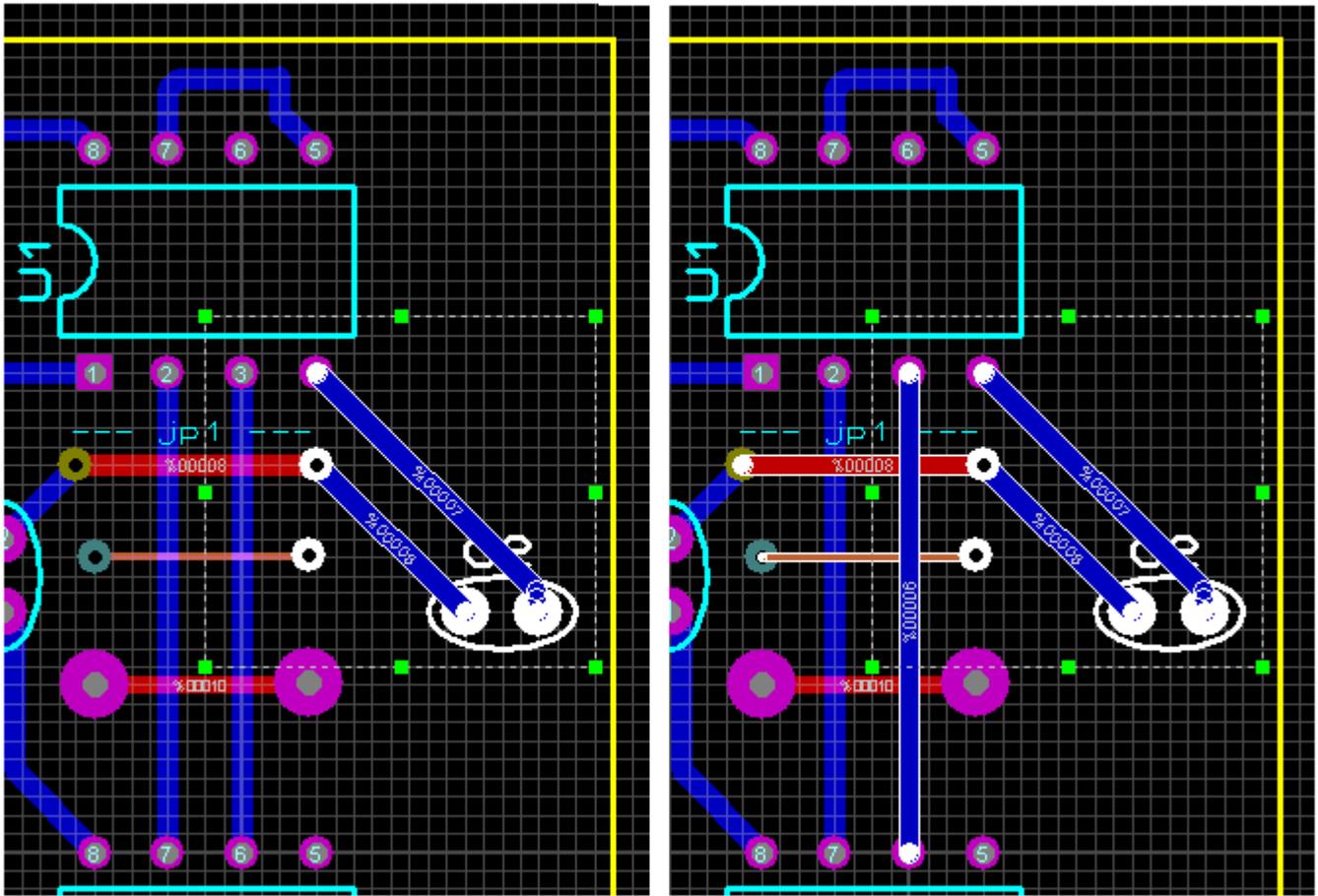
Resumindo: somente será possível selecionar o componente cujo ícone correspondente estiver habilitado em *Selection Filter*.

Outro recurso bastante interessante é o ícone *Track Selection Mode*, que opera em *Toggle*, ou seja, comutação ou alternância.



É uma ferramenta que funciona com o ícone *Selection Mode* ativo, ou seja, ao selecionar uma determinada área com trilhas na placa, pode-se visualizar as trilhas delimitadas pela área de seleção ou a extensão total dessa trilha, em outras palavras, onde começa e termina a ligação mesmo fora da área de seleção.

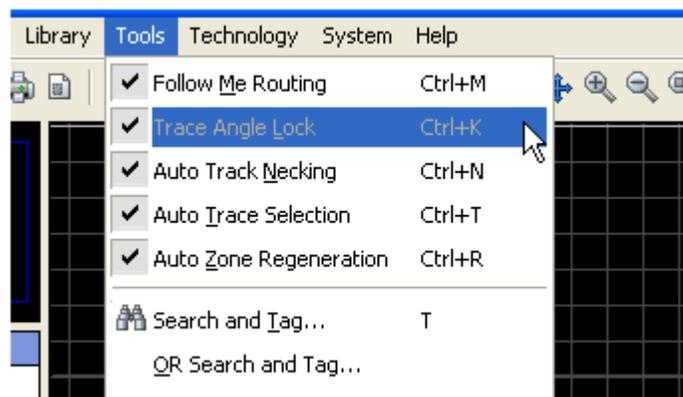
Nas figuras a seguir, à esquerda temos a delimitação das trilhas pela área de seleção e à direita o comprimento total das mesmas fora da área, clicando nesse ícone.



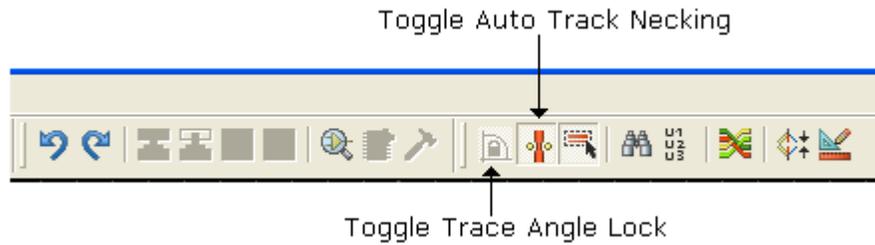
Trata-se de uma ferramenta que permite verificar as trilhas de qualquer layer, ou seja, não é necessária a seleção de um layer específico.

Trace Angle Lock, Auto Track Necking

Essas ferramentas vem habilitadas como Default, podendo ser desabilitadas no menu Tools.

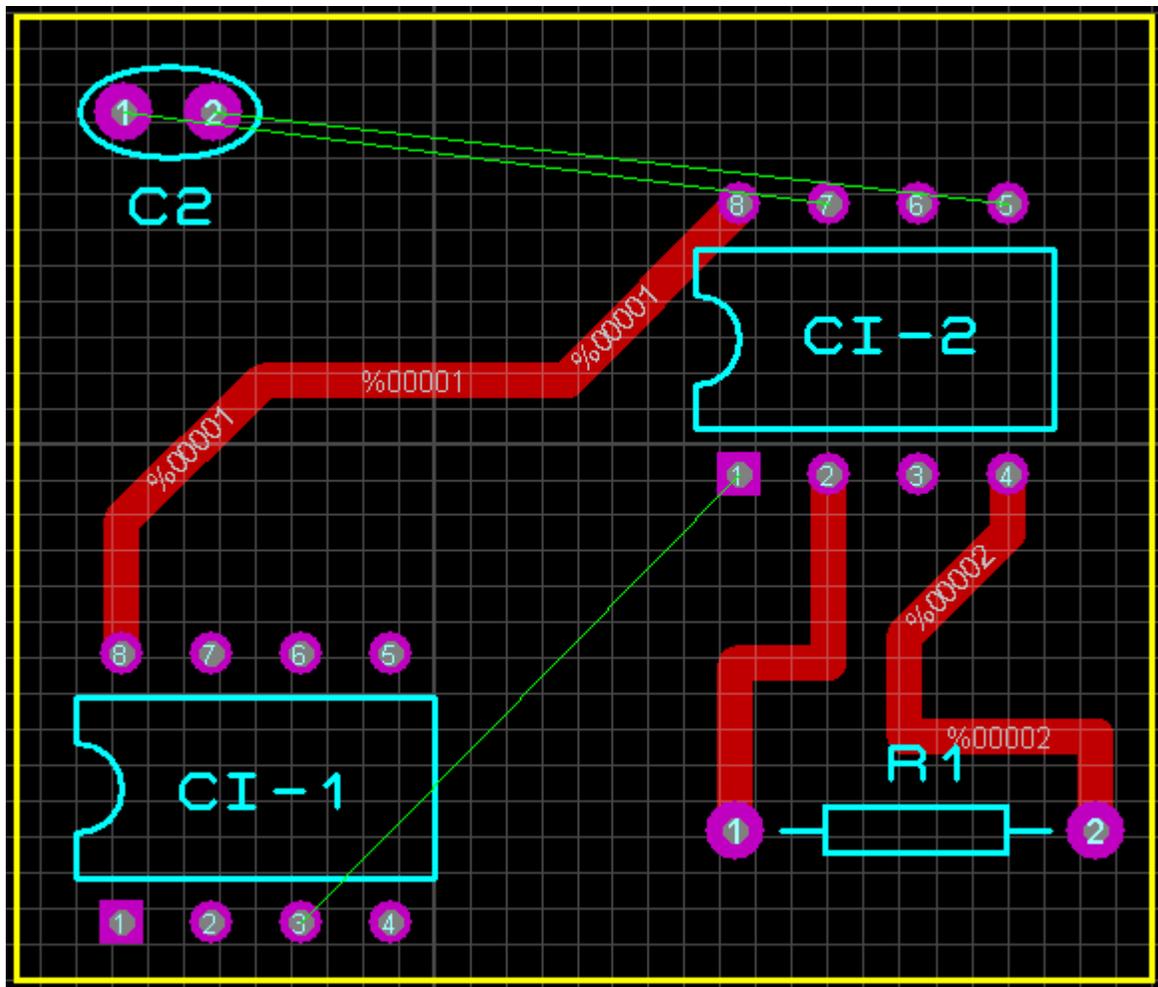


Ao clicar nos ícones correspondentes na barra de menus podemos desabilitar ou habilitar (Toggle ou alternância).



Trace Angle Lock:

Quando ativado trava o ângulo das trilhas em 45° e 90°, que é uma das formas mais utilizadas para roteamento de uma placa de CI.



Observa-se na figura acima que é possível combinar os ângulos ou simplesmente traçar uma trilha interligando dois pontos (nets) em 45°.

As trilhas foram traçadas manualmente no layer TOP COPPER com uma largura de 40th (T40).

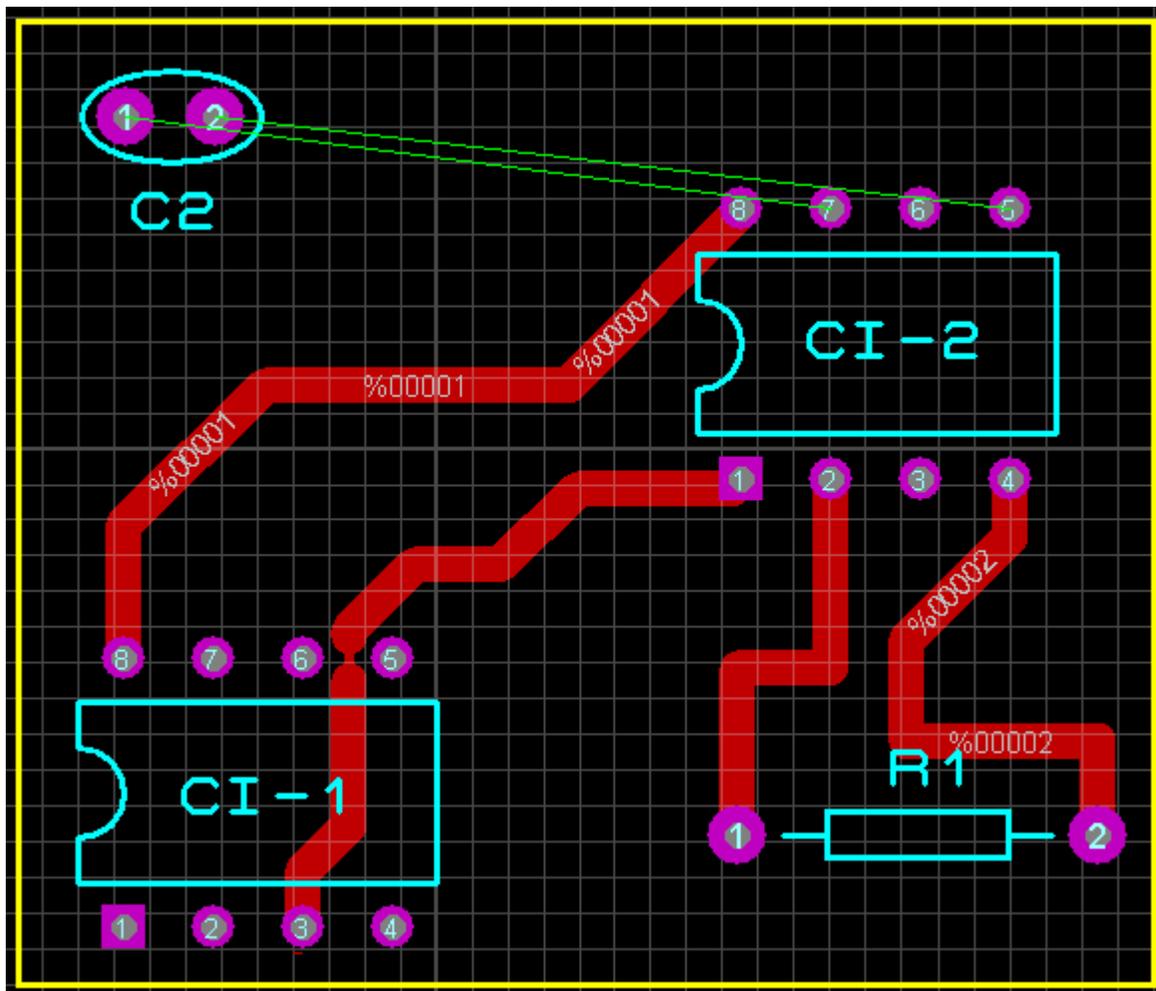
Auto Track Necking:

Esta é uma função muito interessante, pois provoca um estreitamento de trilhas quando esta passa por dois PADS, ou mesmo entre duas trilhas.

O padrão DEFAULT para esse estreitamento é de 10th (T10).

A figura a seguir mostra trilha traçada entre os pinos 1 e 3 do CI-2 e CI-1 respectivamente, com largura T40 no layer TOP COPPER.

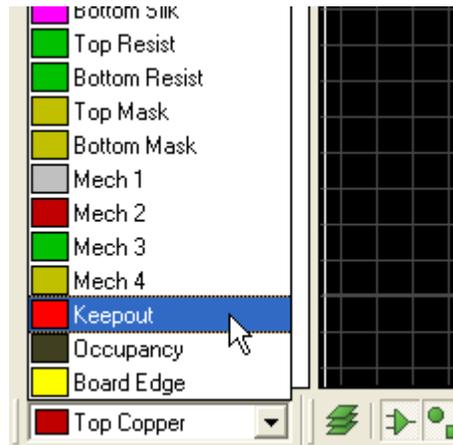
Para demonstrar como opera essa ferramenta, foi forçado um roteamento manual passando entre os pinos 5 e 6 do CI-1.



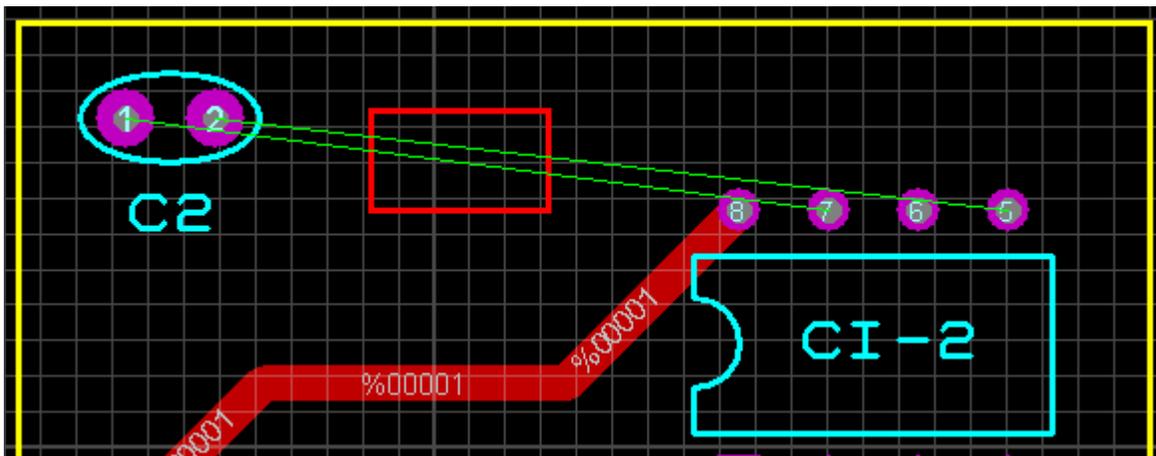
Layer Keepout

Esse layer tem uma utilização muito importante, quando desejamos que trilhas de roteamento não passem em um determinado local, que foi reservado para furações, rasgos, etc. destinado à fixação mecânica de algum componente.

Keepout pode ser então considerada uma área proibida para as trilhas.

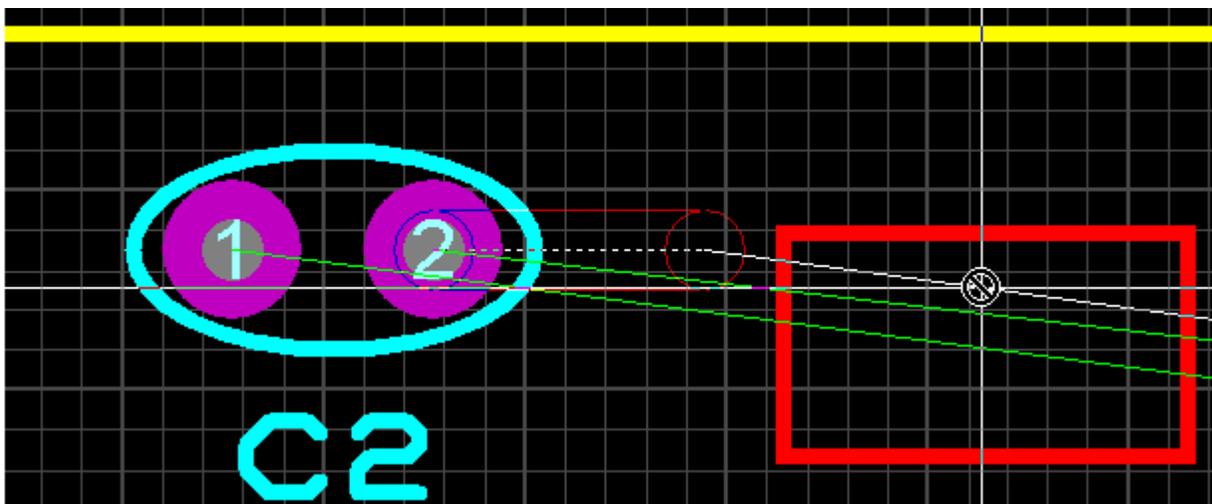


A figura a seguir mostra uma área *Keepout* para impedir a passagem de trilhas.

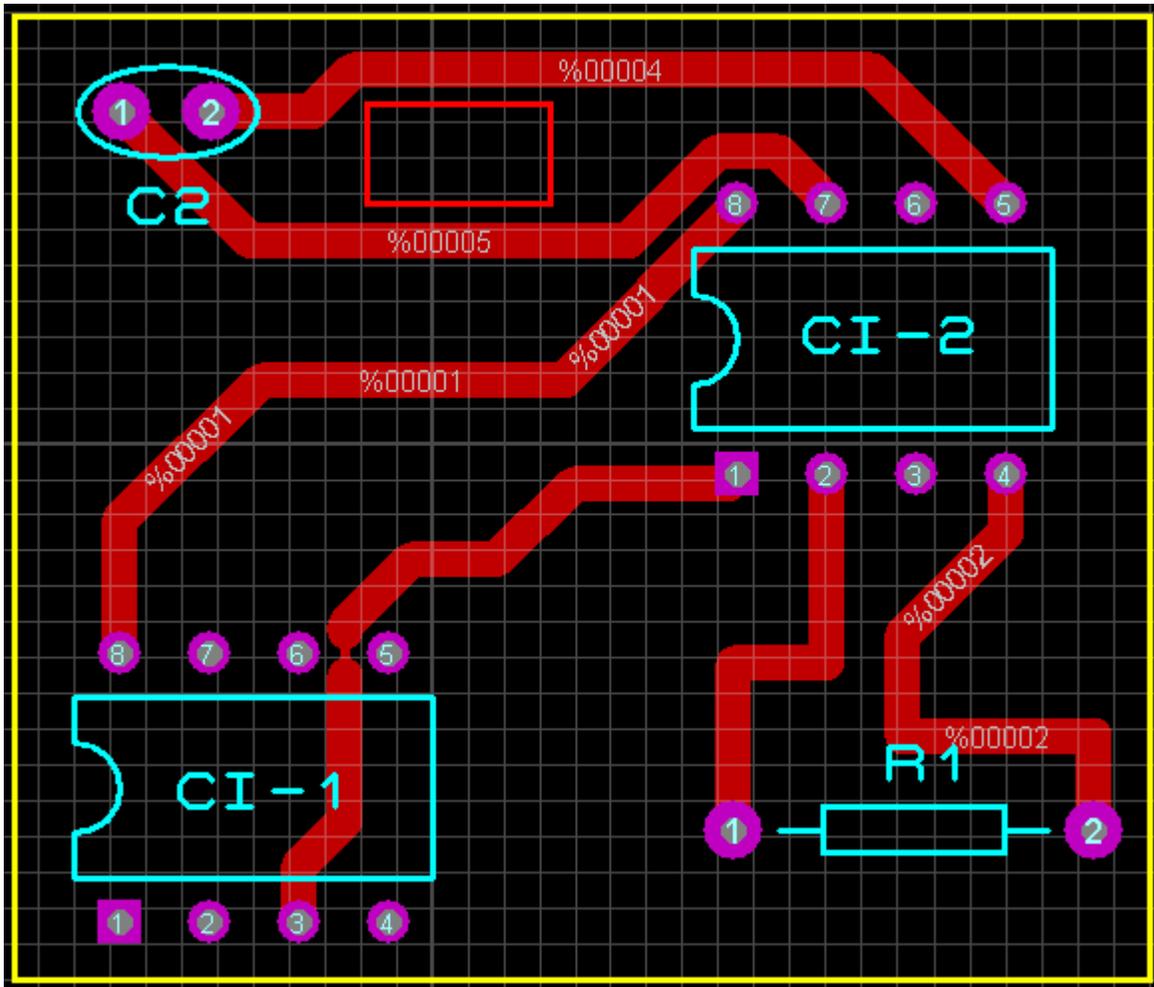


Para traçar essa área clicar no ícone *2D Graphics Box Mode* com o layer *Keepout* selecionado.

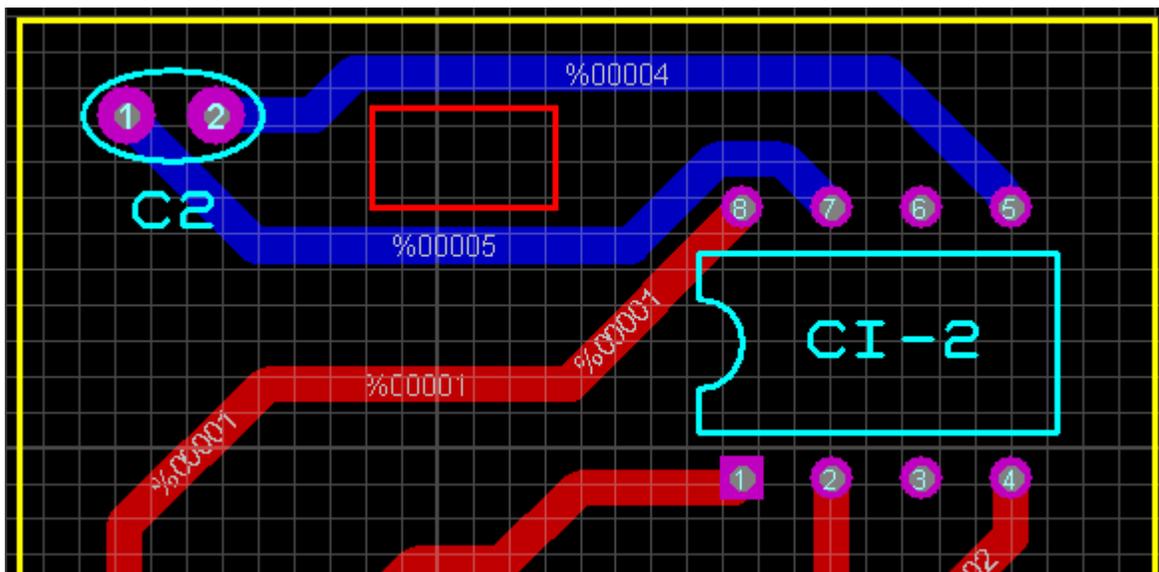
A figura a seguir mostra a tentativa de traçar uma trilha do pino 2 de C2 ao pino 5 de CI-2, com trilha de largura T40, passando através dessa área. O cursor se transforma em um sinal de PROIBIDO não dando continuidade ao tracejado.



A figura a seguir mostra roteamento completado, onde se observa que as trilhas são forçadas a contornar a área delimitada pelo layer Keepout.



A mesma coisa é válida para o layer COPPER BOTTOM.

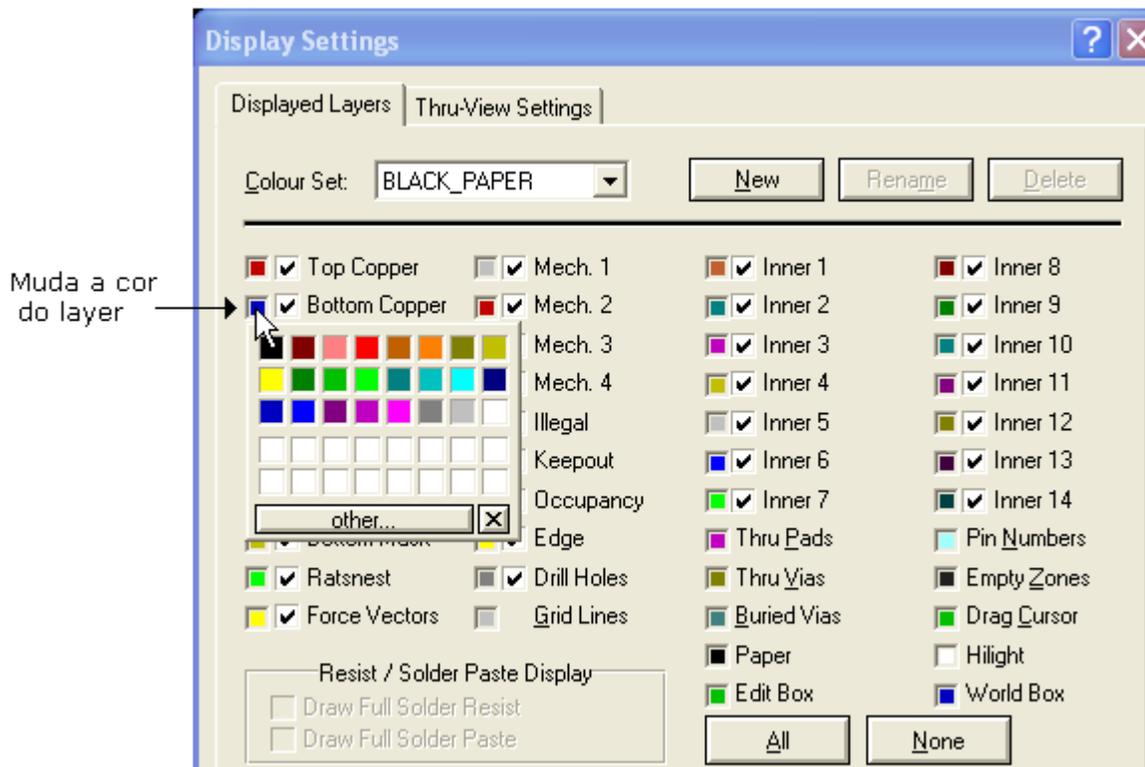


Edit Layer Colours/Visibility – Gerber Viewer

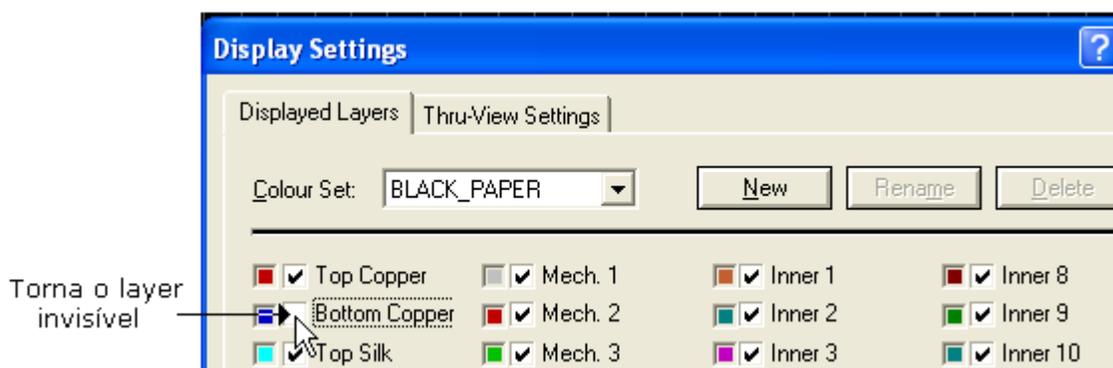
Essa opção permite a configuração e edição dos layers do Proteus ARES, permitindo a personalização de suas cores bem como habilitar ou não a sua visibilidade em um projeto.



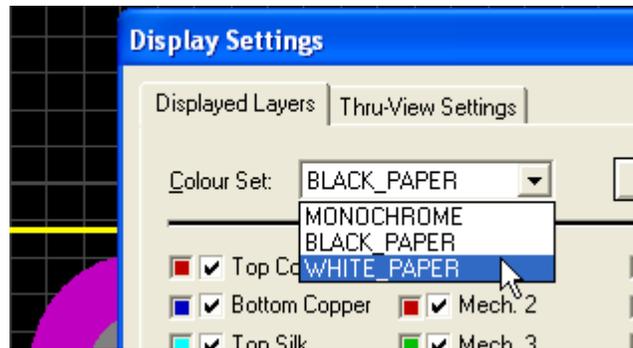
Clicando na cor, surge uma paleta de cores na qual é possível mudar a cor do layer, conforme ilustra a figura a seguir.



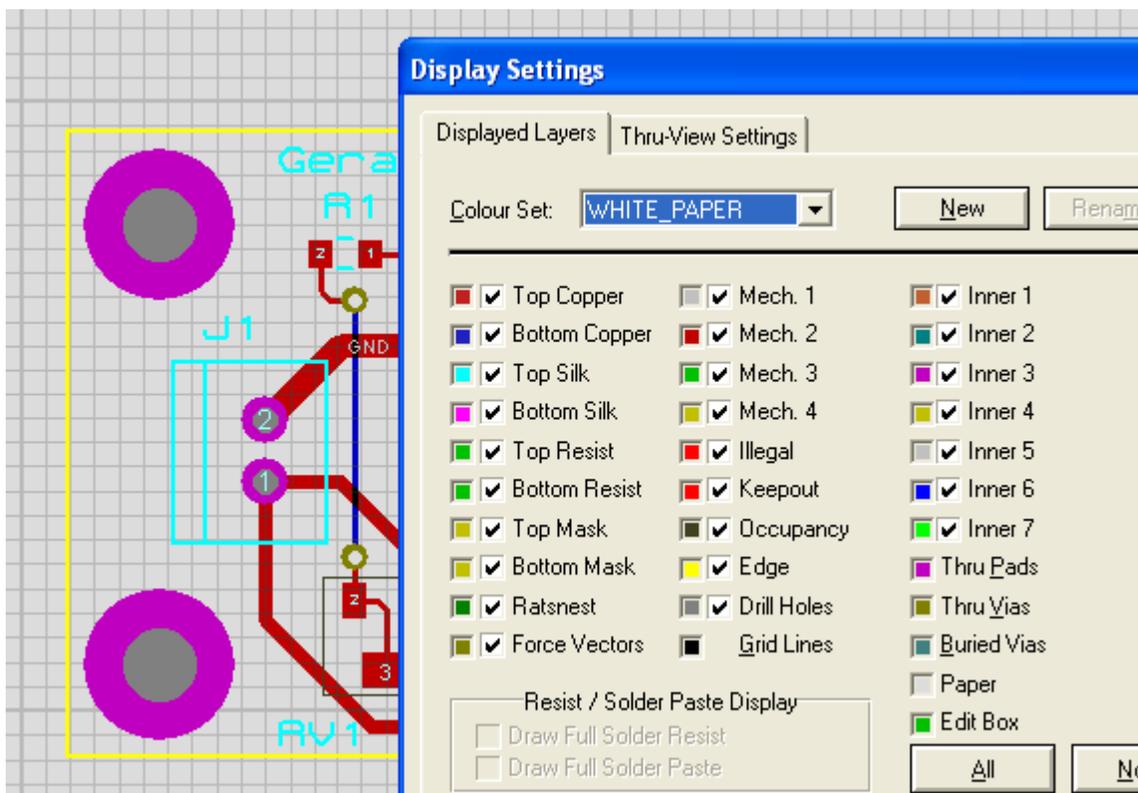
Desmarcando o quadrado correspondente ao layer, o mesmo se tornará invisível.



É possível personalizar também a cor de fundo da área de trabalho, por padrão BLACK_PAPER.



A figura a seguir mostra a área de trabalho configurada para WHITE_PAPER.



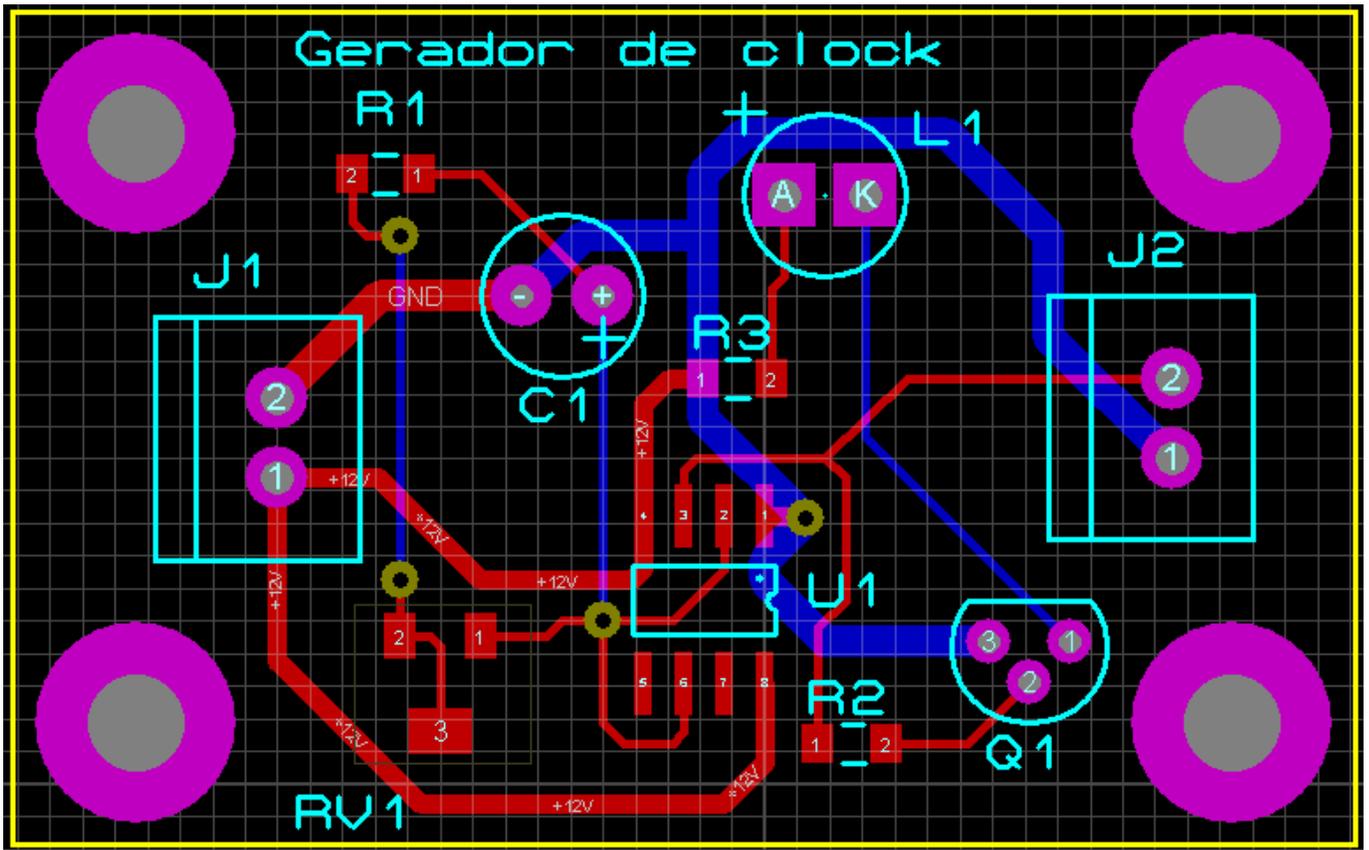
Ao se clicar no botão None, nenhum layer será visível e assim sendo a visibilidade do mesmo poderá ser seleccionada individualmente com exceção dos layers:

Top Resist e Bottom Resist: para componentes discretos (máscara de solda)

Top Mask e Bottom Mask: para componentes SMD (máscara de solda)

A visualização desses layers será possível no Gerber Viewer (visualizador Gerber) ou no Preview de impressão em Print Layout.

Para melhor elucidar, vamos tomar como o exemplo o projeto *LO_gclock.LYT* visto anteriormente.

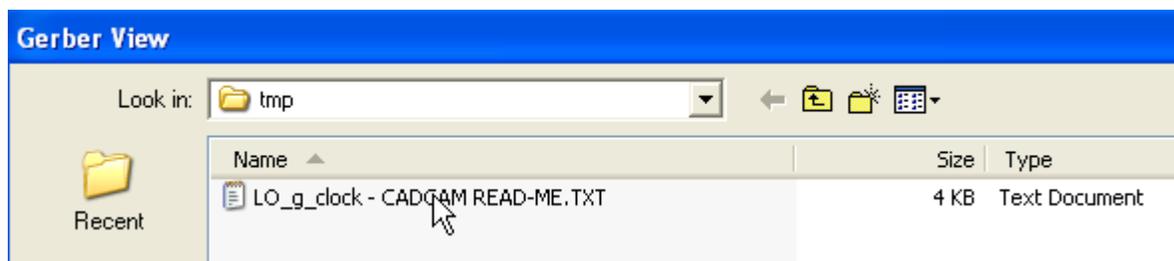


Nesse projeto foram gerados os arquivos GERBER . Trata-se de uma placa de CI com os layers TOP COPPER e BOTTOM COPPER.

- 1) clicar no ícone correspondente – **Gerber Viewer**



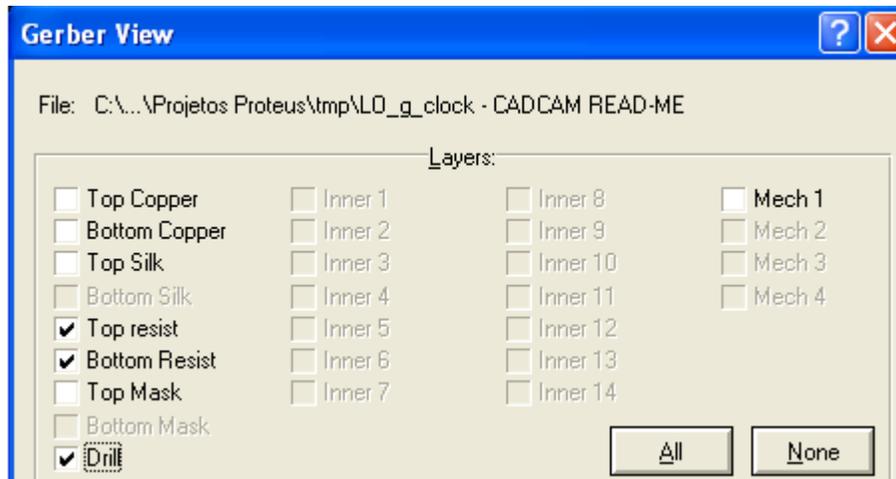
- 2) selecionar o arquivo gerado anteriormente



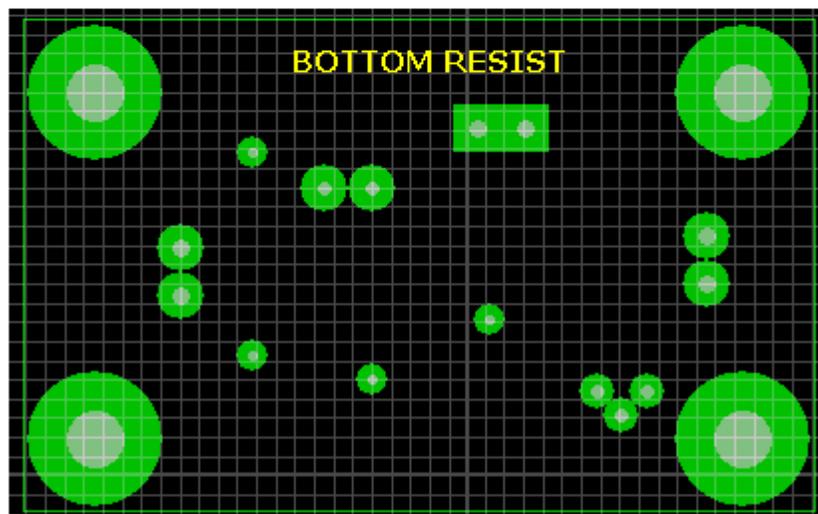
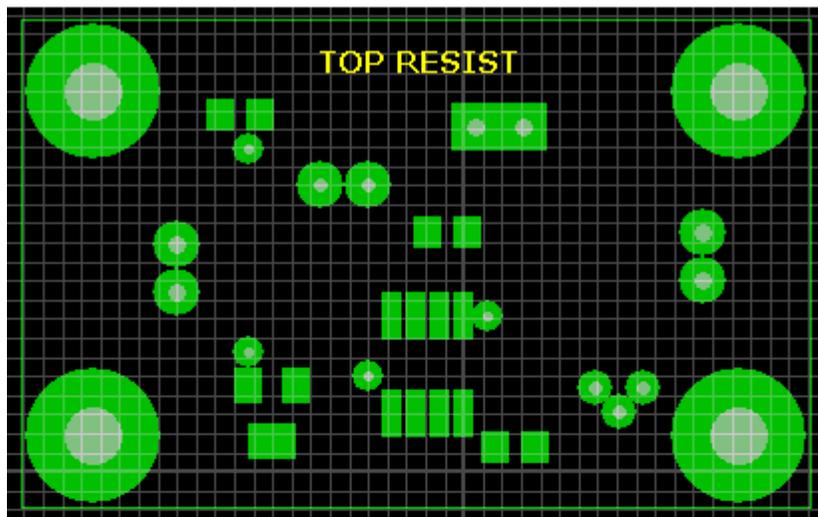
No caso o arquivo gerado foi compactado com ZIP e para visualizá-lo o mesmo foi descompactado em uma pasta "tmp".

Normalmente esses arquivos são enviados para a produção, compactados.

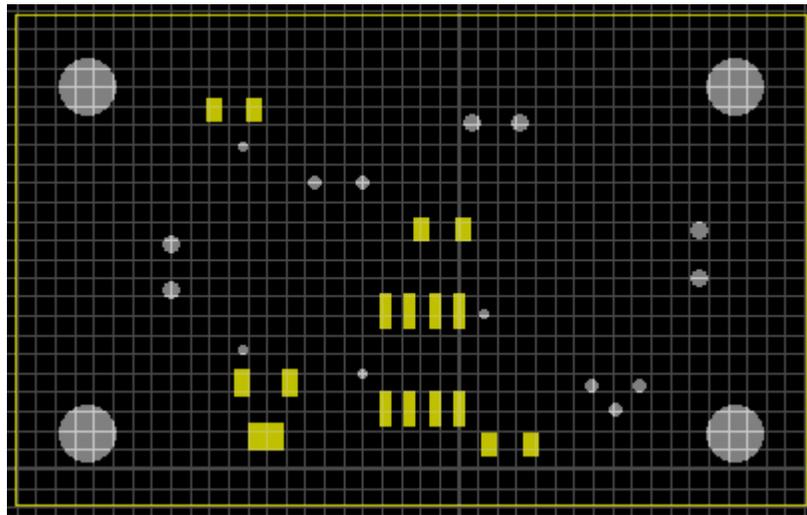
3) selecionar as opções Top Resist e Bottom Resist, para os componentes convencionais.



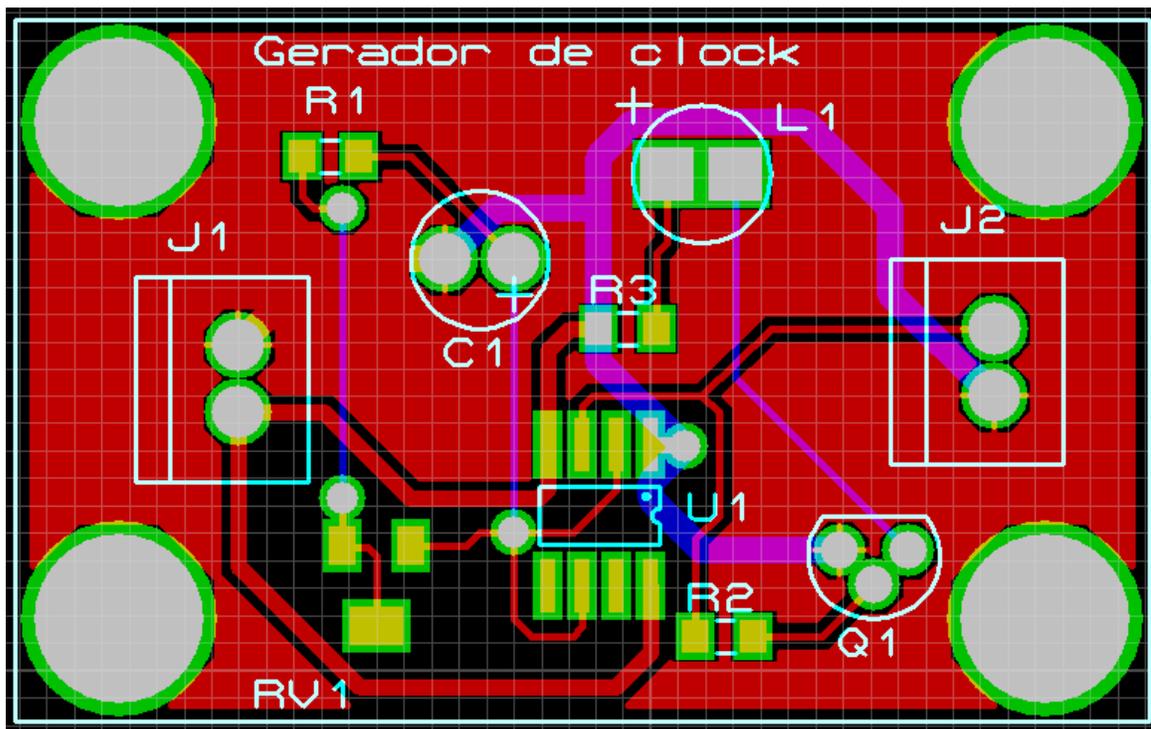
As figuras a seguir mostram os layers selecionados separadamente, podendo ser usados para máscara de solda.



A figura a seguir mostra a máscara de solda para os componentes SMD, ou seja, na cor amarela, os PADS para os *packages* SMD.

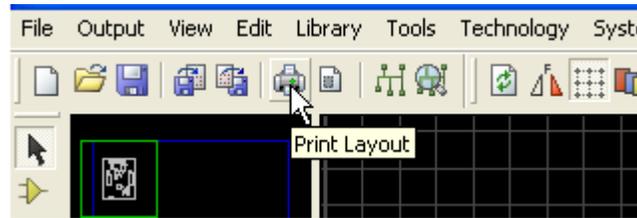


Para finalizar, na figura a seguir a visualização de todos os layers pelo GERBER VIEWER.

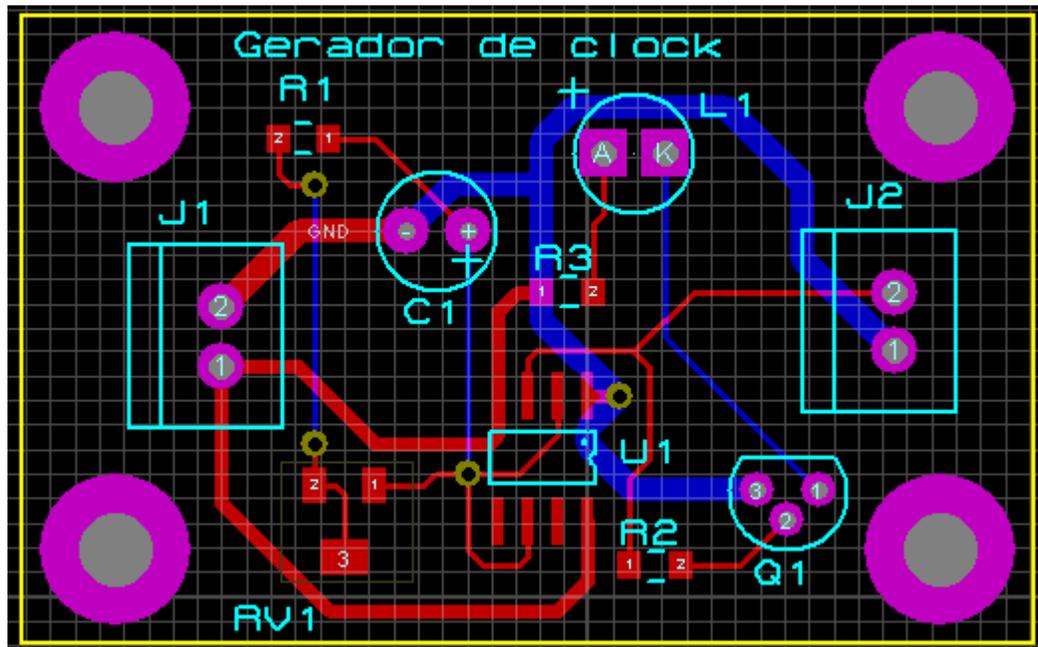


Print Layout

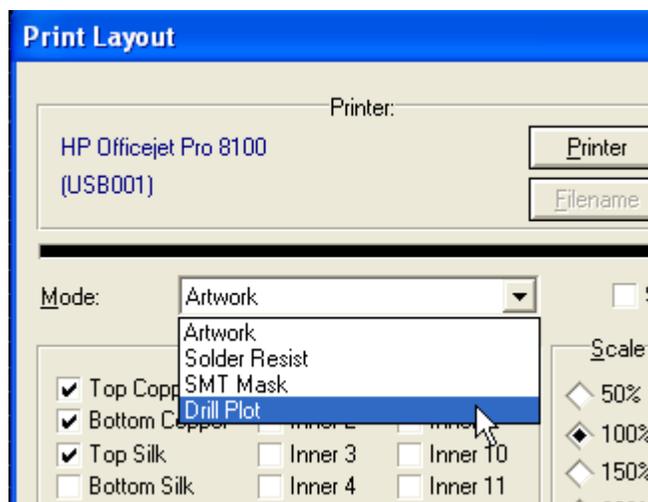
Embora visto anteriormente, neste capítulo vamos explorar mais alguns recursos e suas configurações.



Vamos tomar como exemplo o projeto finalizado do gerador de clock.

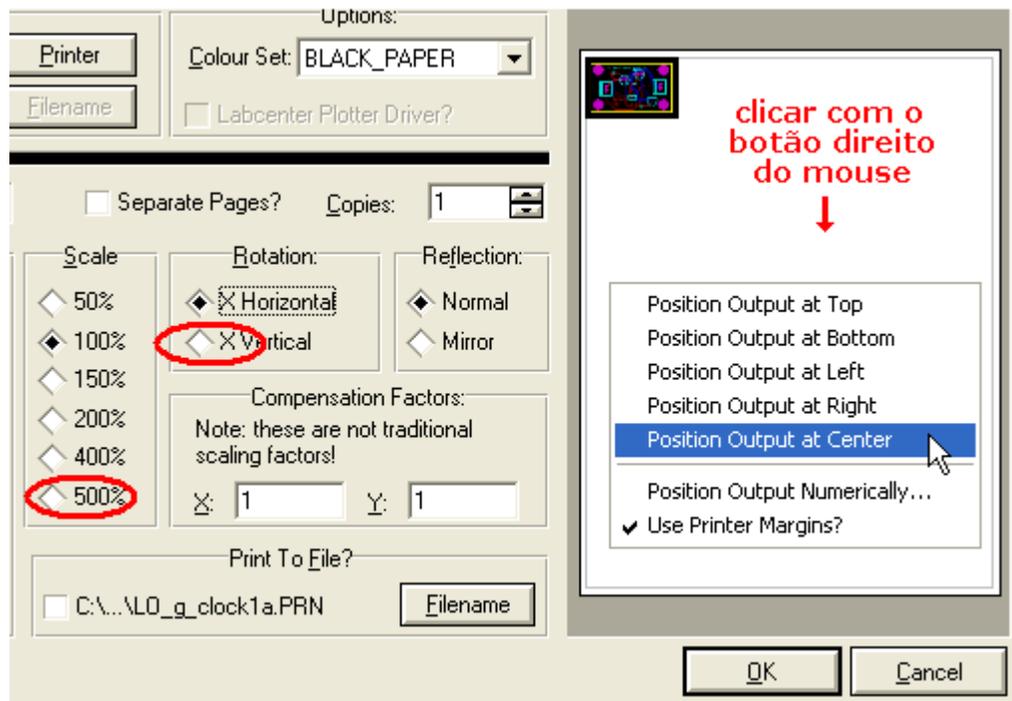


As opções de impressão são:

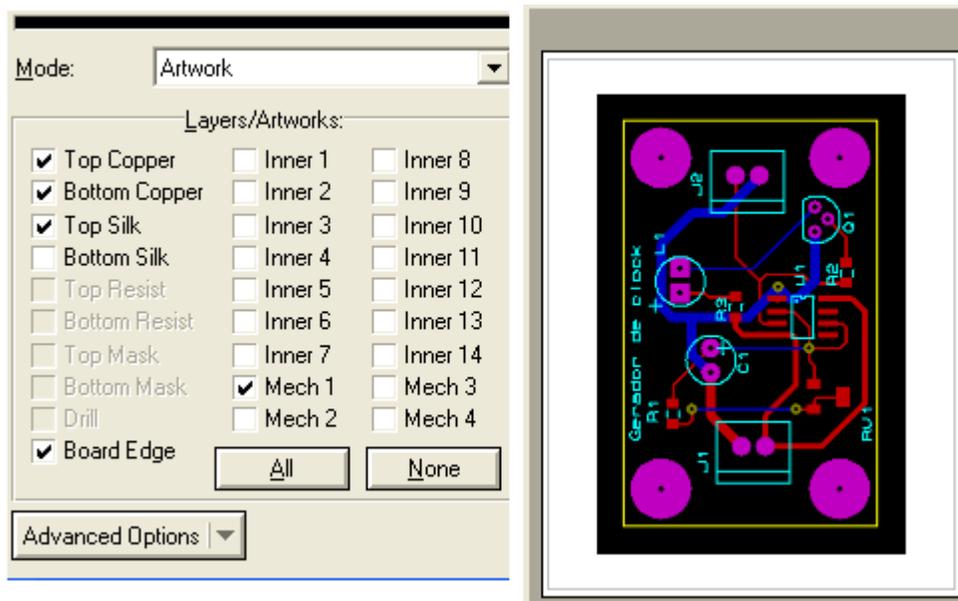


Artwork – Arte final
Solder Resist – Lado da solda
SMT Mask – Para SMD
Drill Plot – Furação

Apenas para a visualização vamos posicionar o layout no centro da área de visualização da impressora, com escala de 500% (essa escala pode ser ajustada para uma visualização conveniente) e rotação no sentido vertical (X), conforme indica a figura a seguir.



Em *Artwork Mode* temos os layers marcados disponíveis para impressão.

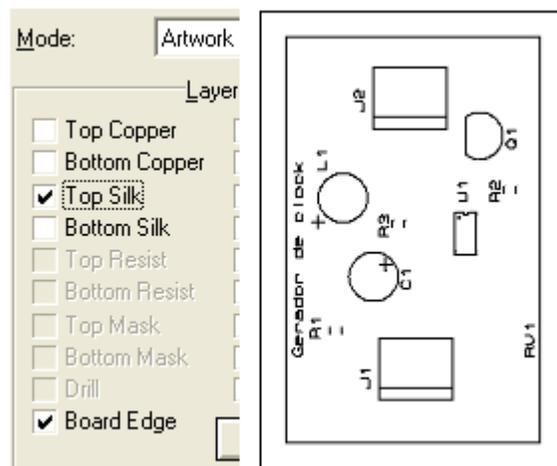


Com relação ao Artwork Mode (arte final), poderão ser impressos cada um dos layer separadamente ou todos juntos.

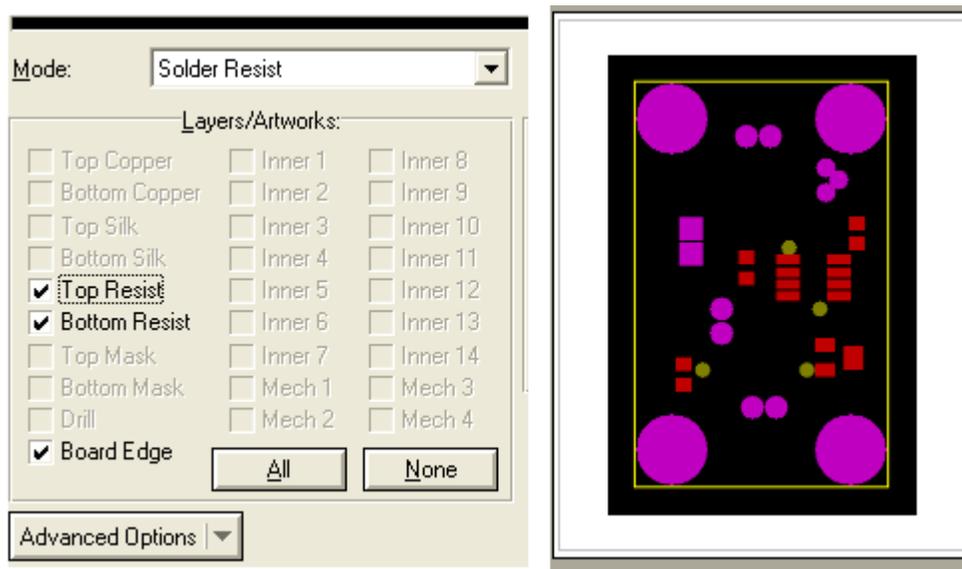
É bom lembrar ainda que a impressão na escala 100% é o tamanho real (1:1).

A figura a seguir mostra Artwork Mode em MONOCHROME apenas com os layers Top Silk e Board Edge habilitados.

O layer Top Silk é usado para serigrafia, ou seja, imprimir os *packages* dos componentes para orientar a sua inserção manual ou mesmo, para tornar o projeto mais estético.

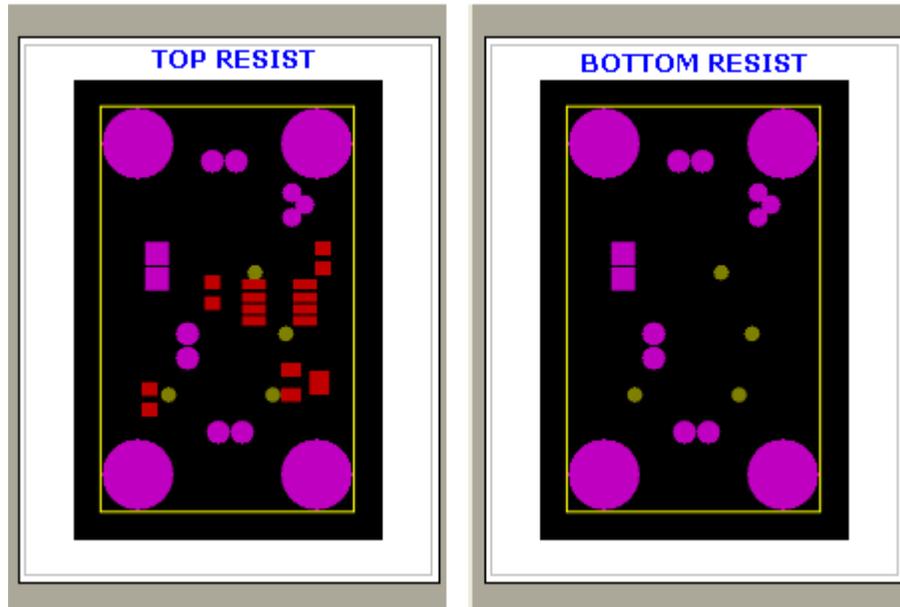


Em *Solder Resist Mode*, temos marcados os layers disponíveis para a impressão.

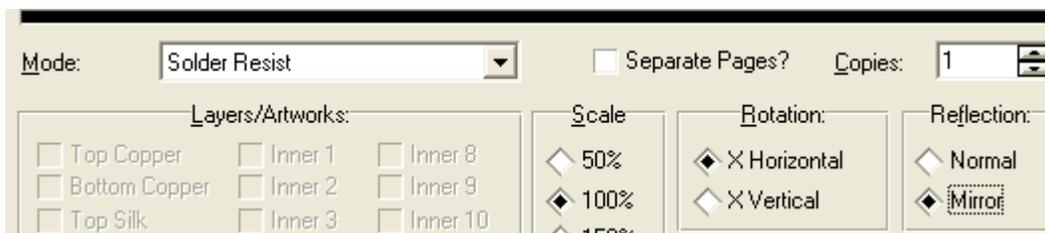


Ao selecionar apenas o layer Bottom Resist, é possível então imprimir a máscara de solda para os componentes discretos.

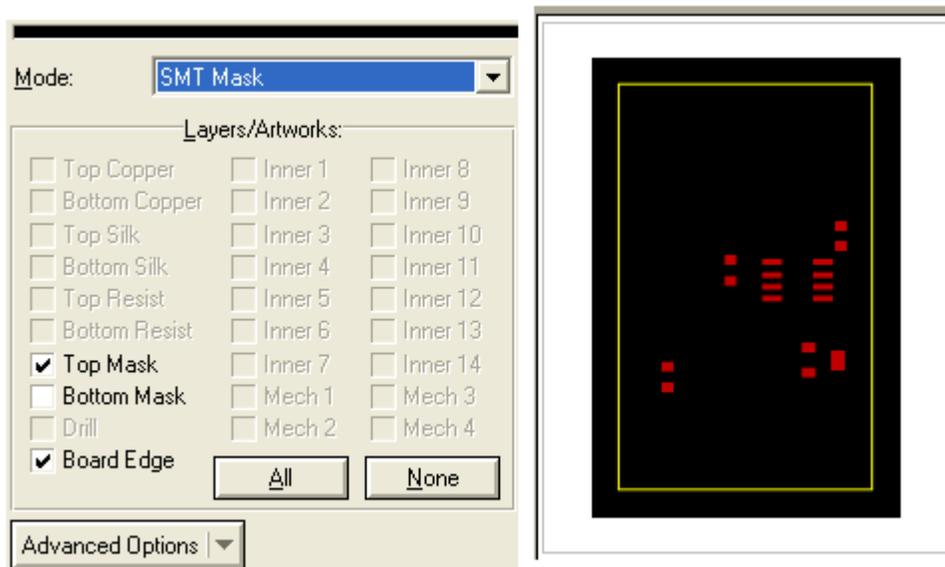
A figura a seguir mostra esses layers separados.



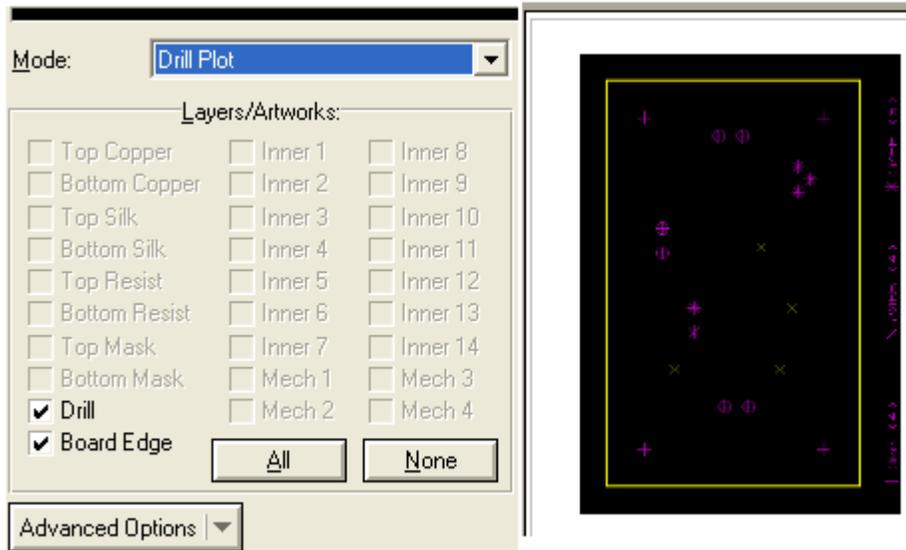
Se a impressão for utilizada para elaborar uma tela para serigrafia, quando se trata do lado dos componentes, deve-se ter o cuidado para fazer o espelhamento da impressão, e neste caso, deve ser seleccionada a opção MIRROR.



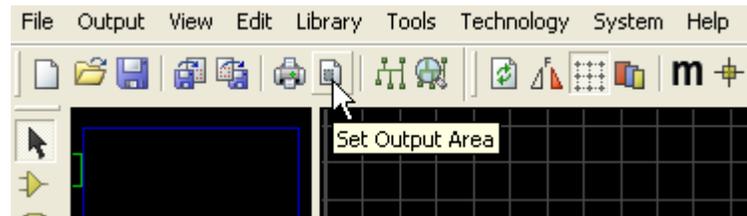
A figura a seguir mostra o layer Top Mask seleccionado.



Em Drill Plot Mode, apenas o layer Drill é seleccionado.

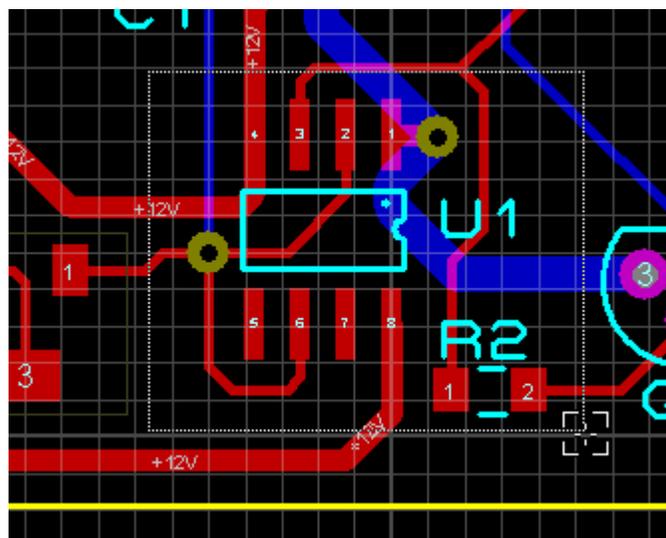


Set Output Area

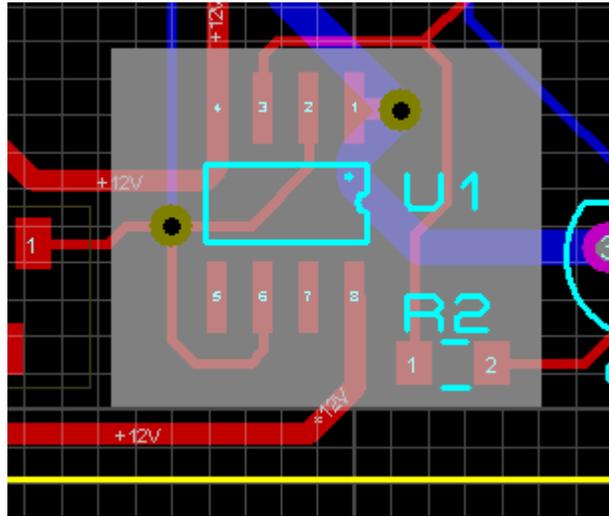


Trata-se de um recurso que permite imprimir uma determinada área de um layout.

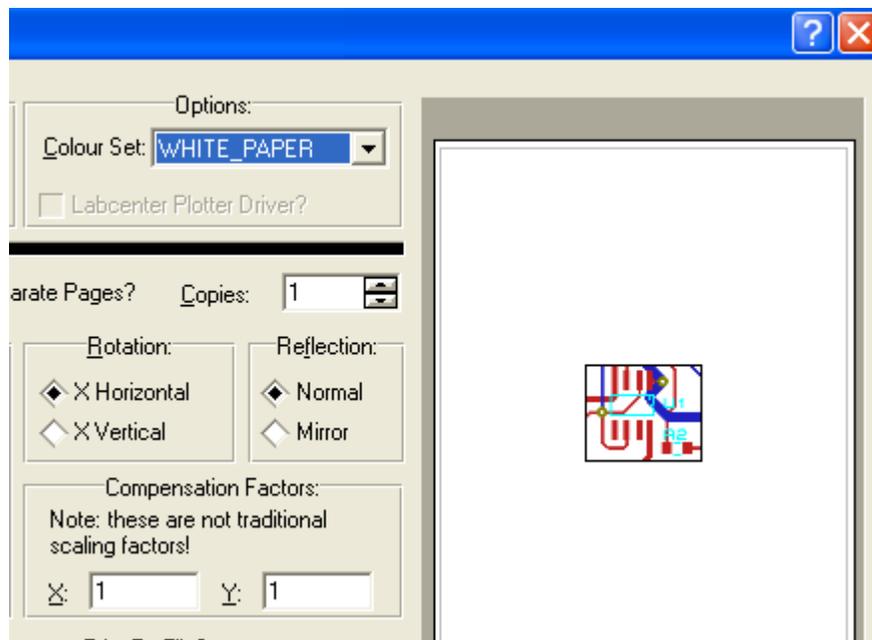
A figura a seguir mostra a seleção de uma área a ser impressa.



Para selecionar a área clicar no ícone Set Output Area e com o botão esquerdo do mouse delimitar a área desejada e clicar novamente. A seleção da área deve ser feita com o botão esquerdo do mouse pressionado.



A figura a seguir mostra a área selecionada para a impressão.



Para eliminar a área selecionada, clicar novamente no ícone *Set Output Area*, levar o cursor para a área selecionada e clicar.

Outra opção é clicar no ícone *Set Output Area* e teclar ESC.

CRIAÇÃO DE UMA CHAVE DE TOQUE "TACTILE"

Vamos supor que você queira acrescentar em seu esquema, em especial no layout da placa de CI, o PCB Package de um componente que não exista da biblioteca do Proteus ARES.

Então temos que criar esse package e integrá-lo também ao Proteus ISIS, encontrando um símbolo eletrônico para o mesmo.

Tomemos como exemplo uma chave de pressão "Tactile Switch", do tipo muito usada em joysticks. A primeira informação que temos que obter é em relação as suas dimensões e para isso, nada melhor do que consultar o data-sheet do fabricante.

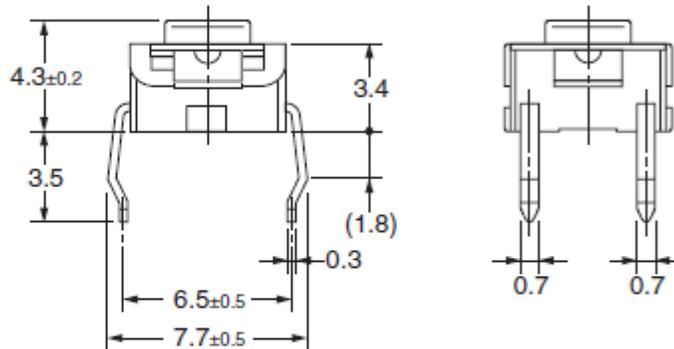
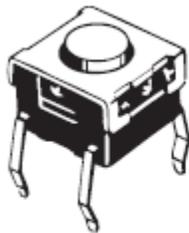
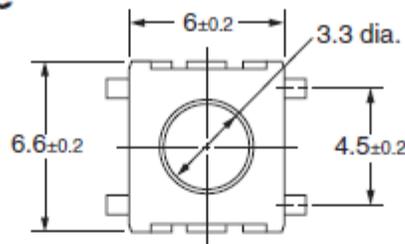
Supondo que dispomos da chave mostrada na figura a seguir.



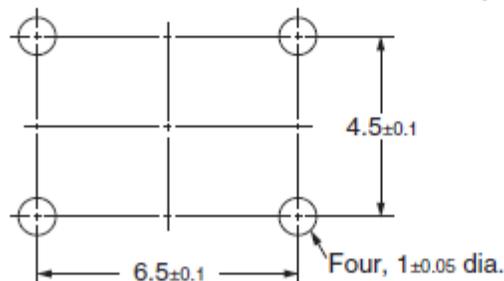
Dispomos de um data-sheet dessa chave com o código B3W fabricado pela OMRON Technologies. As figuras a seguir mostram as suas medidas.

**Flat Plunger Type
(without Ground Terminal)**

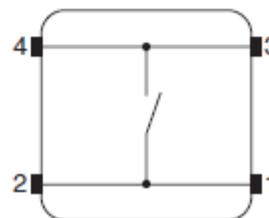
**B3W-1000
B3W-1002**



**PCB Mounting (Top View)
(Single-sided PCB, t=1.6)**



**Terminal Arrangement
/Internal Connections
(Top View)**

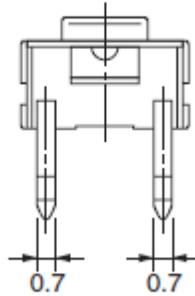


Para a criação do package (ARES) e dispositivo (ISIS), nos interessam:

PCB Mounting, que mostra a distância dos furos e seu diâmetro para a inserção do componente.

Precisaremos então de 4 PADS com distâncias equivalentes de 4,5 e 6,5mm com furos de no mínimo 0,7mm de diâmetro. Por padrão (muito mais em função de diâmetro de brocas existentes no mercado) furos de 1mm atendem as exigências.

A figura a seguir mostra o diâmetro mínimo dos furos em milímetros.



Terminal Arrangement (Internal Connections), para simulação no Proteus ISIS.

Observa-se que os pinos 3-4 e 1-2 são interligados e podemos definir:

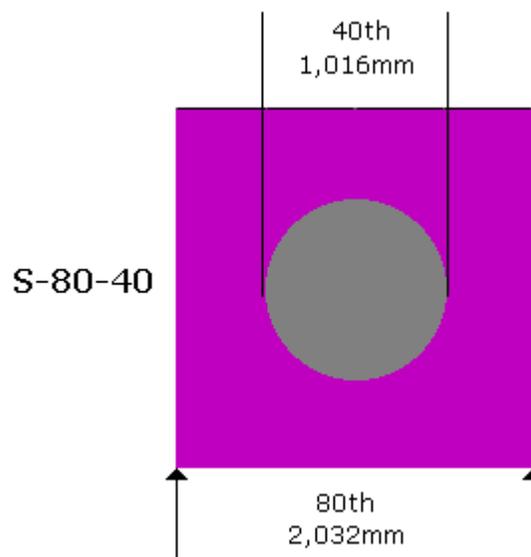
1-2 = comum

3-4 = NA

Procedimentos:

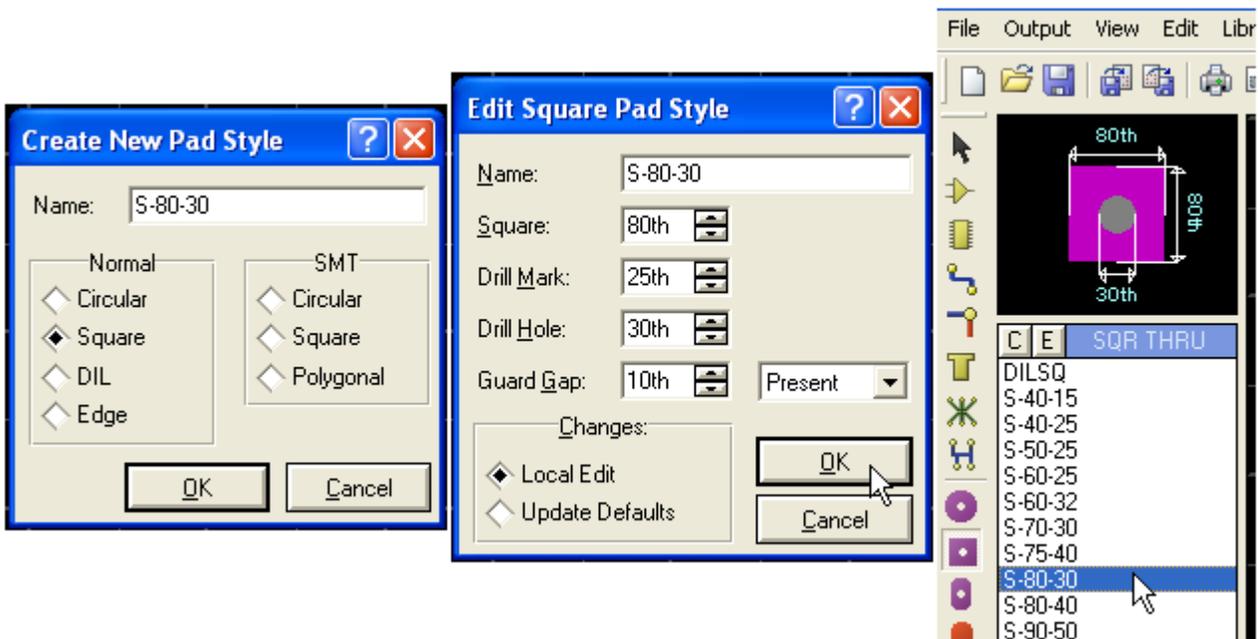
1) Na área de trabalho do Proteus ARES inserir 4 PADS.

O *pad* S-80-40 pode ser utilizado



Se quisermos melhor fixação mecânica, podemos alterar o seu diâmetro para 30th ou 0,762mm criando assim um novo PAD. Neste caso, pode-se usar uma broca de 0,8mm.

As figuras a seguir mostram a criação de um novo PAD. Basta clicar no botão "C" (Create) e definir a nova furação, podendo ser aproveitadas as demais características do S-80-40.

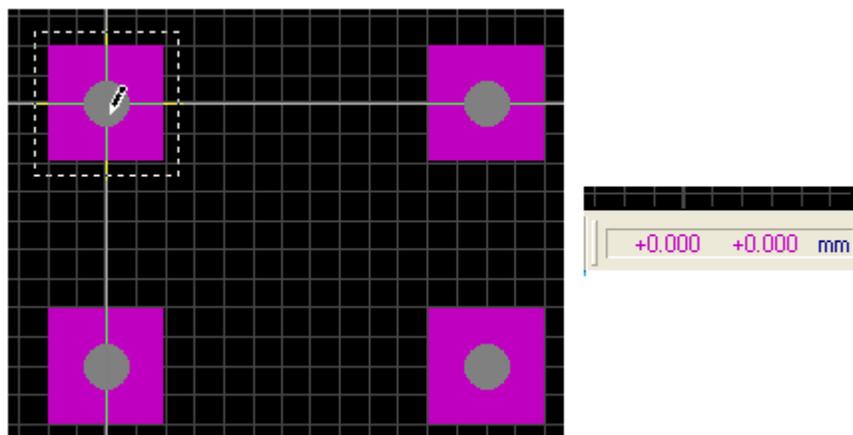


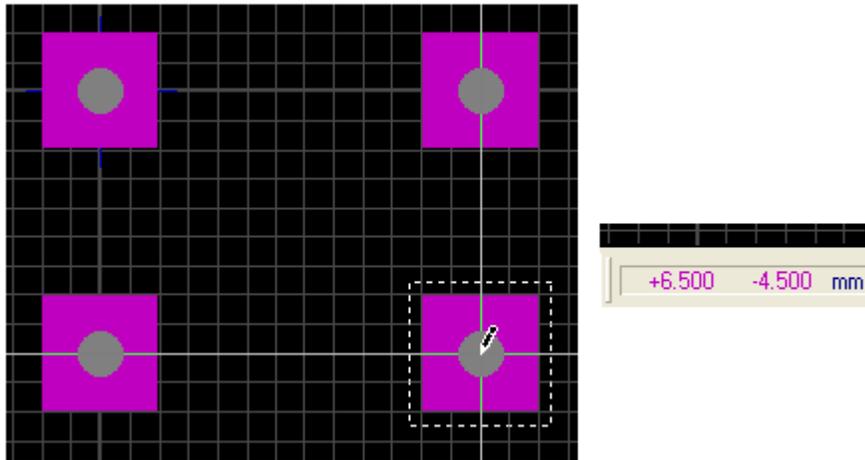
Um *pad* quadrado de 80th de lado é suficiente para uma boa fixação mecânica do componente na placa de CI.

2) Como as medidas são dadas em milímetros alterar o padrão para métrico, clicando no ícone correspondente ou teclando a letra "M".

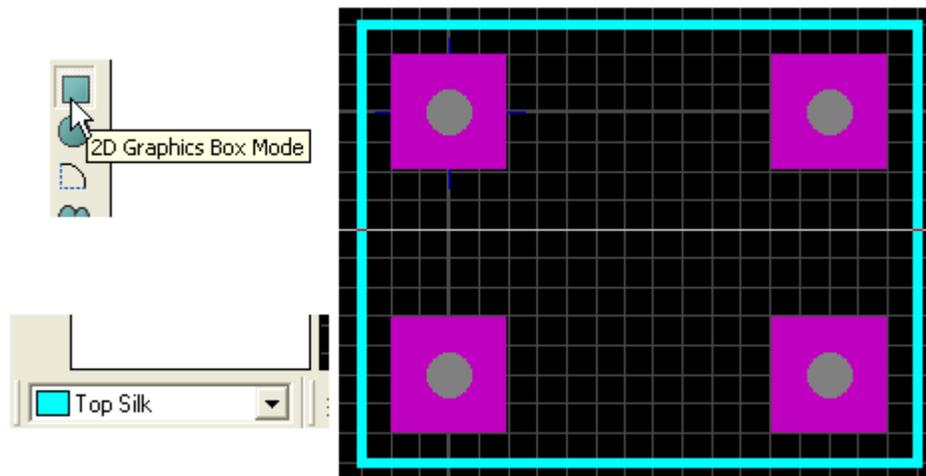
A visibilidade do Grid fica por conta do projetista, no entanto vai uma sugestão: Snap 0,5mm para fixação e Snap 0,1mm para movimentação.

3) Definir um ponto de origem (clicando no ícone correspondente ou teclando a letra "O") e posicionar os 4 *pads* conforme distâncias indicadas no data-sheet.

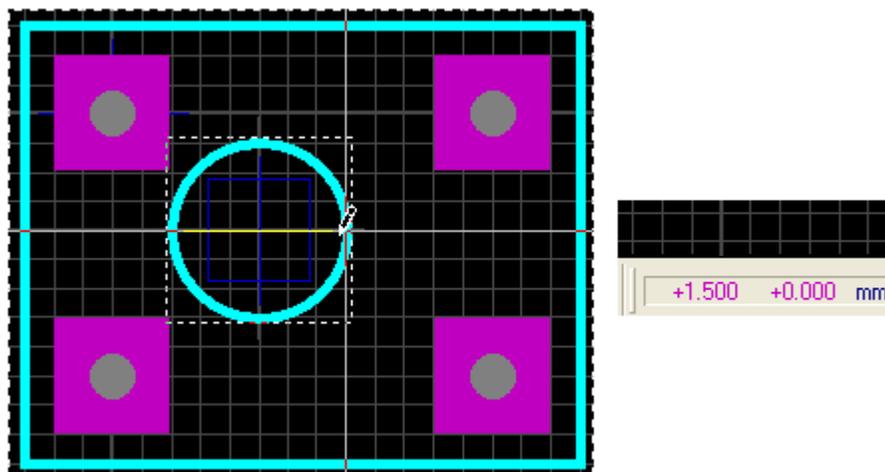




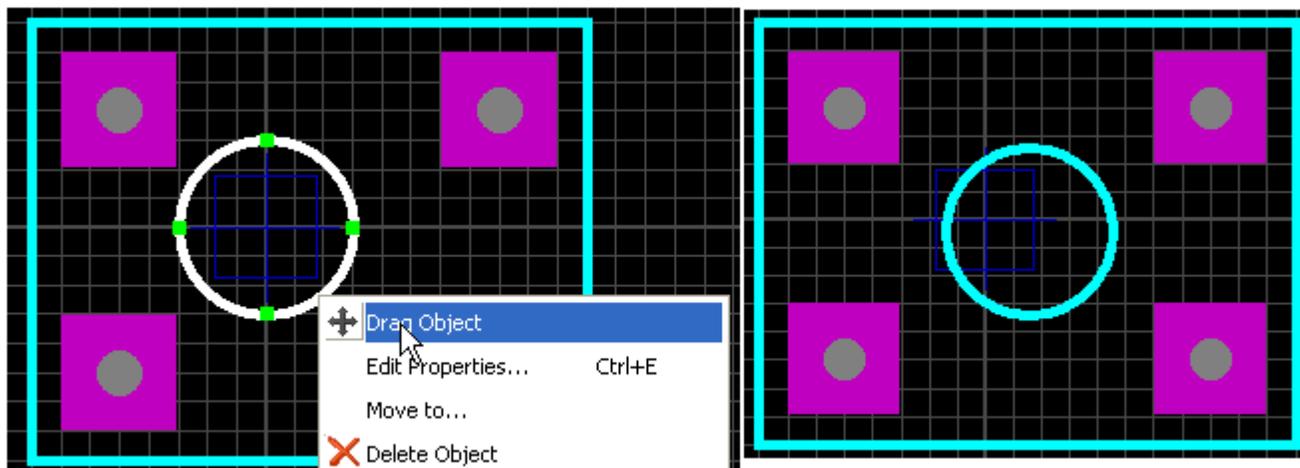
4) Traçando o invólucro ou contorno utilizando a ferramenta 2D Graphics Box Mode no layer TOP SILK,



5) Para tornar o *package* mais estético, vamos desenhar um círculo de 3mm de diâmetro. Para isto criar um novo ponto de origem e traçar um raio de 1,5mm com a ferramenta 2D Graphics Circle Mode.

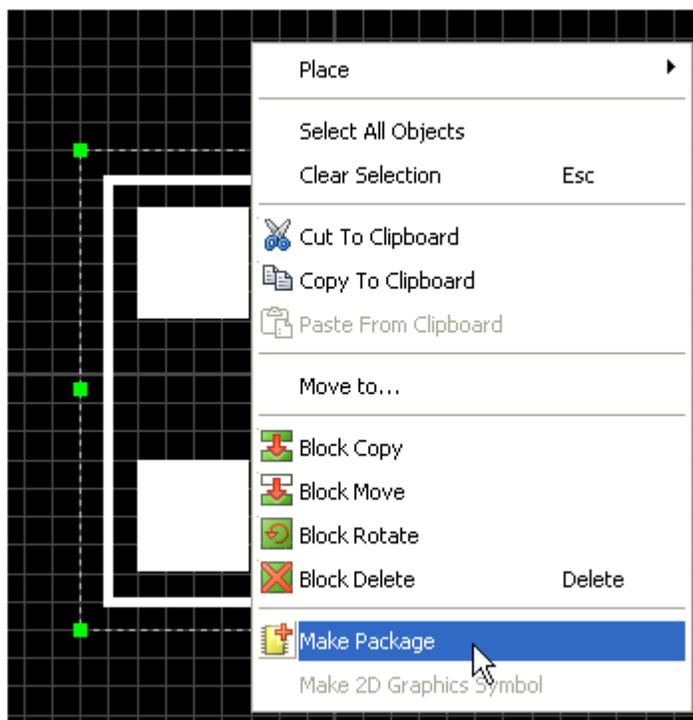


Selecionar o círculo e centralizá-lo. Se houver dificuldades para centralizá-lo basta alterar o Grid para 0,1mm.



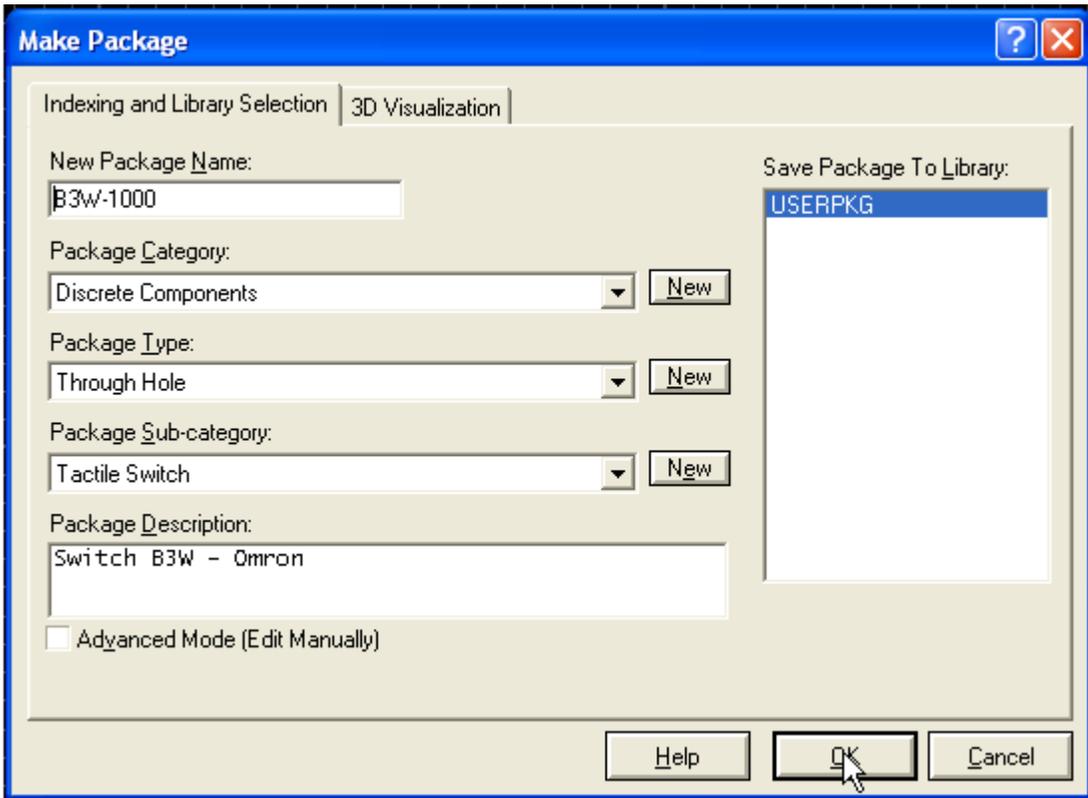
6) O próximo passo criar o PCB Package.

Para isso, selecionar o desenho e com o botão esquerdo do mouse clicar em Make Package.

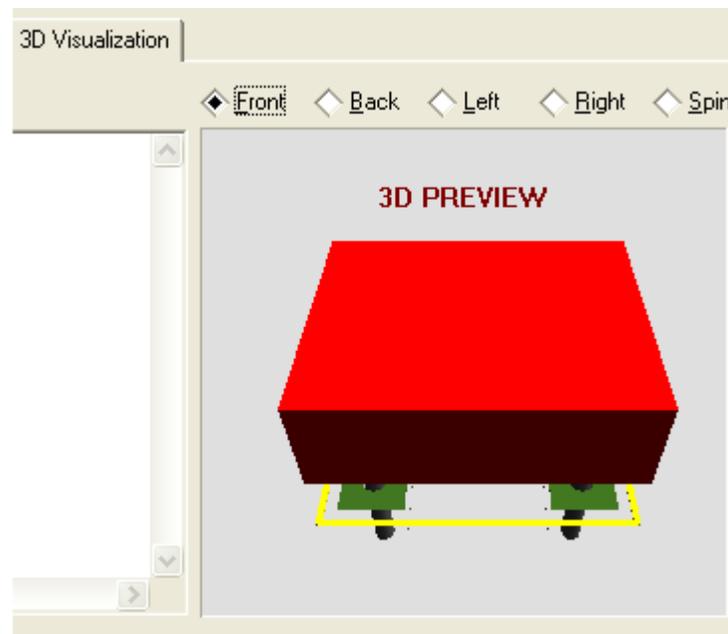


Preencher a janela conforme descrição desejada. Na figura a seguir uma sugestão para esse preenchimento.

Em *Package Sub-category* essa subcategoria foi criada, a qual é opcional, pois pode ser selecionada qualquer uma das opções existentes ou até mesmo, por opção ou dependendo do tipo de *package*, não atribuir nenhuma subcategoria.

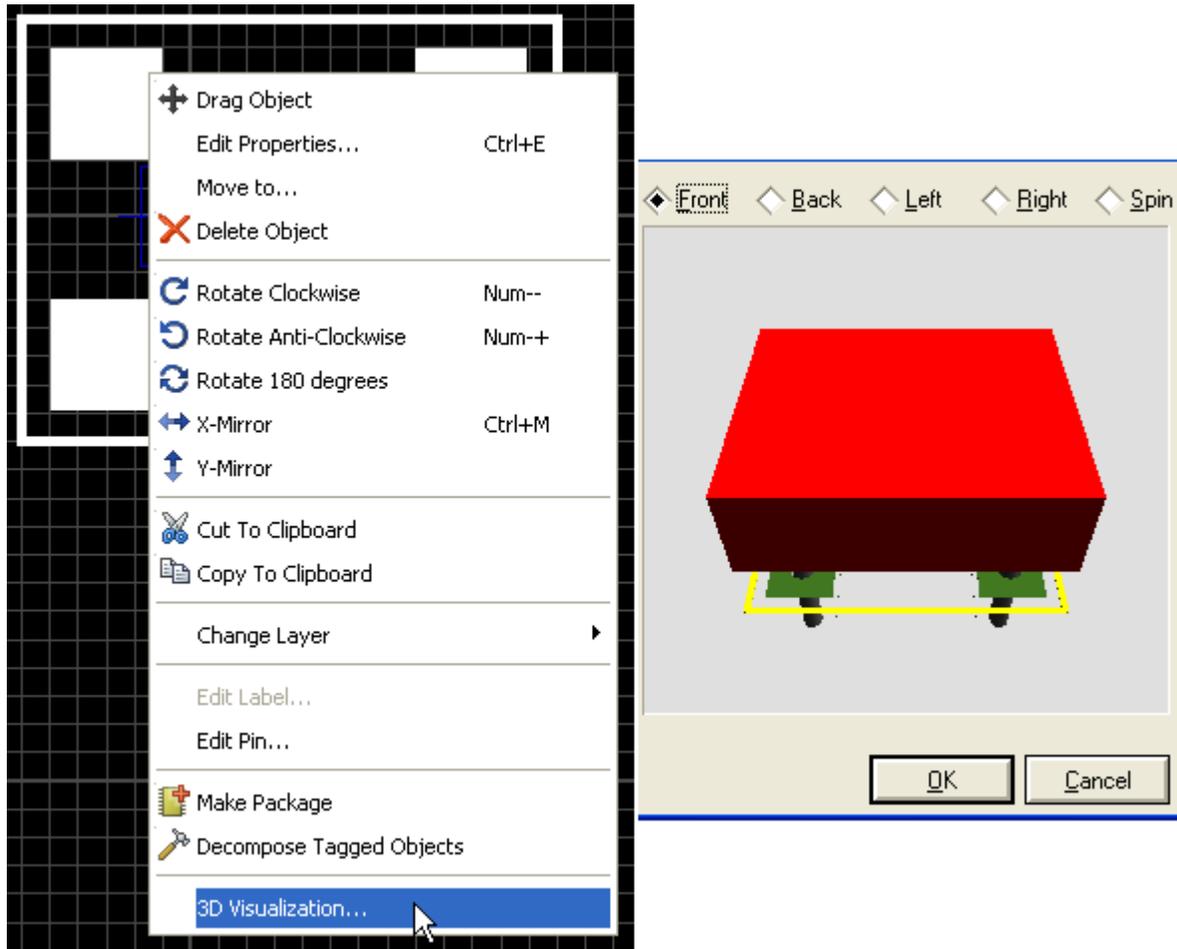


A figura a seguir mostra a visualização em 3D desse *package*, antes de ser inserido na biblioteca, ou seja, antes de teclar OK.



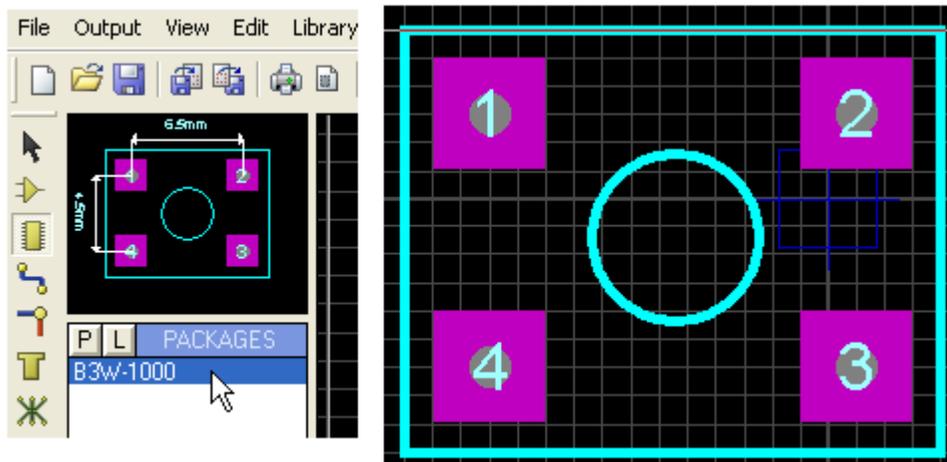
Após teclar OK o *package* é inserido na biblioteca.

Para visualizar o layout final, ou seja, como aparecerá na placa de CI, basta selecionar o componente (para isto basta clicar com o botão direito do mouse em qualquer um dos PADS) e selecionar *3D Visualization*.



A figura a seguir mostra o *package* disponível para ser inserido na área de trabalho, lembrando que o mesmo foi automaticamente salvo na biblioteca USERPKG.

Atente para o detalhe de que a área de *preview* já dispõe das medidas e da identificação dos pinos (pads) com seus números.



No entanto verifica-se que a numeração dos PADS não obedece a sequência mostrada no data-sheet do fabricante.

O programa se encarregou de fazer a identificação que por padrão (default), obedece ao sentido horário na ordem crescente.

OBS: a identificação e sequência dos terminais poderia ter sido feita antes, ou seja, no momento em que os PADS foram inseridos na área de trabalho. Bastaria apenas editá-los e colocar a numeração em outra sequência.

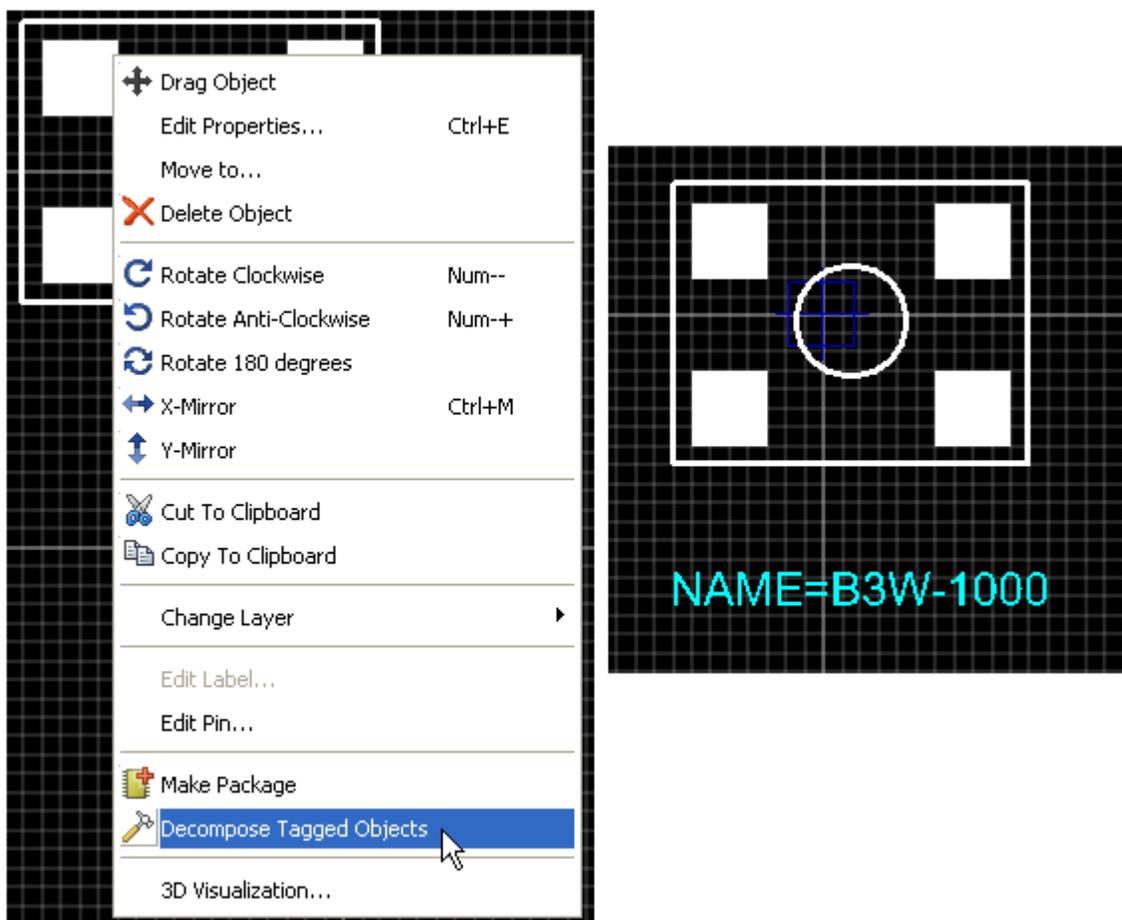
Vamos então reordenar a numeração conforme imposta pelo fabricante.

Decompose Tagged Objects

Para reordenar a numeração dos PADS é preciso editá-los, no entanto, uma vez construído o *package* isso só será possível fazendo a decomposição do mesmo.

Para isso temos que selecioná-lo, e uma das formas de fazer isso é clicar com o botão direito do mouse em um dos PADS e tudo estará selecionado.

Clicar na opção *Decompose Tagged Objects* (decompor objetos marcados).



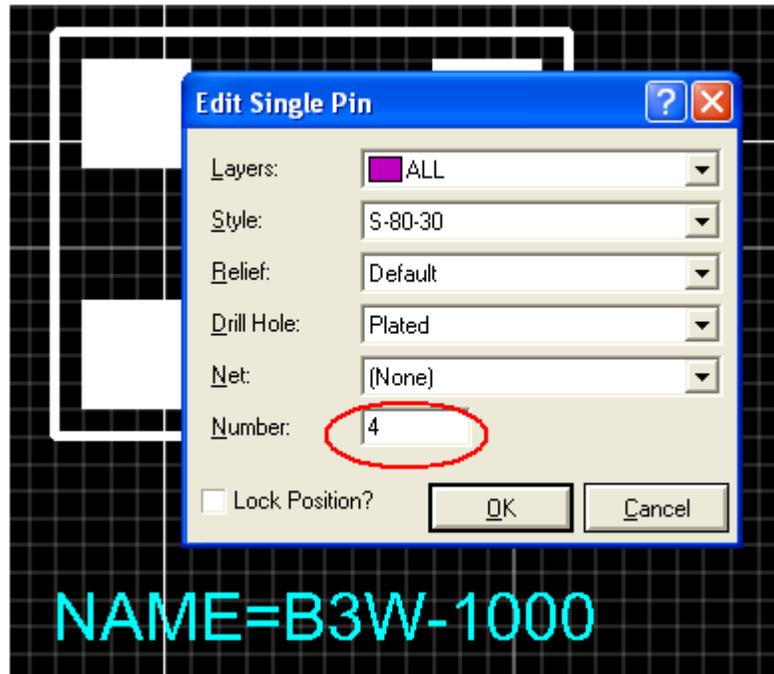
A partir daí basta alterar a numeração para a sequência desejada: 4 – 3 – 2 – 1

Temos duas opções:

- Selecionar o *package* e salvar com os mesmos dados anteriores e clicar em OK e neste caso o *package* será atualizado, ou

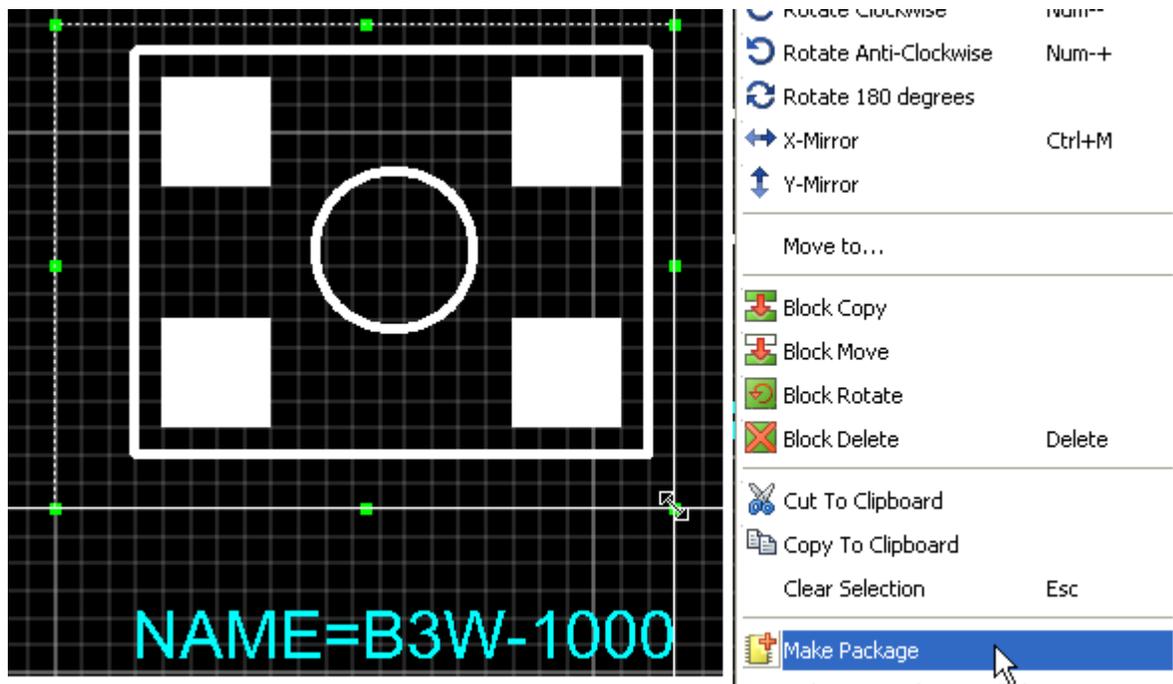
- Salvar com outro nome, mantendo o *package* original.

A figura a seguir mostra a edição dos PADS para nova sequência de numeração.

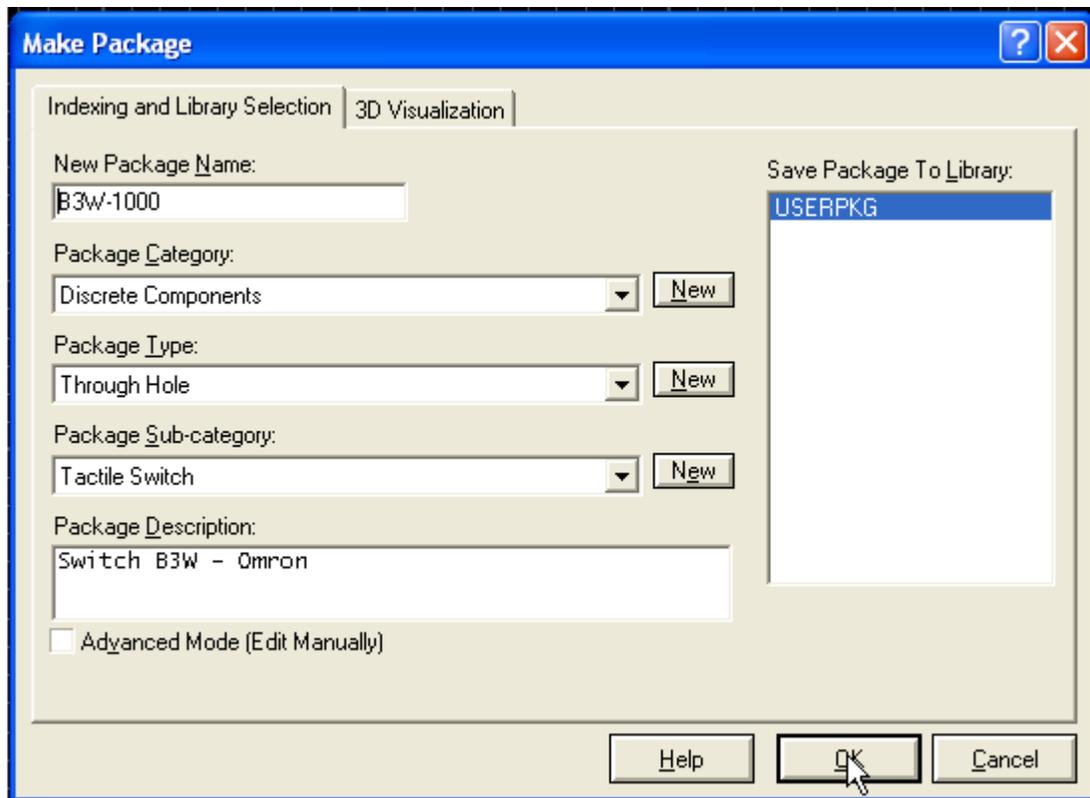


Vamos optar por salvar com o mesmo nome, atualizando a biblioteca.

Selecionando o *package* e salvando com os mesmos dados anteriores:

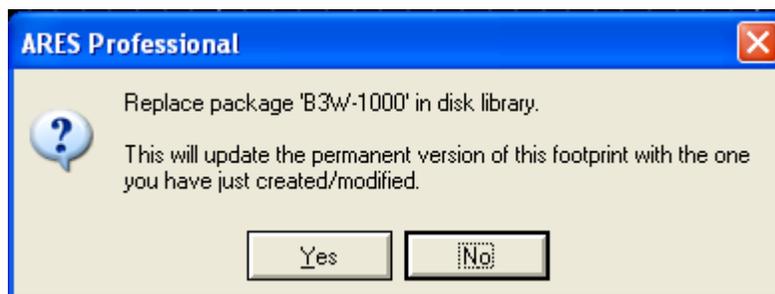


Utilizar os dados anteriores:

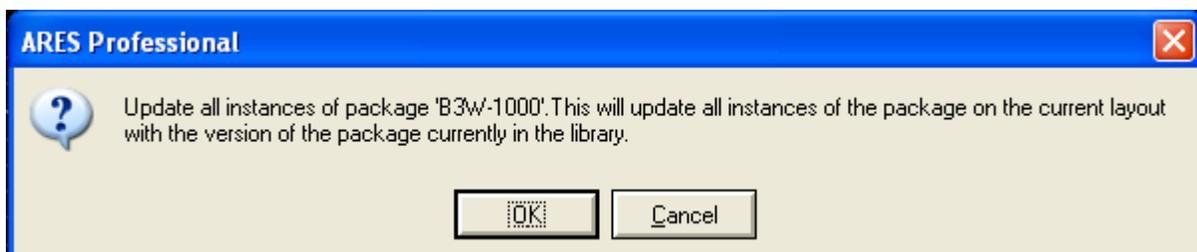


A figura a seguir mostra a informação de que o *package* será atualizado permanentemente.

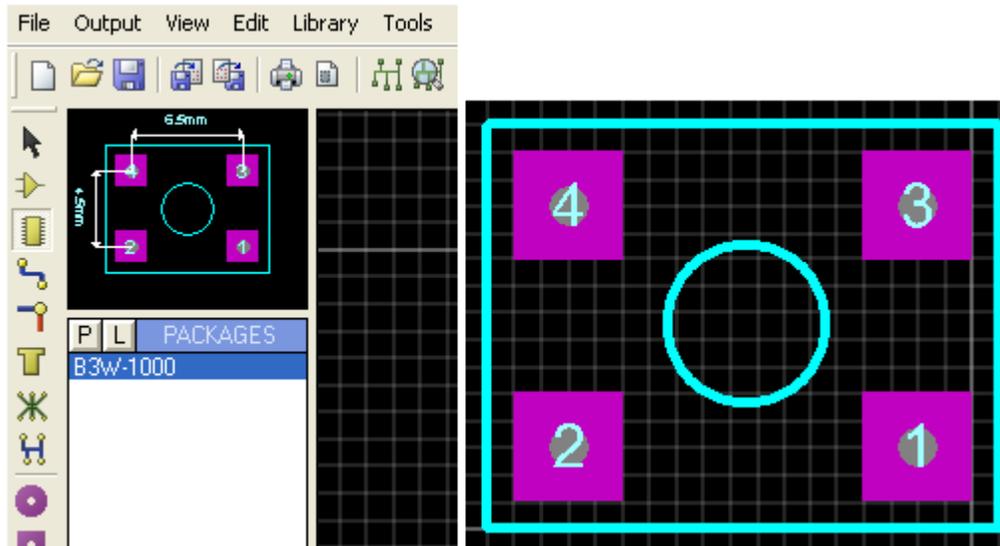
Clicar YES.



A figura a seguir mostra que todas as instâncias do *package* serão atualizadas no atual layout.

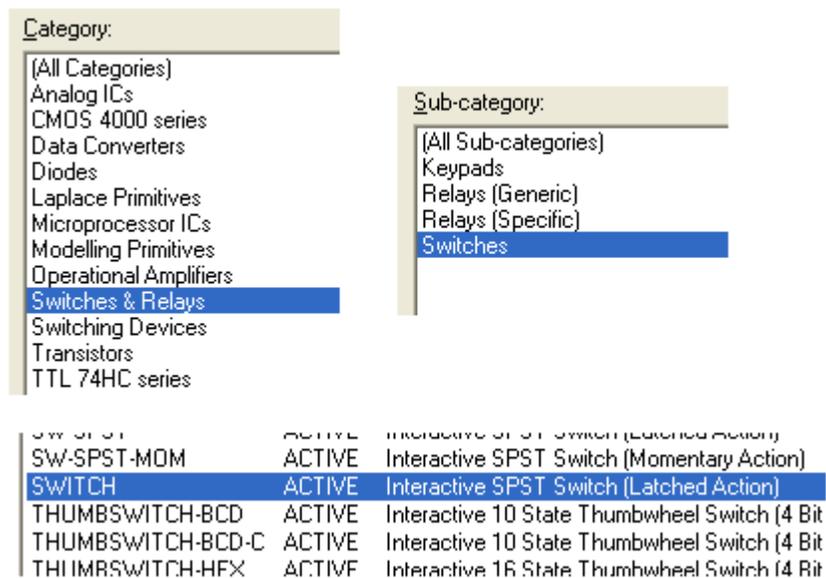


A figura a seguir mostra o *package* atualizado na área de trabalho.



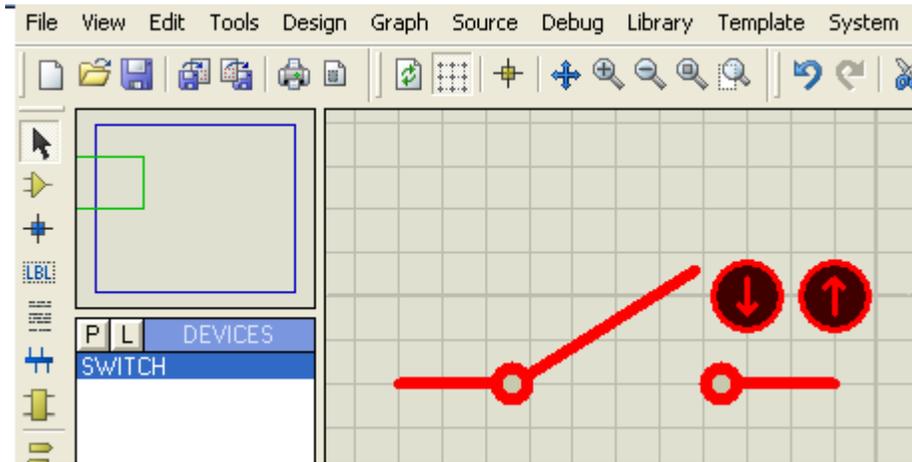
7) Para finalizar, no Proteus ISIS devemos escolher um símbolo eletrônico para o *package*, definindo as funções dos pinos (pads) e suas correspondentes identificações.

8) Abrir o Proteus ISIS e em Pick Device vamos selecionar SWITCH.

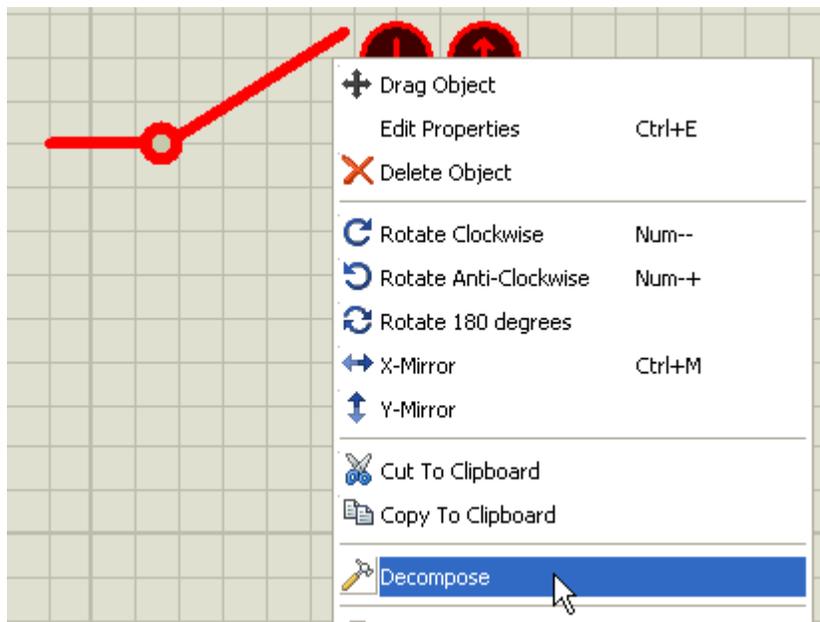


Como o dispositivo escolhido pertence ao Proteus ISIS sem um *package* atribuído, podemos lhe atribuir o PCB Package B3W-1000 criado recentemente.

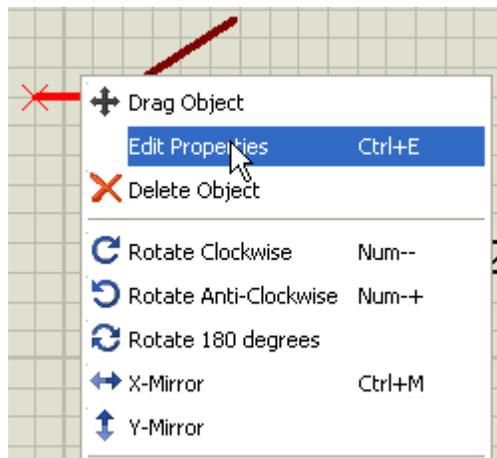
9) Inserir o componente na área de trabalho do Proteus ISIS.



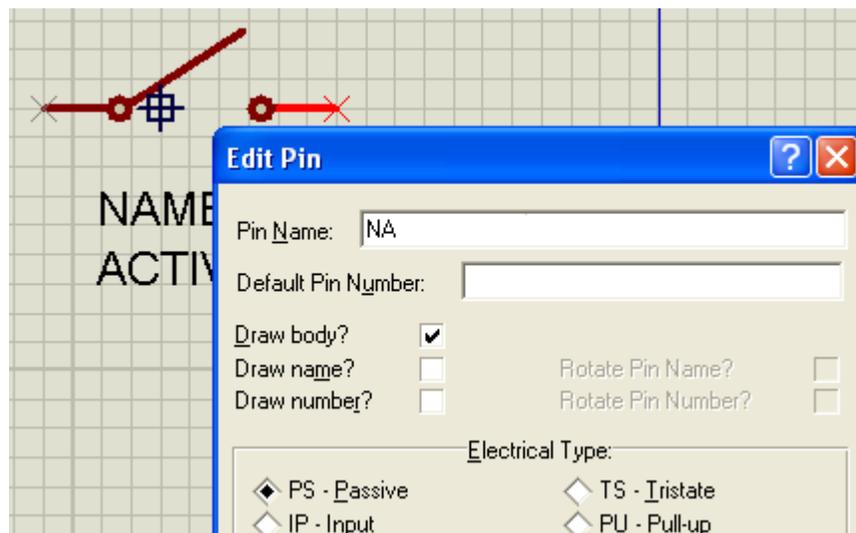
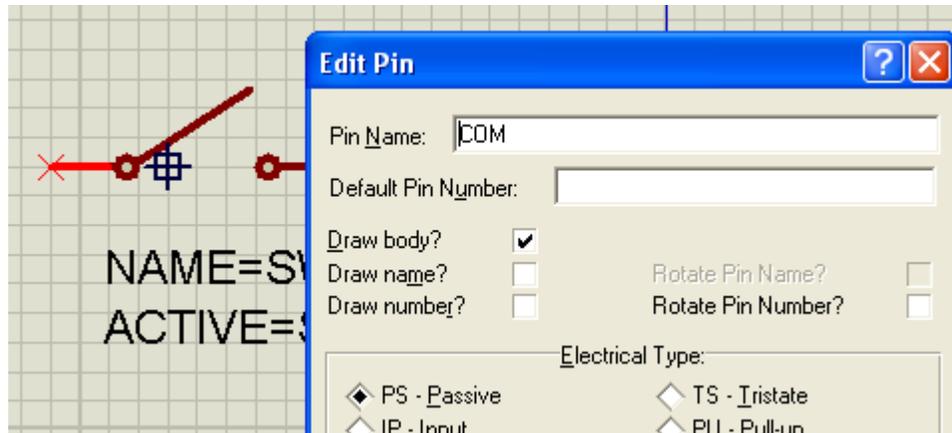
10) Decompor:



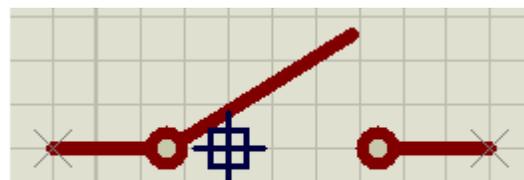
11) Editar os pinos do símbolo. Deverão ser renomeados os pinos conforme data-sheet, ou seja, COM e NA.



As figuras a seguir mostram esse processo.

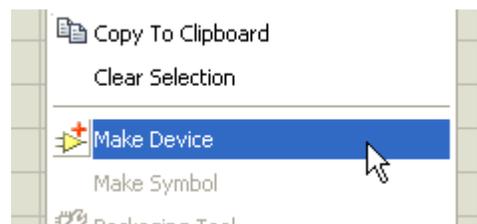


OBS: Desmarcar o campo *Draw number?* e manter o ponto de origem.

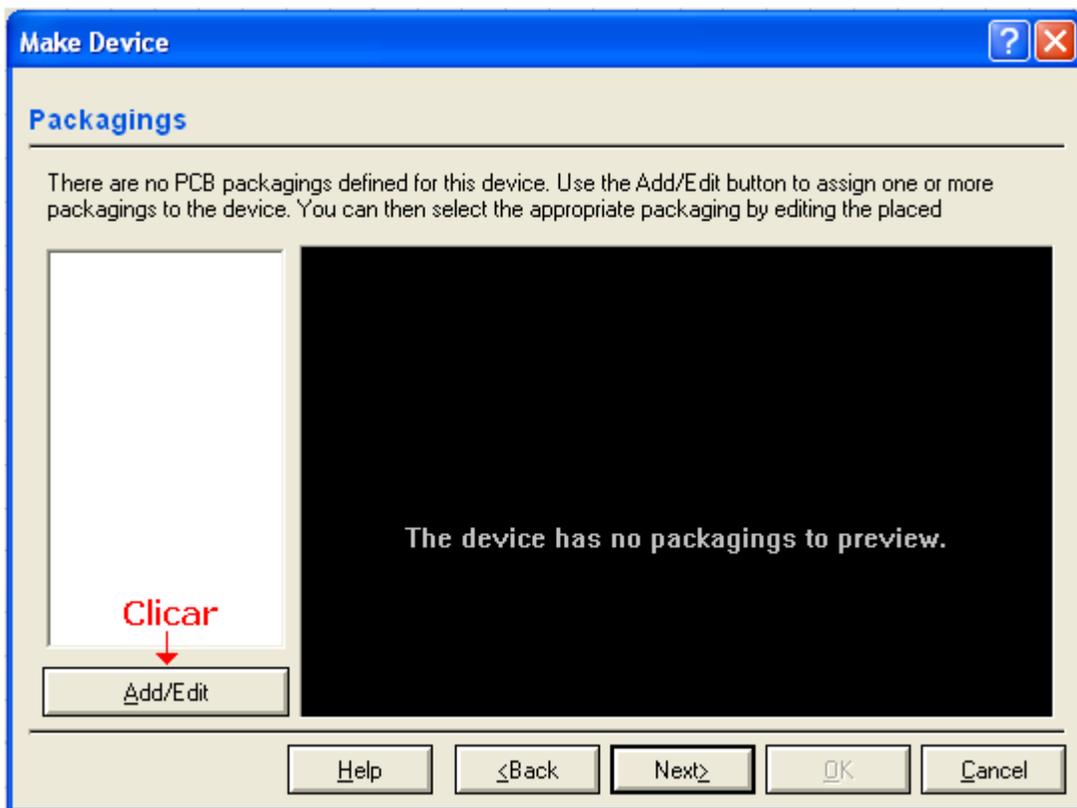
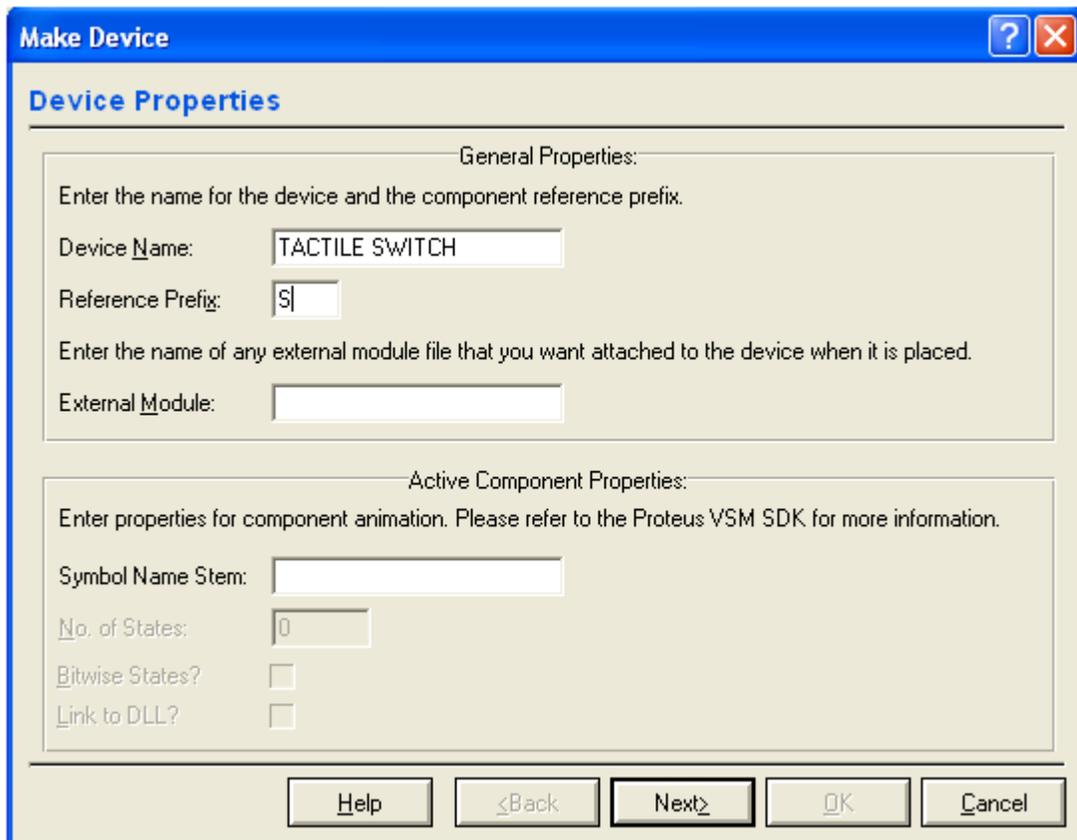


Ponto de origem

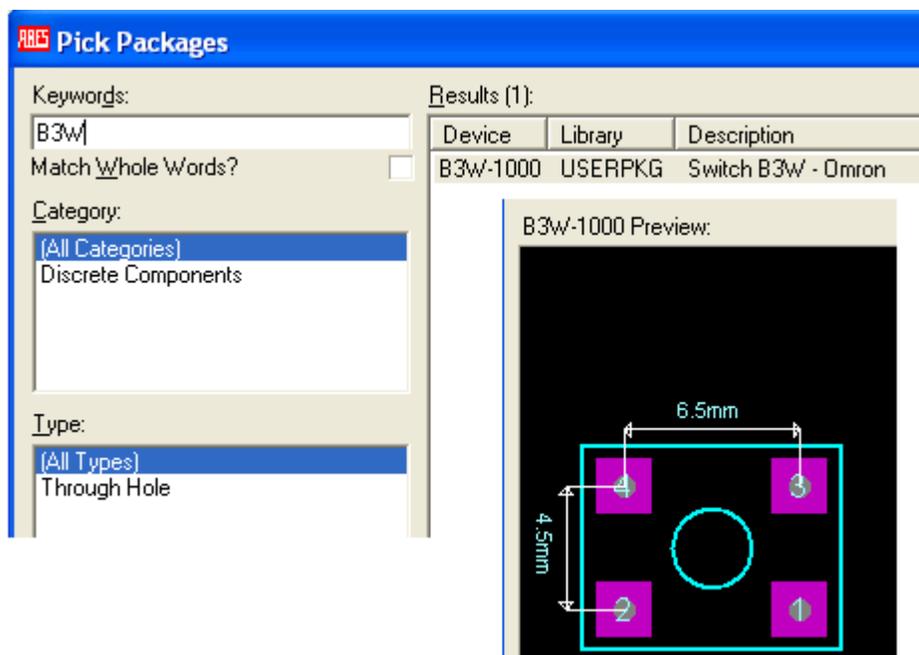
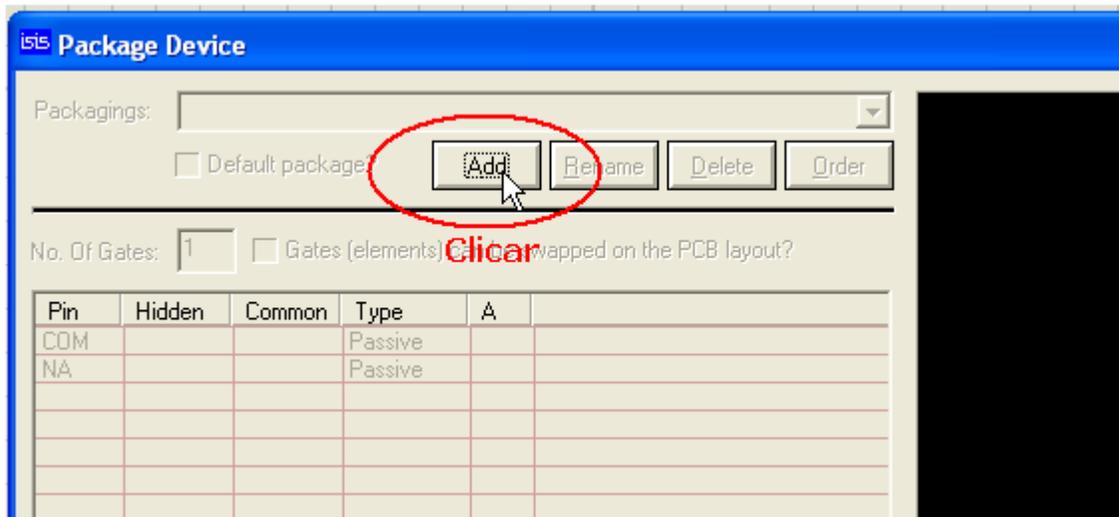
12) Selecionar o símbolo, clicar com o botão direito do mouse e selecionar a opção Make Device.



Vamos nomear como Tactile Switch, prefixo "S" e clicar NEXT.



Ao clicar em Add/Edit, vamos escolher o *package* criado: B3W-100.



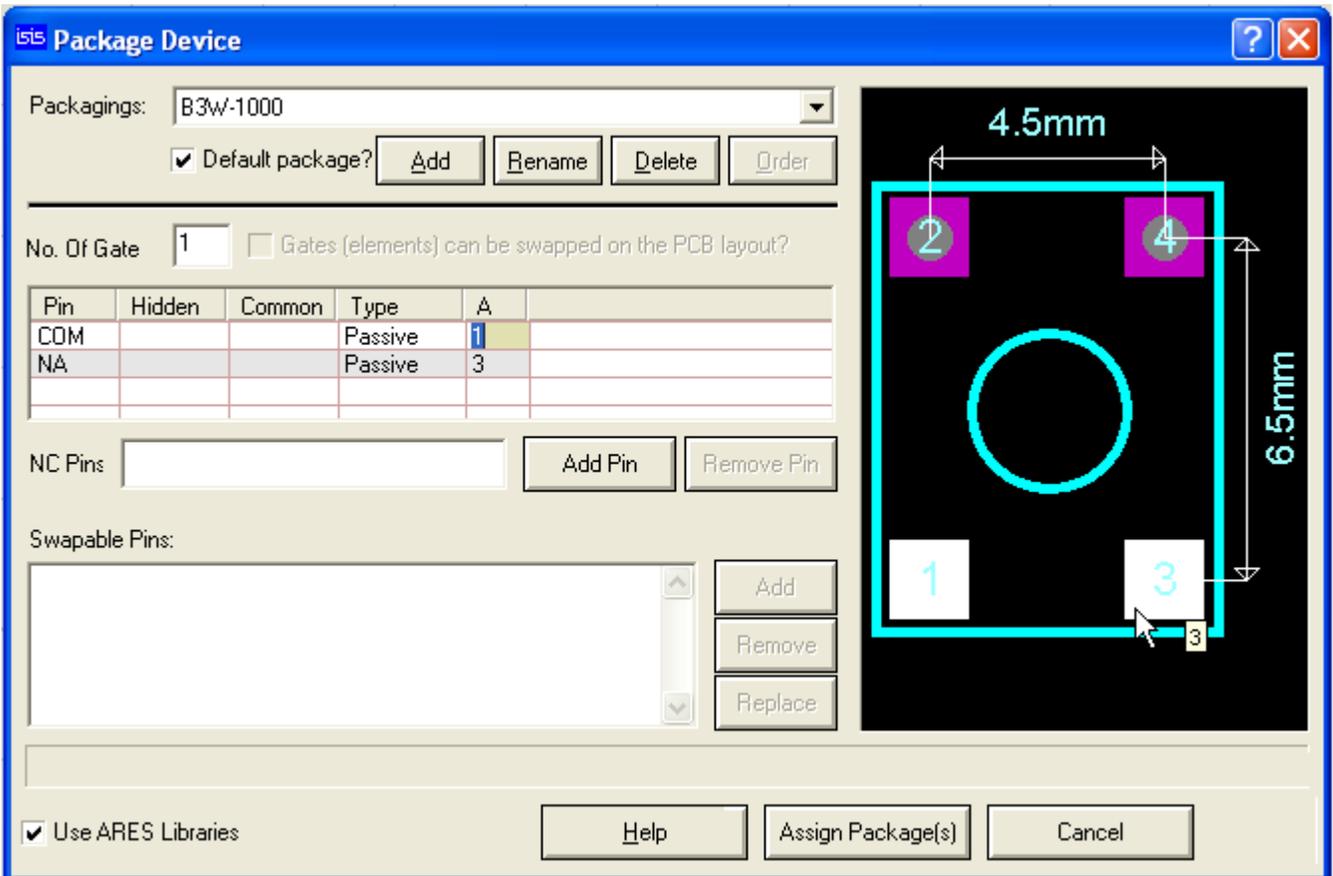
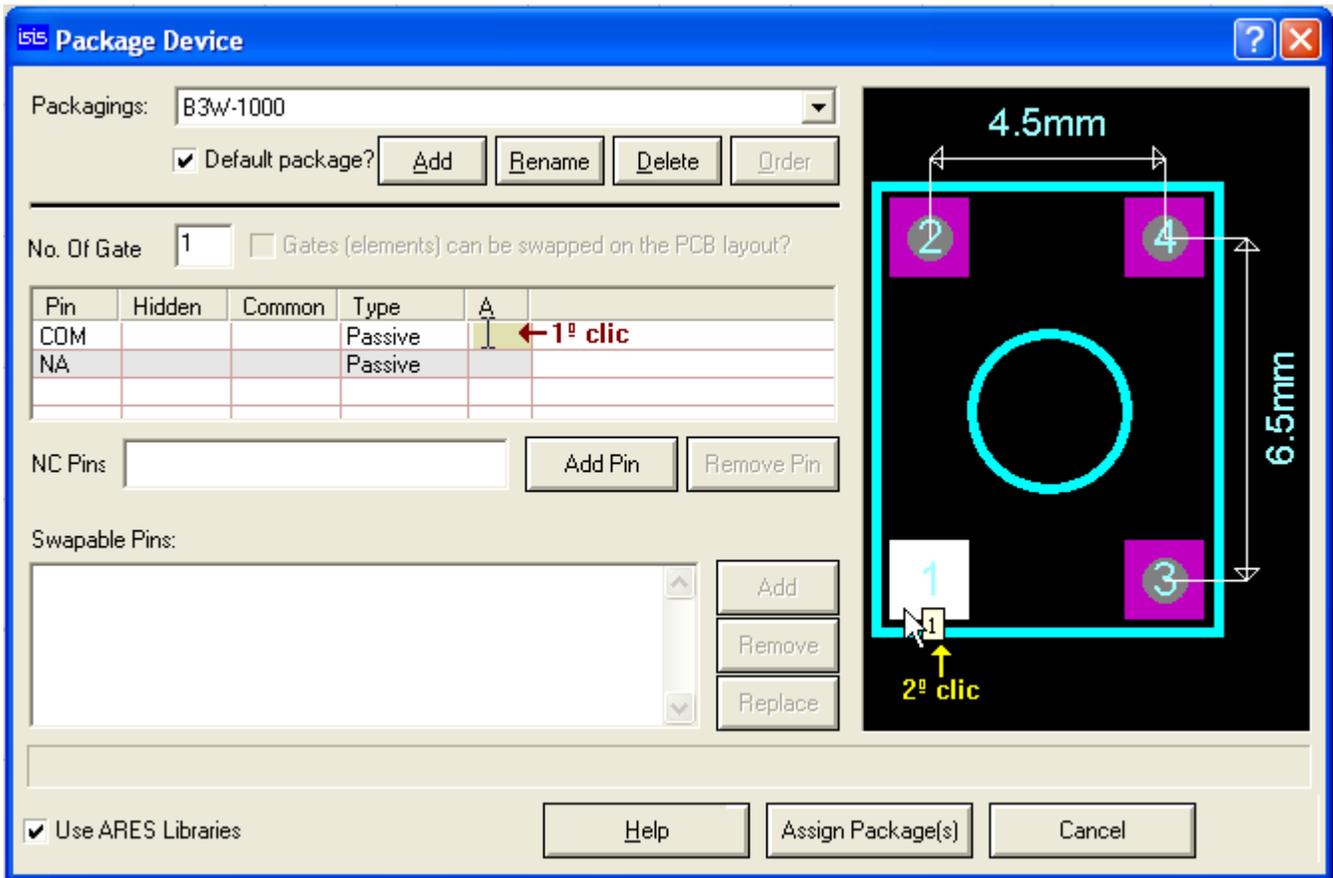
13) Atribuir a função dos PADS, ou seja, relacionar COM e NA com a numeração dos pinos ou PADS.

Para a função COM basta atribuir apenas para o pino 1, pois o mesmo está interligado internamente com o pino 2 e para a função NA basta atribuir apenas para o pino 3, pois o mesmo está interligado internamente com o pino 4.

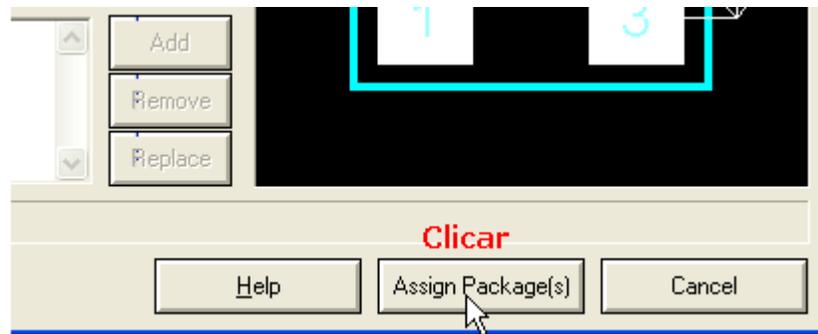
COM = comum e NA = normalmente aberto.

As figuras a seguir mostram como atribuir as funções NA e COM aos pinos.

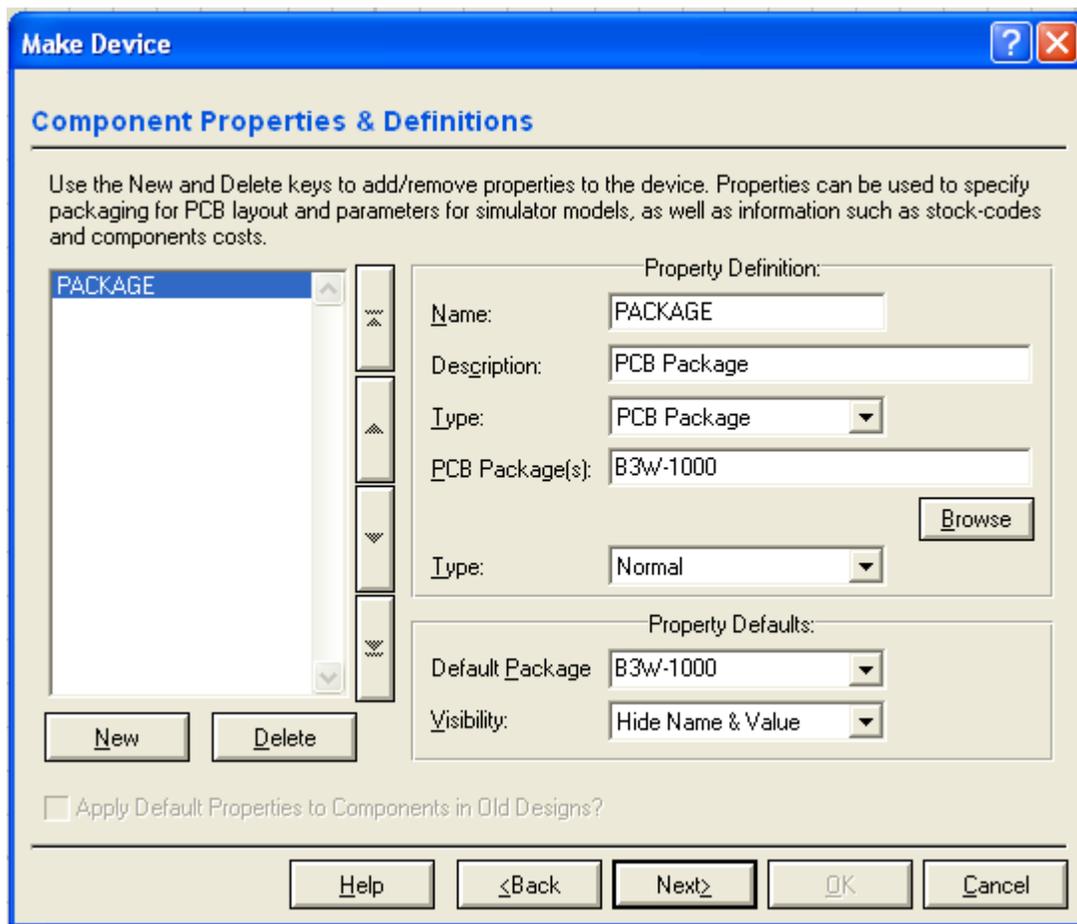
Clicar na linha correspondente ao Pin COM e em seguida no pino 1 do package. Proceder de forma idêntica para o Pin NA e clicar em seguida no pino 3 do package.



Como se trata de um componente "monogate", o campo No. Of Gate = 1



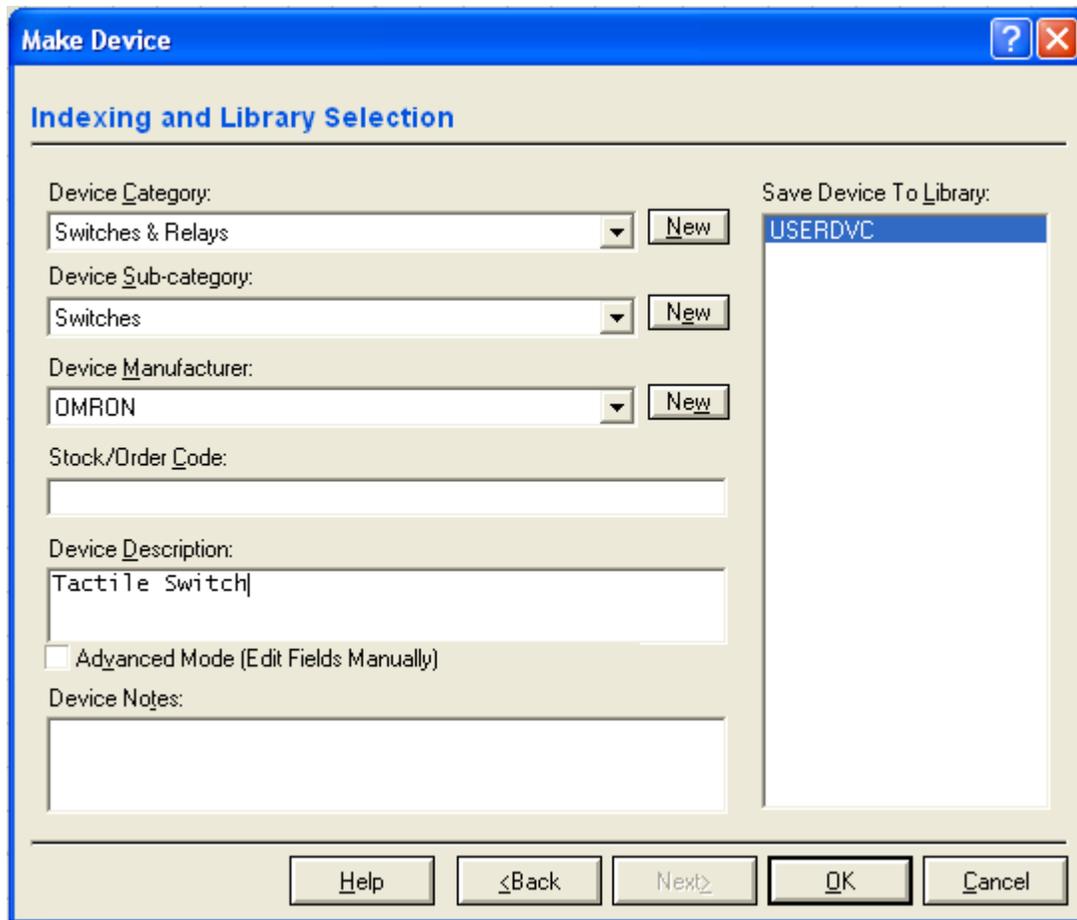
Clicar em NEXT



Como a próxima tela refere-se a documentação e arquivo HELP para o componente, a mesma pode ser ignorada. Clicar em NEXT.

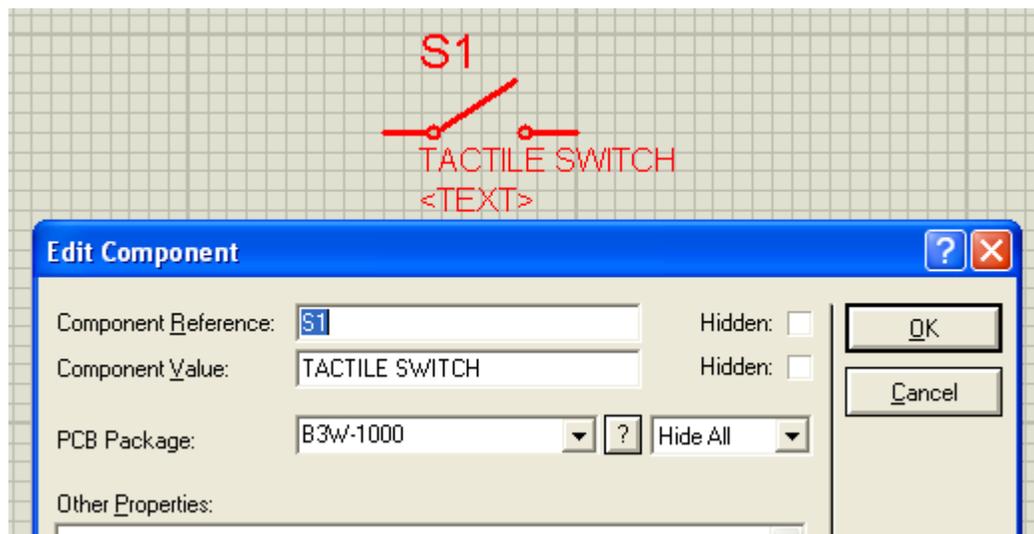


Surge então a tela final para ser preenchida de acordo com as características do dispositivo ou componente. A figura a seguir mostra uma sugestão.



Clicar OK. Por padrão o dispositivo é salvo na biblioteca USERDVC.

A figura a seguir mostra o símbolo criado no Proteus ISIS e sua edição, contendo na informação o PCB Package B3W-1000.



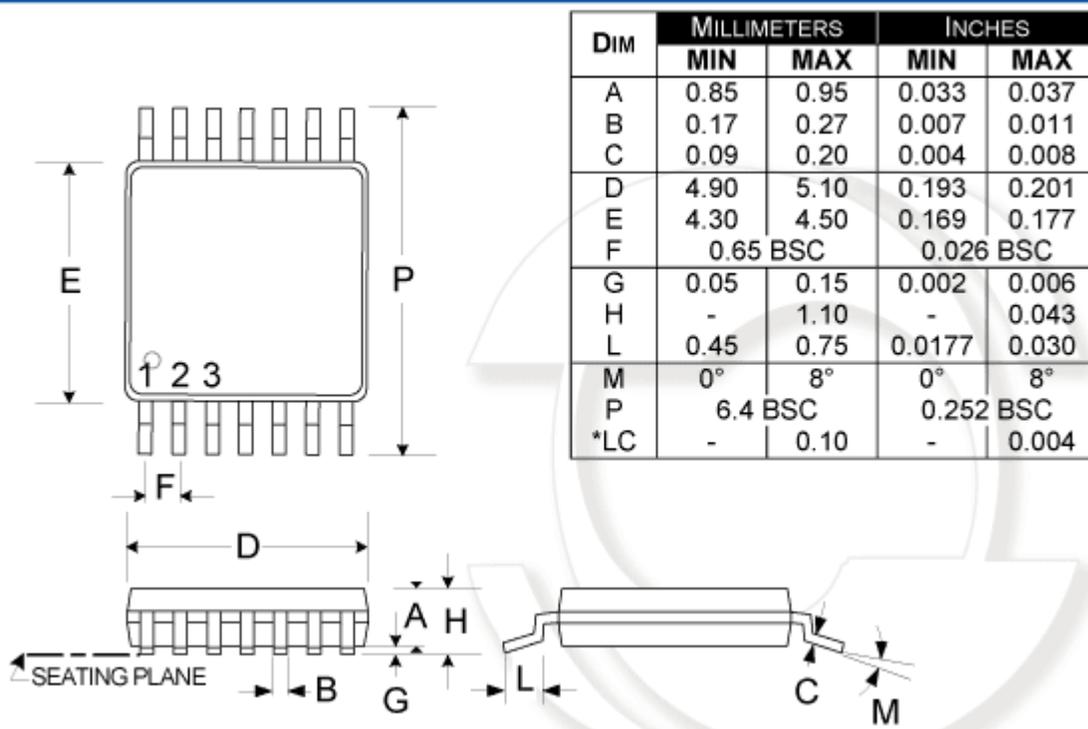
CRIAÇÃO DE UMA EEPROM AT24C128/256

No capítulo anterior foi criado um PCB Package e o mesmo foi associado a um símbolo eletrônico existente no Proteus ISIS.

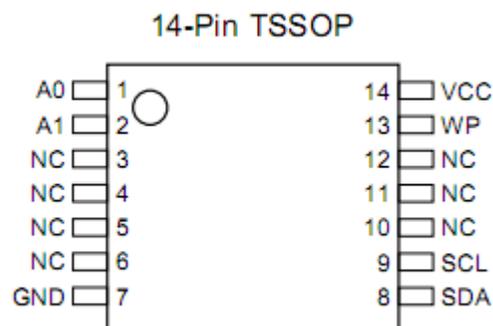
Neste capítulo vamos fazer o contrário, ou seja, construir um símbolo eletrônico de uma memória EEPROM e associar esse símbolo a um *package* existente no Proteus ARES.

A memória AT24C128 é uma memória de 128k (8 x 16.384) ou 256k (8 x 32.768) de fabricação da Atmel. Vamos utilizar um encapsulamento TSSOP 14 pinos para SMD, aproveitando um PCB Package existente no Proteus ARES, embora exista para esse componente outros tipos de encapsulamento.

14 Pin TSSOP (PW Package)



Pinagem da EEPROM AT24C128

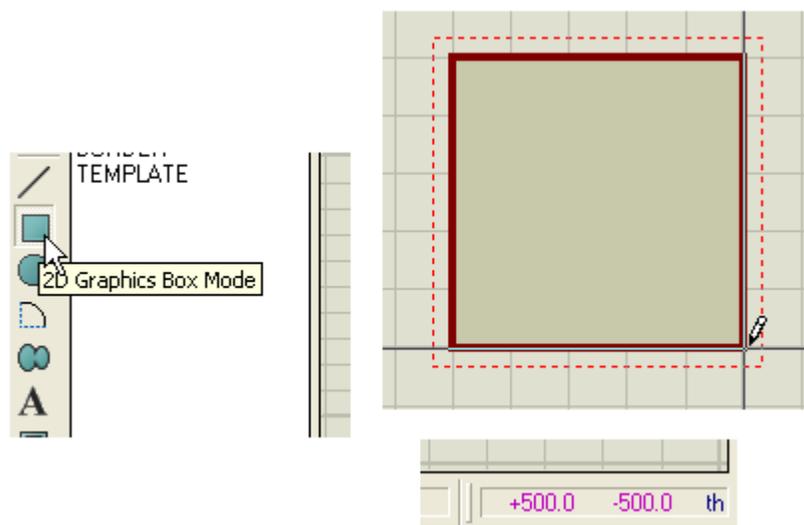


Observa-se que 7 pinos não são conectados (NC).

Pin Name	Function
A0 - A1	Address Inputs
SDA	Serial Data
SCL	Serial Clock Input
WP	Write Protect
NC	No Connect
GND	Ground

Procedimento:

1) Abrir o Proteus ISIS e com a ferramenta *2D Graphics Box Mode*, desenhar um retângulo de 500 x 500th (Grid sugerido 0.1in).

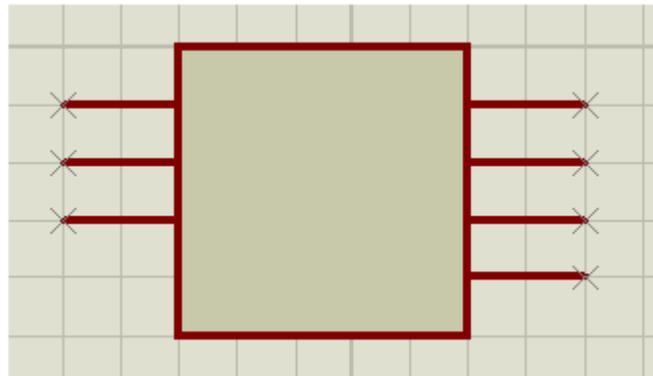
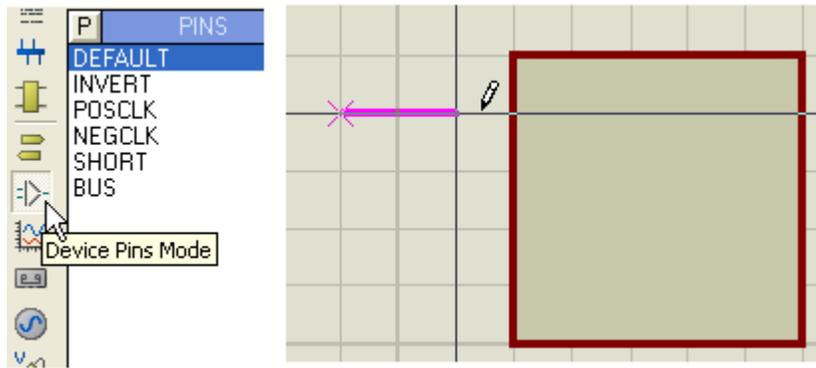


2) Com a ferramenta *Device Pins Mode* inserir pinos de contato.

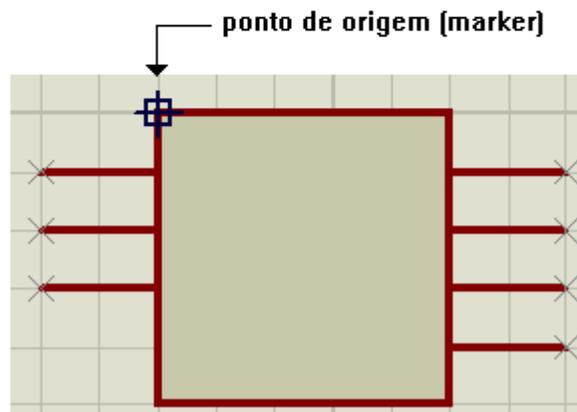
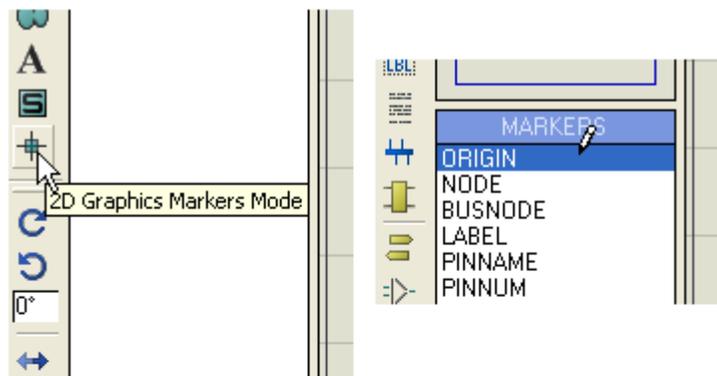
Observando o layout da pinagem desse CI, vemos que do lado esquerdo existem 3 pinos efetivamente ligados e do lado direito 4 pinos, pois os demais não são conectados.

Vamos inserir então 3 pinos do lado esquerdo e 4 pinos do lado direito.

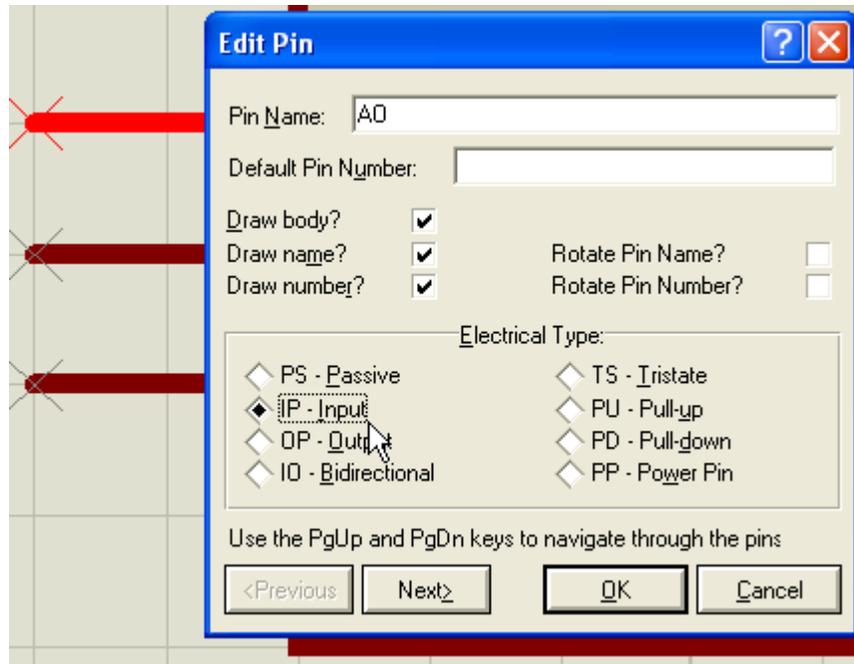
Lado esquerdo	Lado direito
A0	VCC
A1	WP
GND	SCL
	SDA



3) Com a ferramenta *2D Graphics Markers Mode* inserir um ponto de origem (marcador). Esse ponto de origem orienta a inserção do componente na área de trabalho.



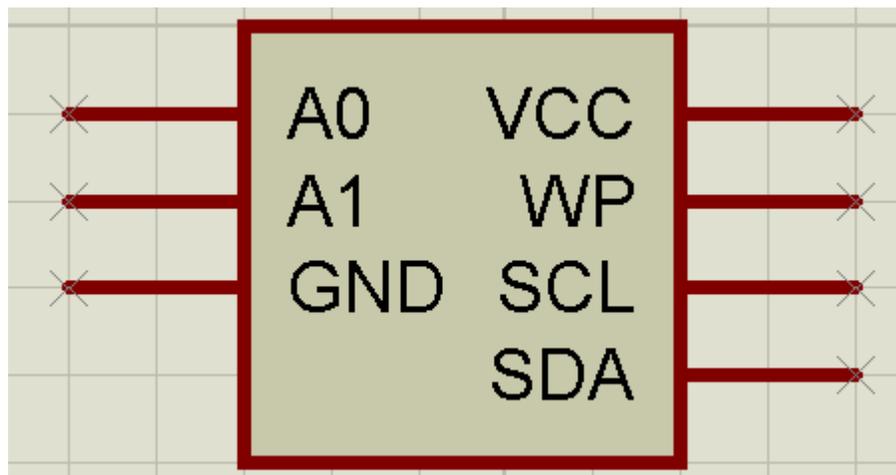
4) Editar e identificar os pinos de acordo com a ordem do data-sheet do fabricante.



A figura acima mostra a identificação do pino A0 que é um pino de entrada (IP-Input).

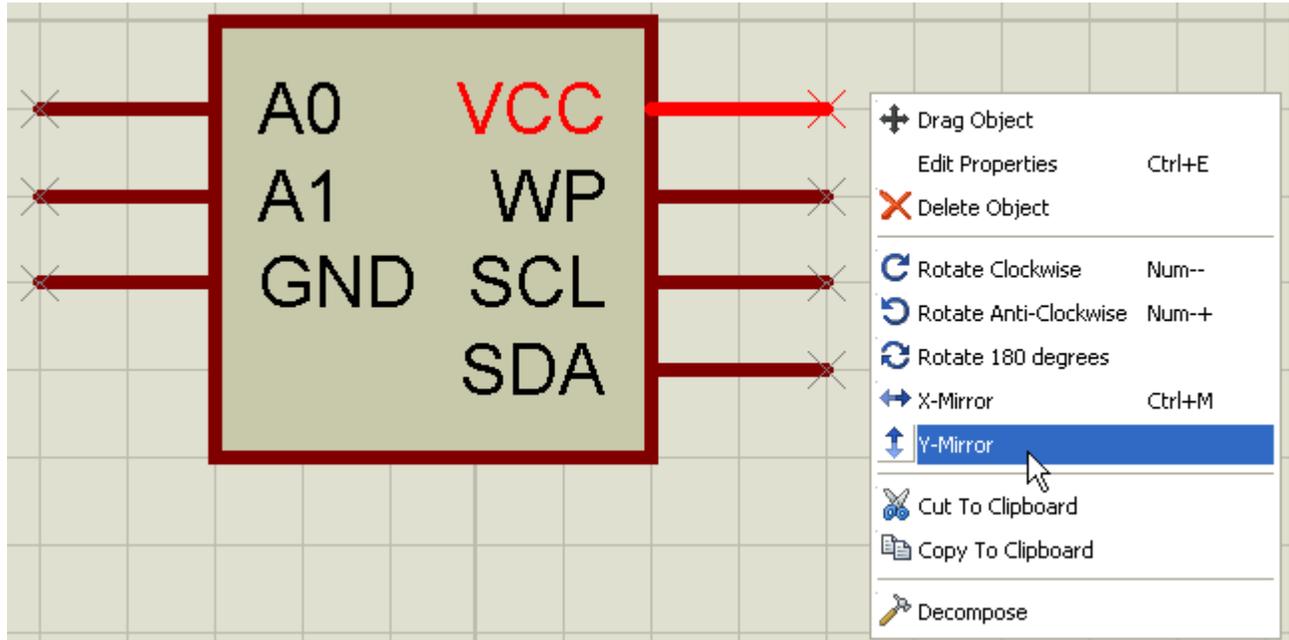
A0 – A1 = entrada
GND = power
VCC = power
WP = entrada
SCL = entrada
SDA = bidirecional

Proceder de forma idêntica para identificação dos demais pinos.

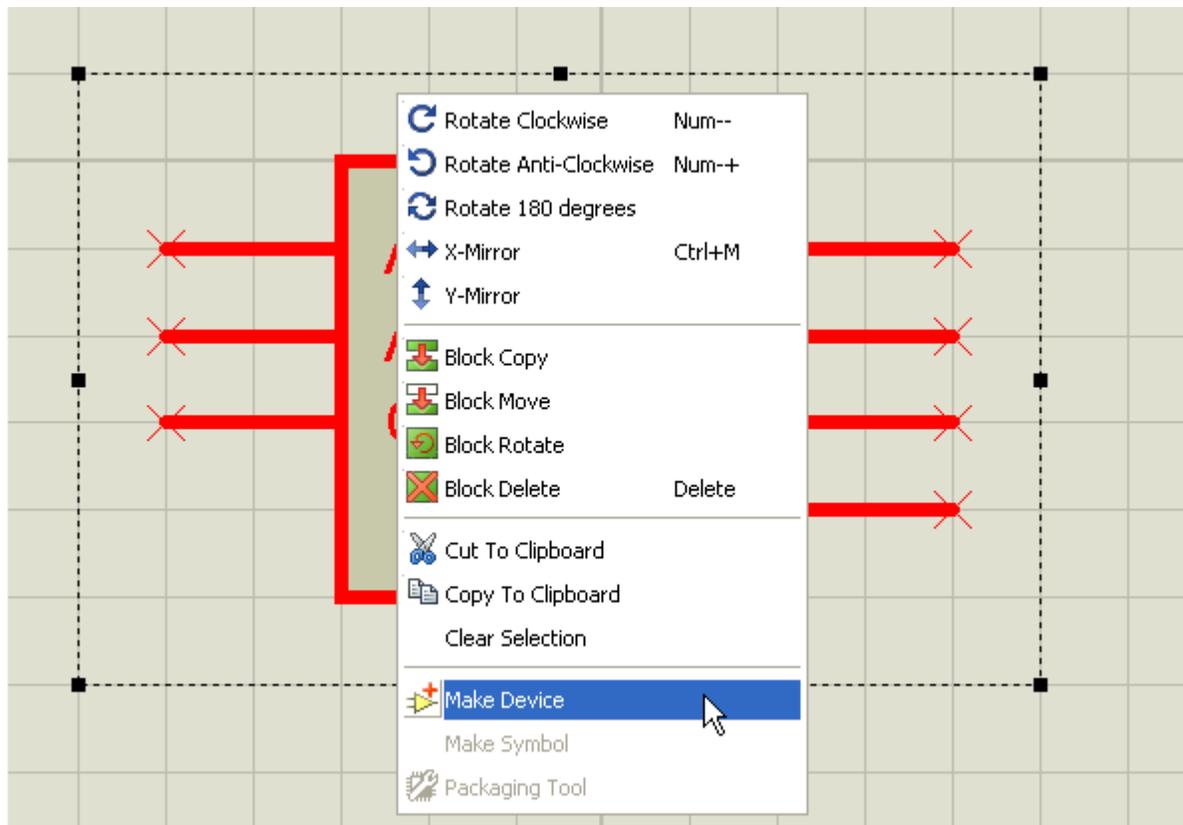


OBS: como os pinos inseridos à direita do símbolo sofreram um rotacionamento de forma a serem inseridos corretamente, devemos fazer um espelhamento de cada um deles

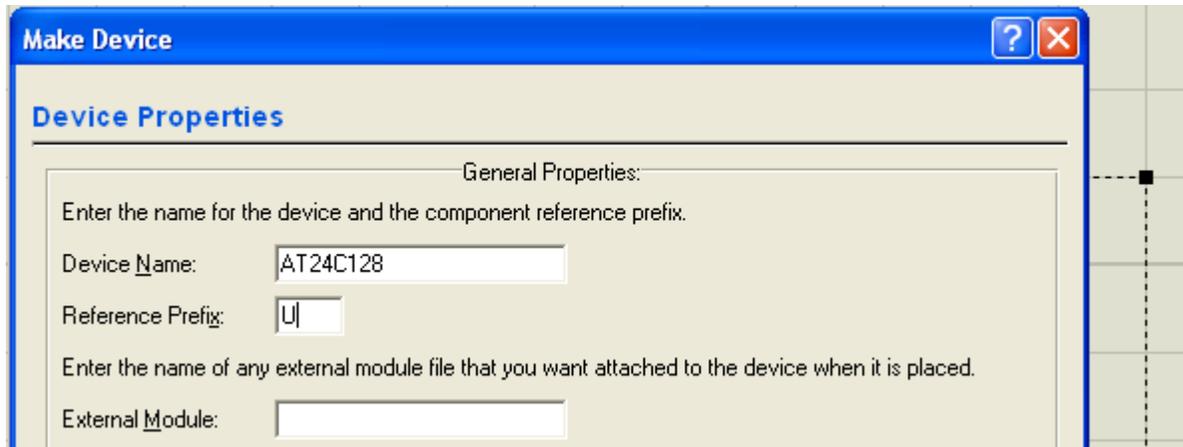
no sentido vertical, caso contrário os números de identificação aparecerão na parte inferior do pino em relação ao lado esquerdo, apenas por questão de estética. Selecionar cada um dos pinos e aplicar o comando Y-Mirror, conforme ilustra a figura a seguir.



5) Selecionar o símbolo. Após selecionado, clicar com o botão direito do mouse e escolher a opção *Make Device*.



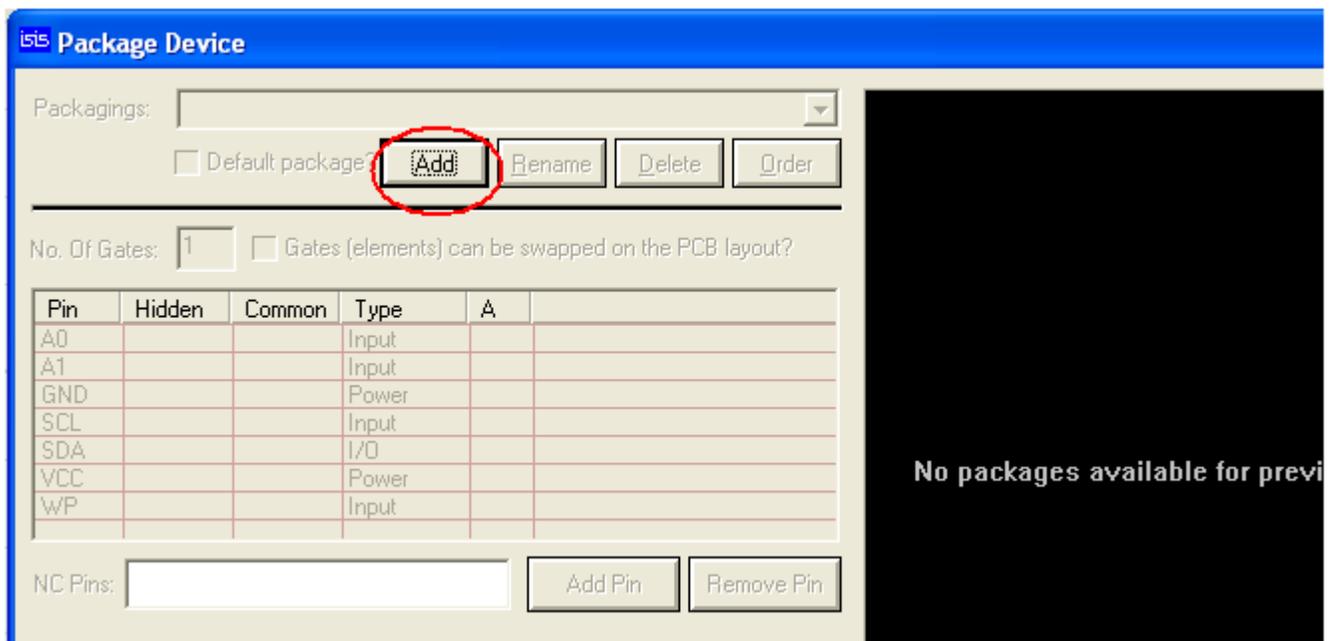
6) Nomear conforme sugerido na figura a seguir e clicar em NEXT:



7) Clicar em Add/Edit e em seguida em NEXT:

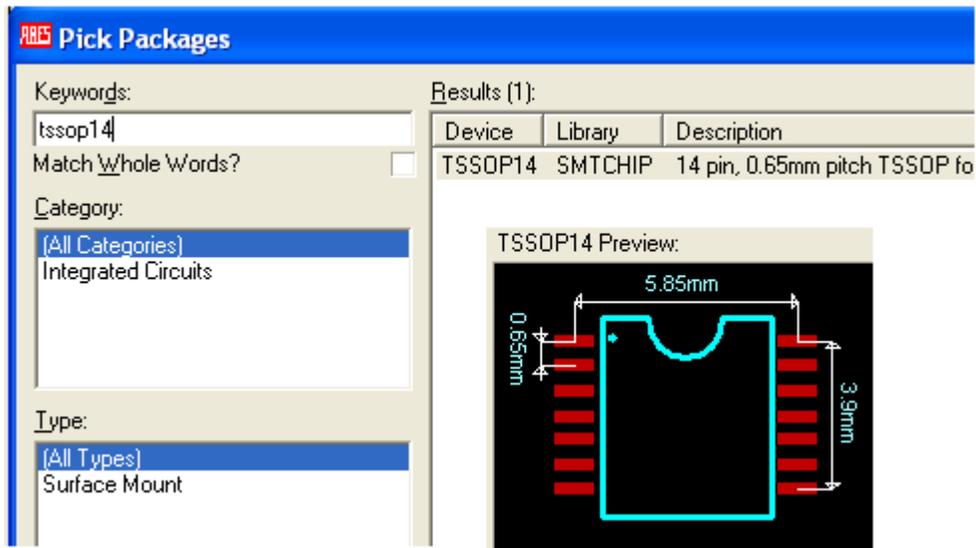


8) Clicar em Add para adicionar um PCB Package do Proteus ARES. Clicar em NEXT para abrir a janela Pick Packages:

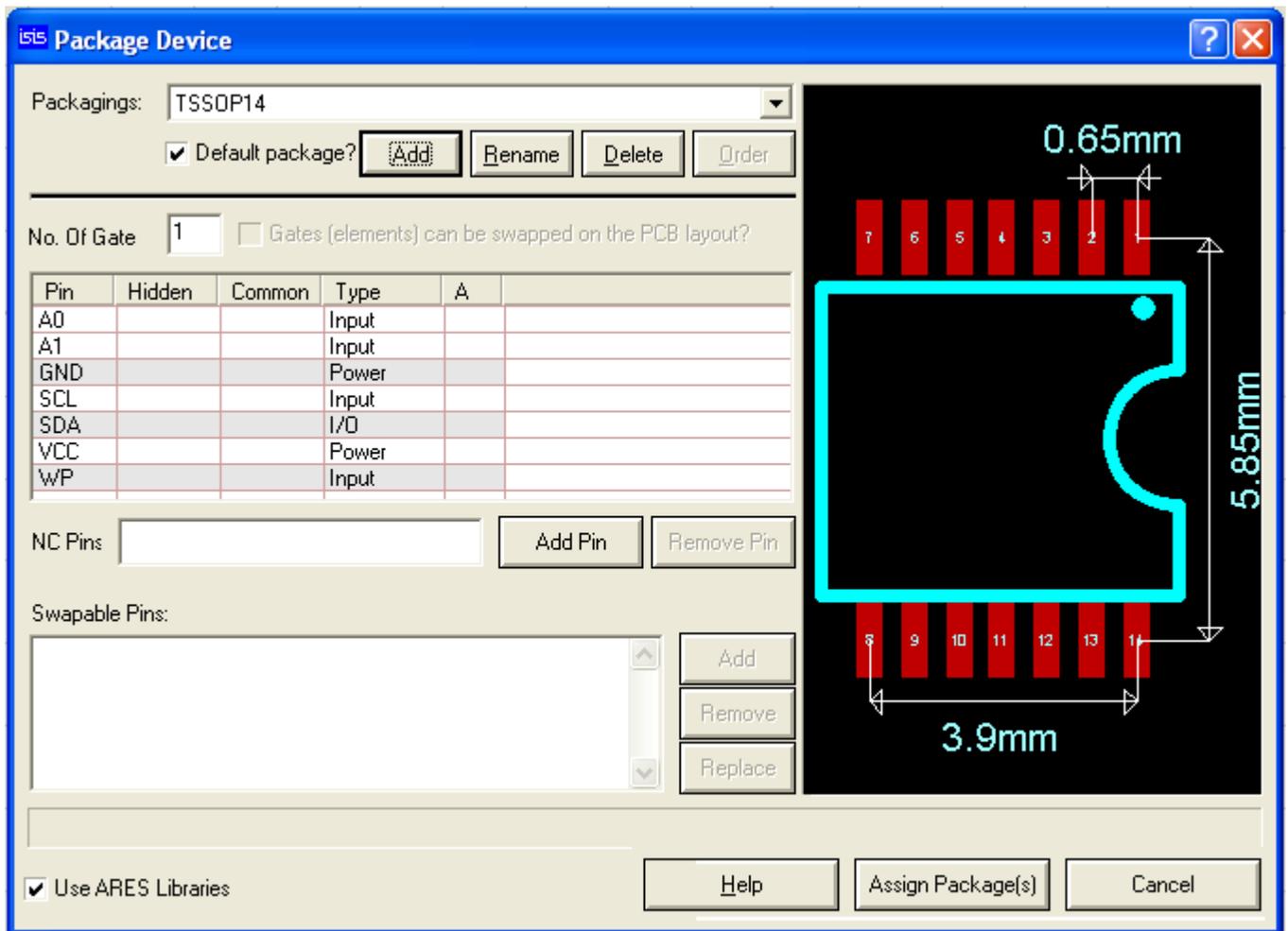


Em Pick Packages, digitar no campo Keywords o código do encapsulamento mencionado pelo fabricante, no caso: TSSOP14.

Trata-se de um encapsulamento para CI com 14 pinos, tecnologia SMD.



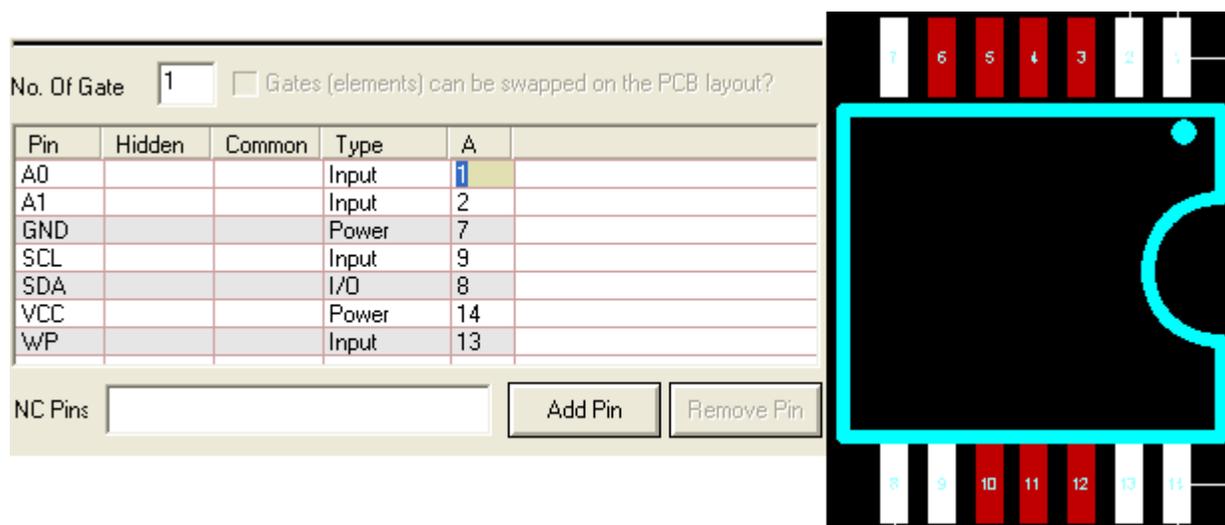
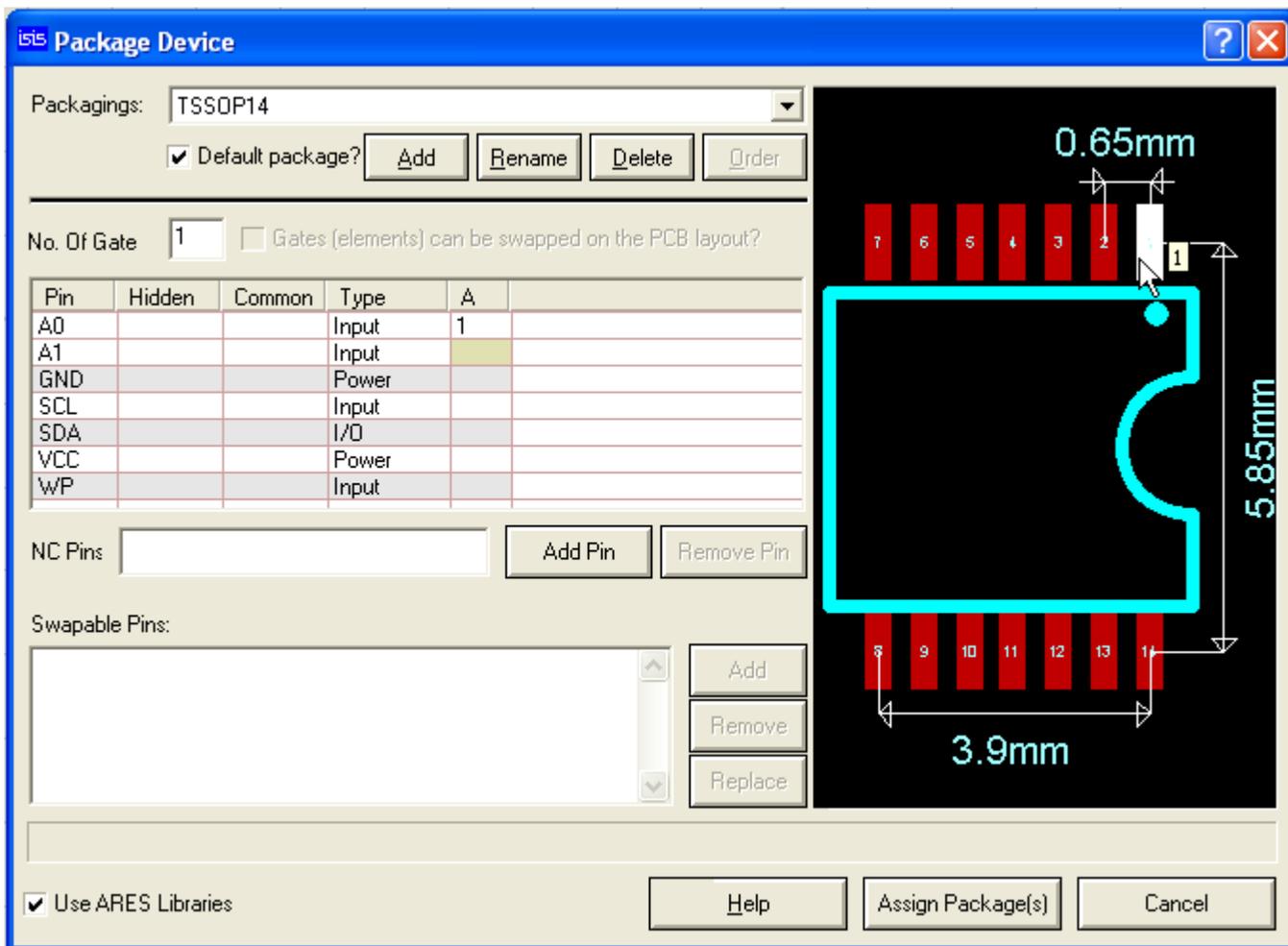
9) Clicar em OK. Teremos então o package disponível para a identificação, conforme mostra a figura a seguir:



Como se trata de um componente monogate, deixar o campo *No. Of Gate* em 1.

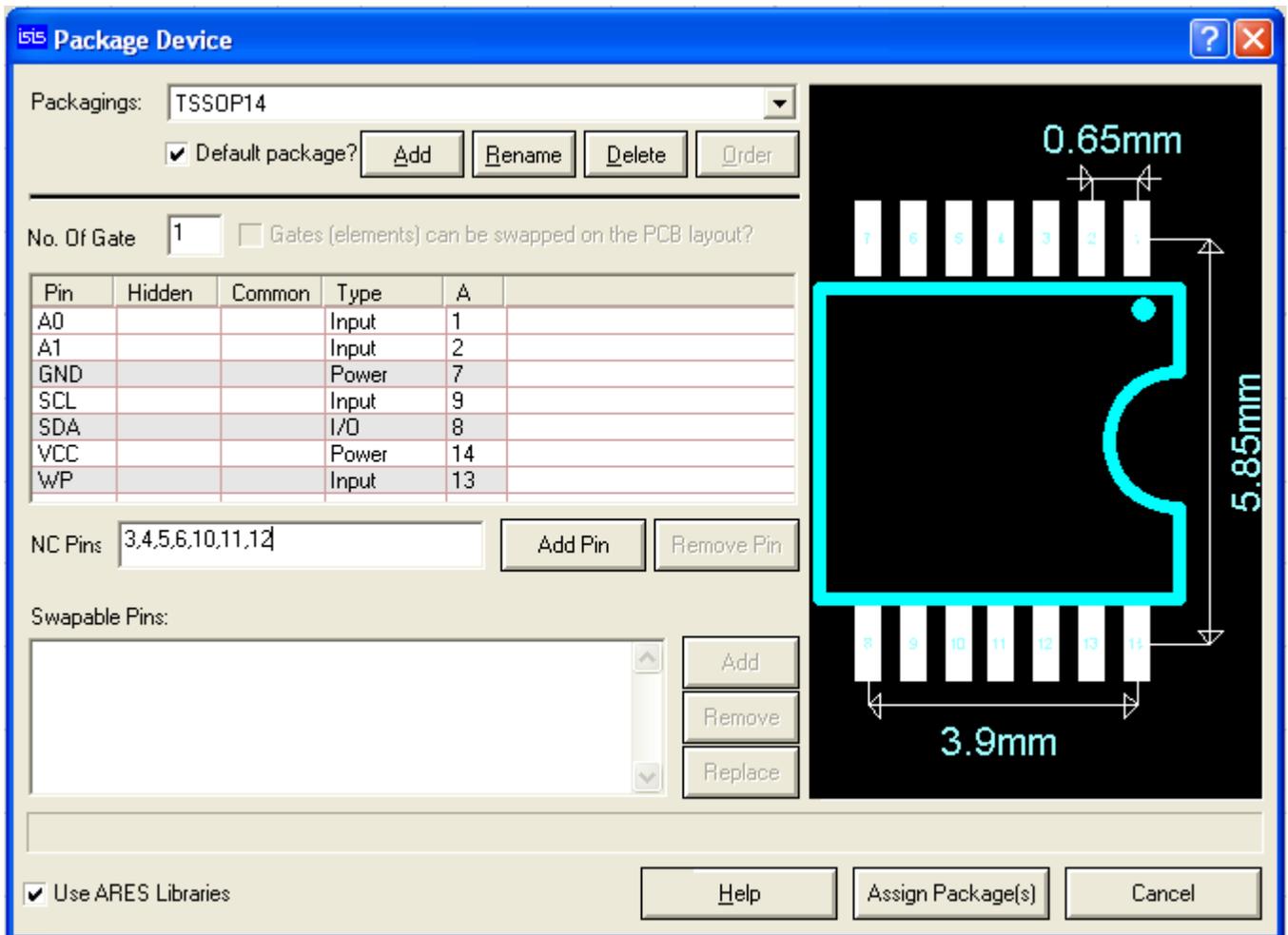
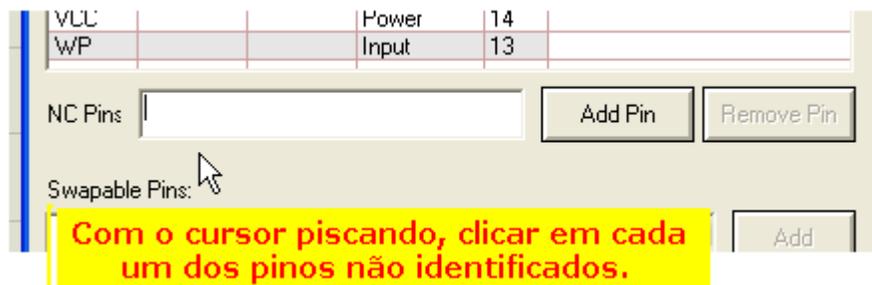
10) Procedendo como no capítulo anterior, identificar cada um dos pinos relacionados à esquerda (A0, A1, GND, SCL, SDA, VCC e WP) com o *package*.

Clique na linha correspondente aos pinos e em seguida clique no pino do *package*.



Observe que os pinos 3,4,5,6,10,11 e 12 não foram identificados.

Para identificar esses pinos, clicar no campo NC Pins e com o cursor piscando clicar nos pinos não identificados do package. Esses serão os pinos NC.

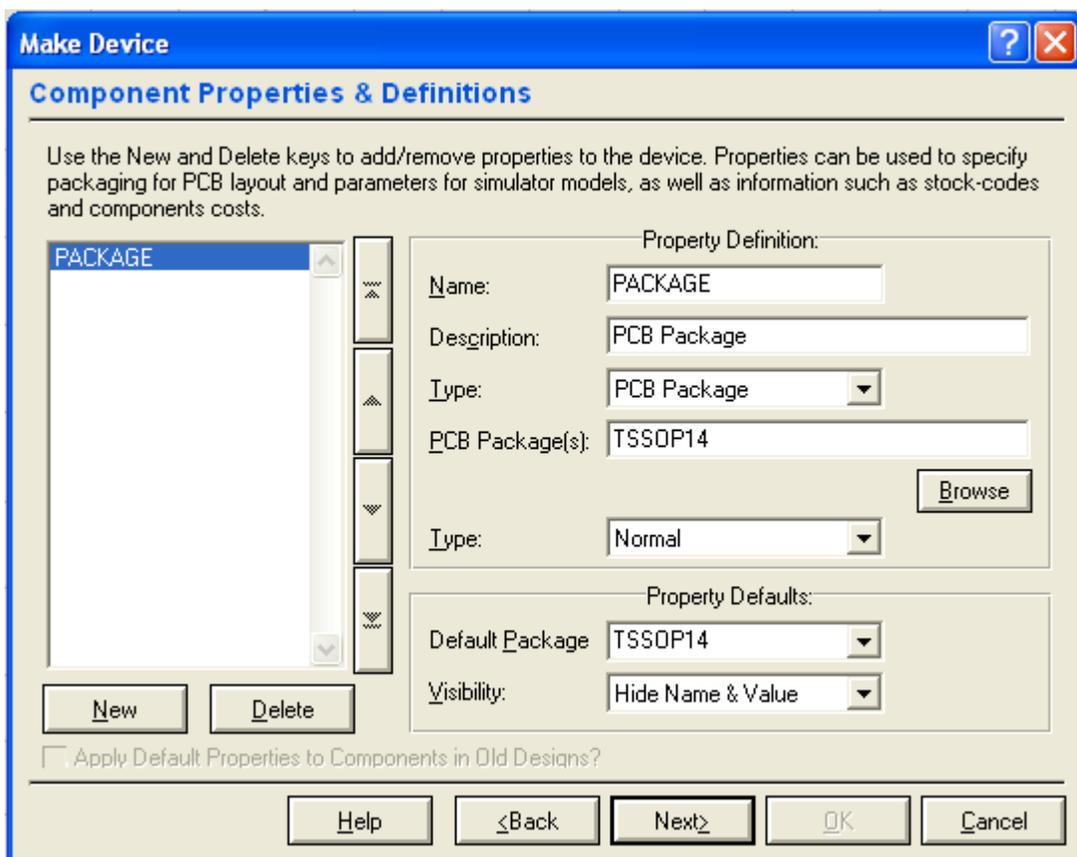
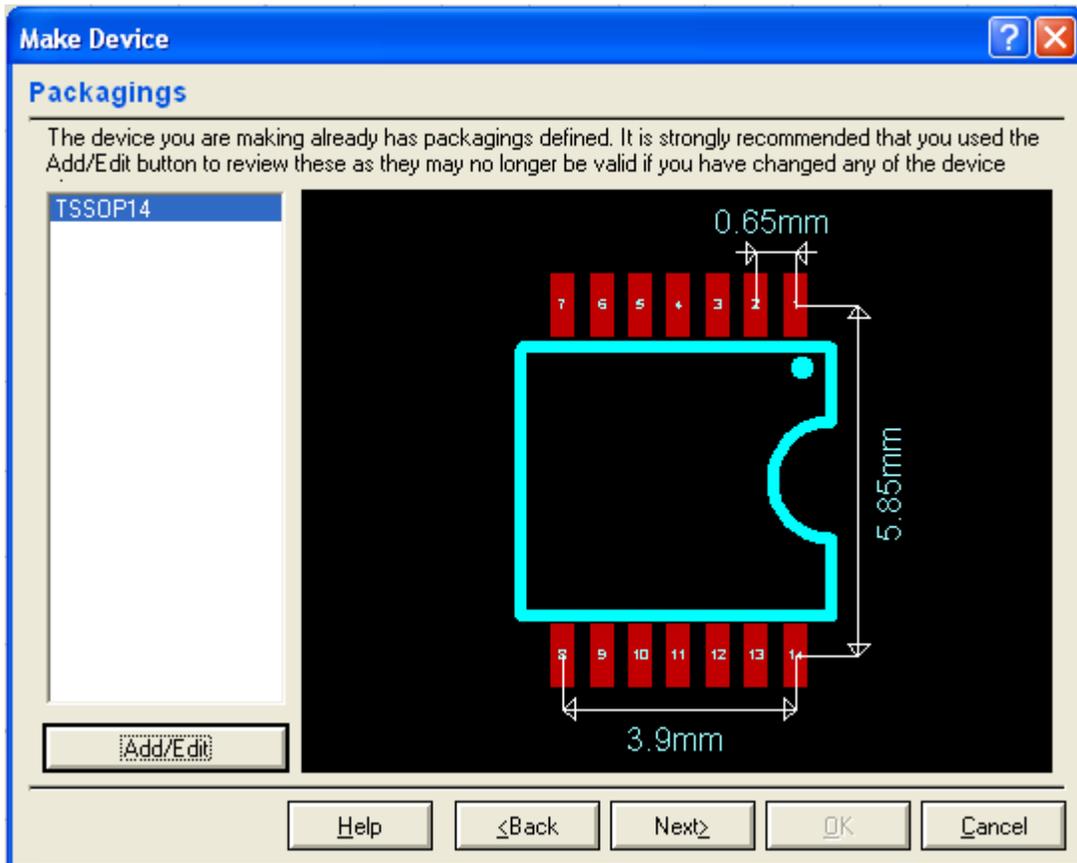


11) Clicar em *Assign Package(s)* para finalizar.

As próximas janelas poderão ser ignoradas a não ser que se deseje alterar os parâmetros, que não é o caso.

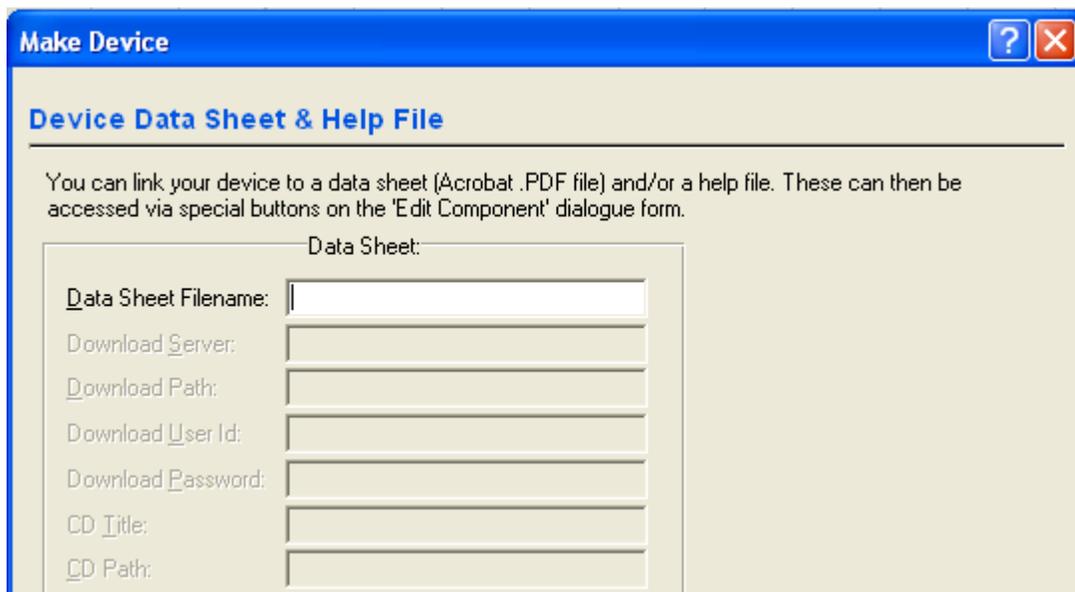
Na verdade é uma informação de que o *package* já foi criado com as suas propriedades e definições.

Clicar Next nas duas janelas.

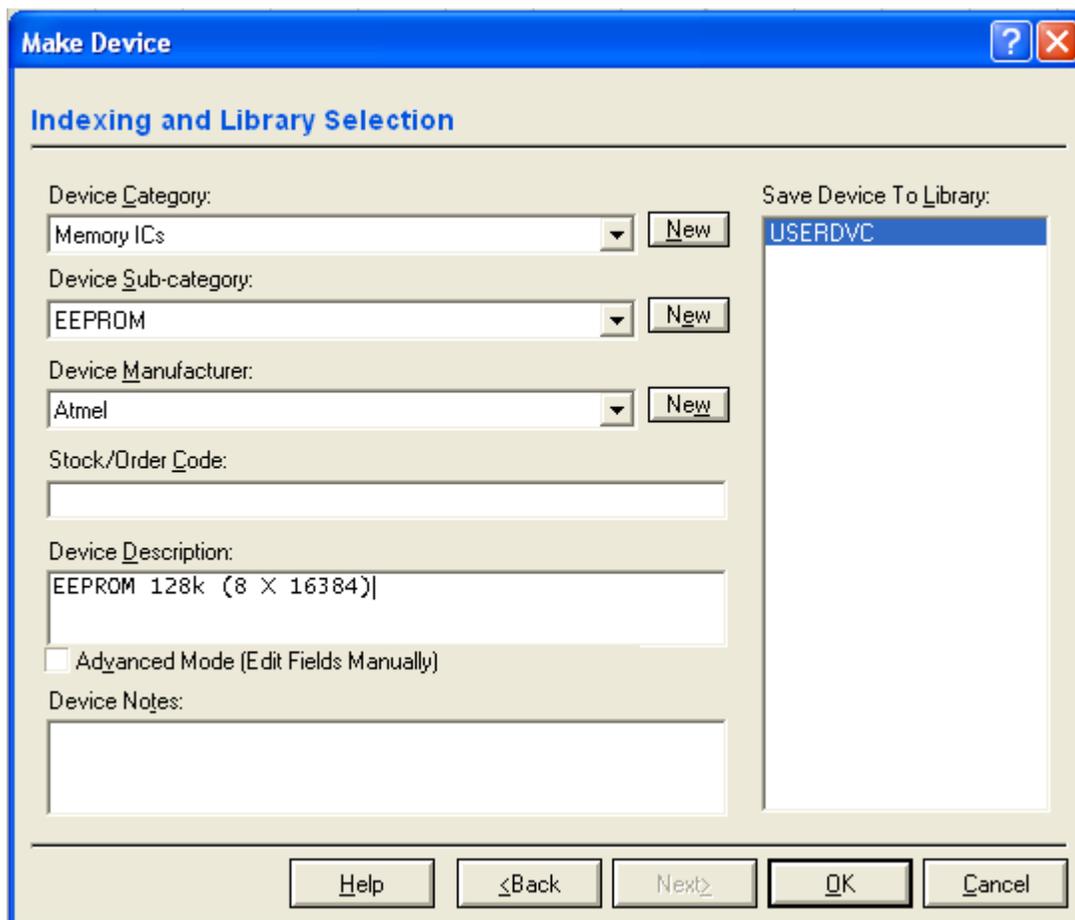


A próxima janela permite que seja indexado um arquivo, normalmente PDF para servir como ajuda ou data-sheet do componente.

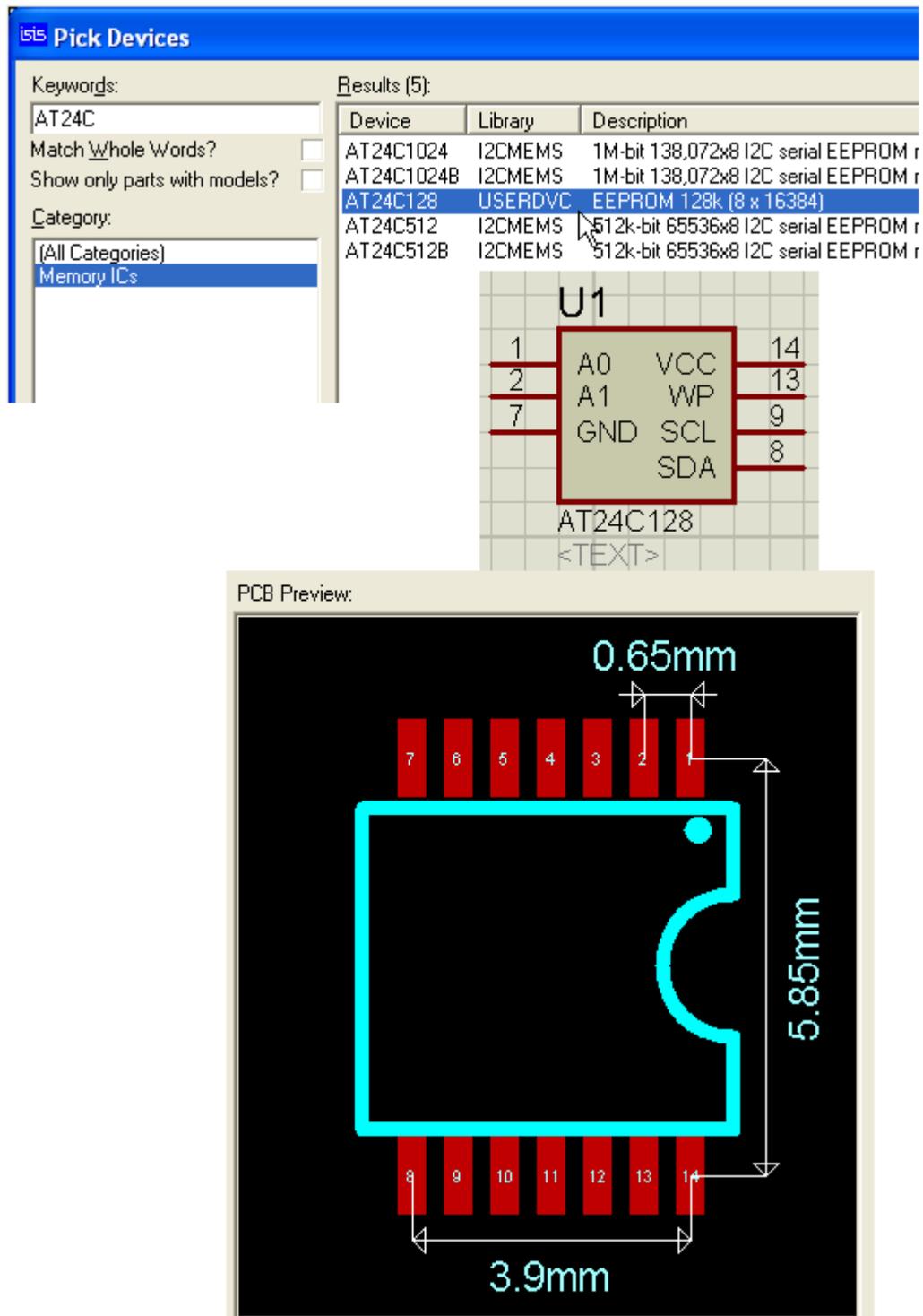
Clicar em Next.



Para finalizar, clicar em OK. O dispositivo será salvo na biblioteca USERDVC.



A figura a seguir mostra o componente na biblioteca do Proteus ISIS com o seu respectivo *package*.



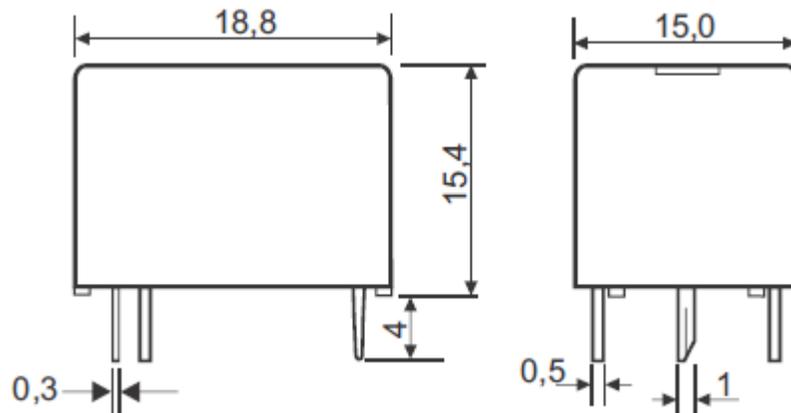
CRIAÇÃO DE UM COMPONENTE MULTIGATE HETEROGÊNEO

RELÊ ELETROMECHANICO

Neste capítulo vamos criar um relê eletromecânico, da marca Metaltex, modelo AX1RXX, onde XX representa a tensão nominal da bobina.

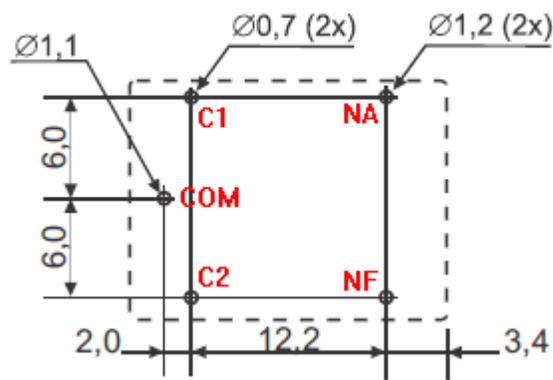


Antes de prosseguir na construção do componente devemos conhecer as características do relê quanto as suas medidas e seu diagrama elétrico, que são mostradas a seguir, em milímetros, consultando o catálogo do fabricante.



A figura a seguir mostra o diagrama PCI com as medidas em milímetros, visto por baixo.

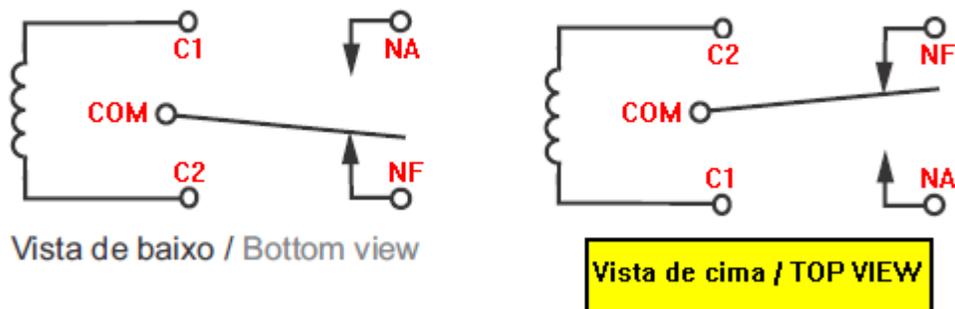
Diagrama PCI / Printed circuit layout



Vista de baixo / Bottom view

Considerando que no Proteus ARES os *packages* são construídos no TOP VIEW (vista por cima), devemos espelhar o diagrama verticalmente.

Diagrama Elétrico / Schematic



COM = comum (pino do contato)
C1 = C2 = ligação da bobina (do inglês COIL)
NF = Normalmente fechado (pino do contato)
NA = Normalmente aberto (pino do contato)

A partir daí, podemos iniciar a construção do nosso componente no Proteus ARES.

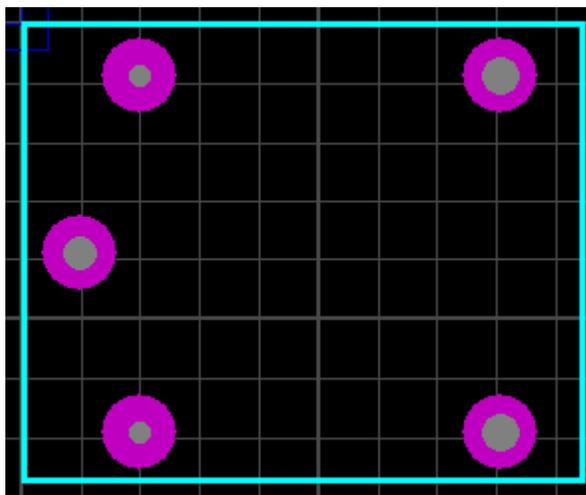
Vamos utilizar os seguintes PADS:

C1 e C2, o pad C-100-30 (diâmetro do furo = 0,762mm)

COM, o pad C-100-45 (diâmetro do furo = 1,14mm)

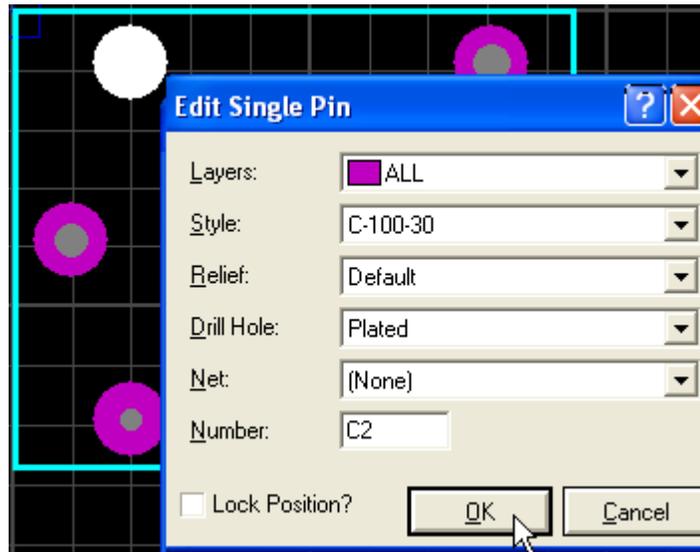
NA e NF, o pad C-100-50 (diâmetro do furo = 1,27mm)

Os pads C-100-30 e C-100-45 foram criados.

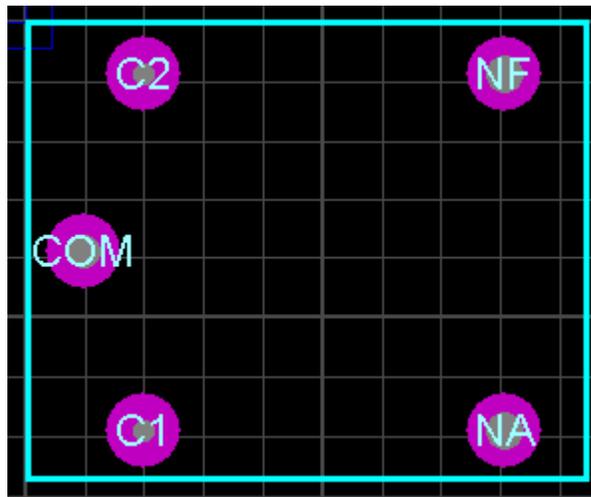


O próximo passo é a identificação dos PADS.

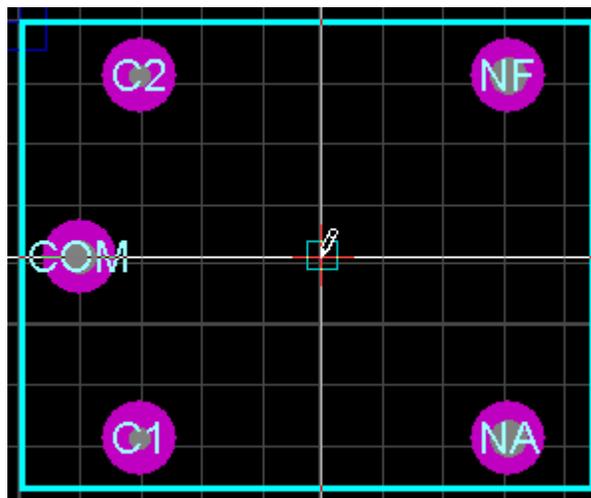
Conforme visto anteriormente, para editar o pad basta clicar com o botão direito do mouse para selecioná-lo e selecionar a opção Edit. A figura a seguir mostra a identificação do PAD C2.



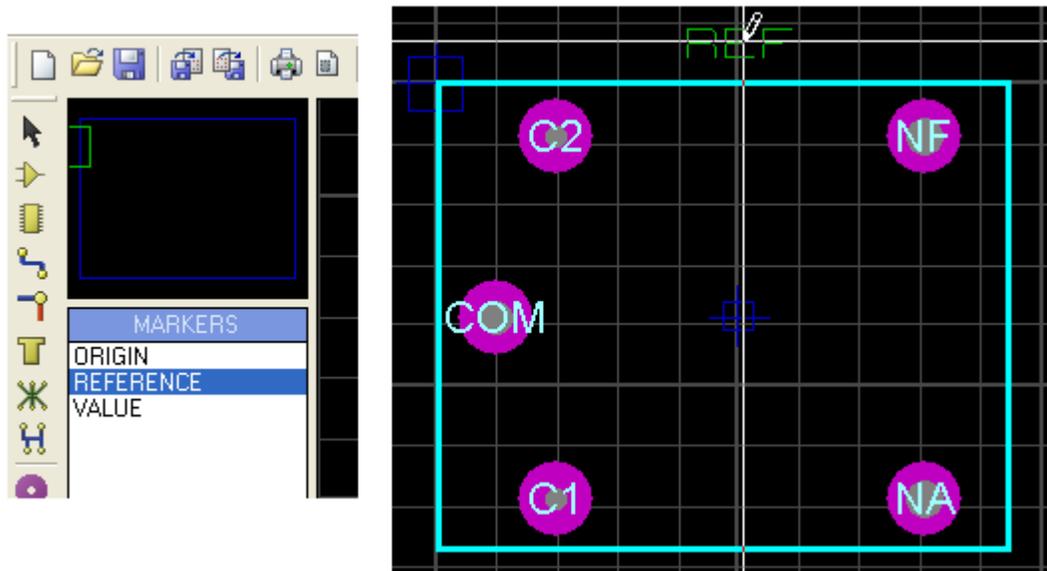
Proceder de forma idêntica para identificar os demais PADS.



Colocar um ponto de origem.

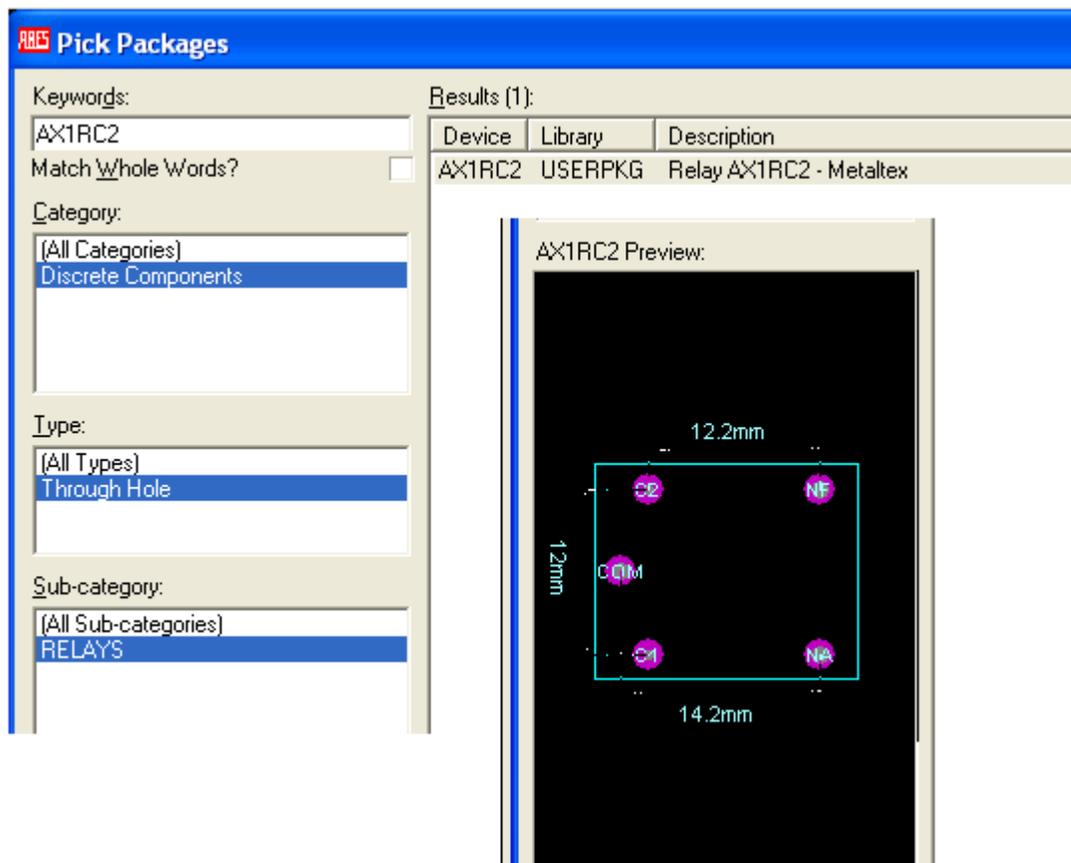


Colocar um ponto de referência.

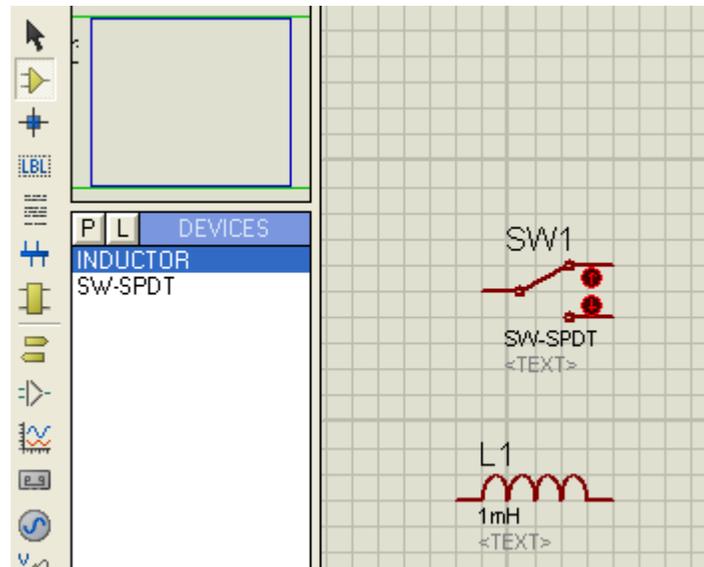


Selecionar tudo e clicar com o botão direito do mouse. Na janela de seleção que surge, clicar em *Make Package*, atribuindo:

NAME: AX1RC2
CATEGORY: Discrete Components
TYPE: Through Hole
SUB-CATEGORY: Relays



Dando continuidade precisamos encontrar os símbolos eletrônicos no Proteus ISIS e correlacionar os PADS.

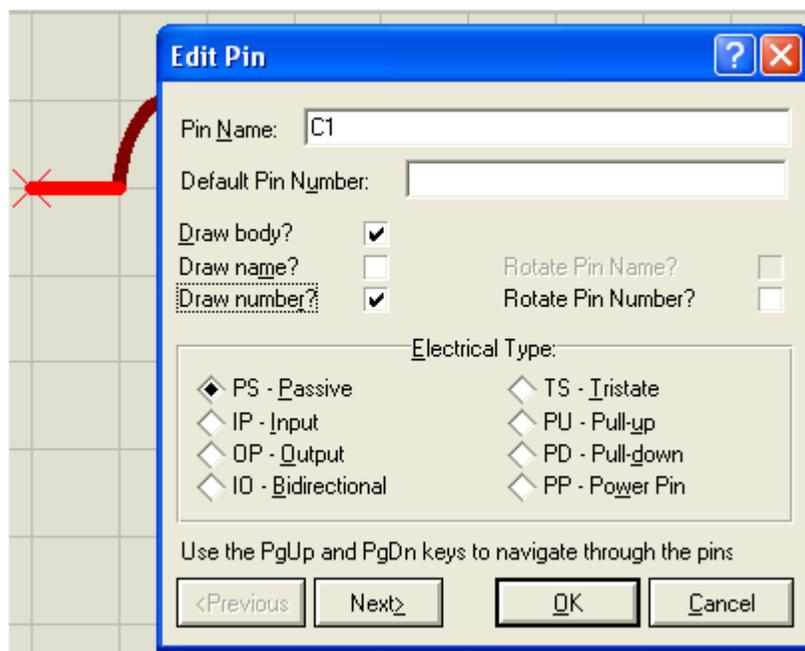


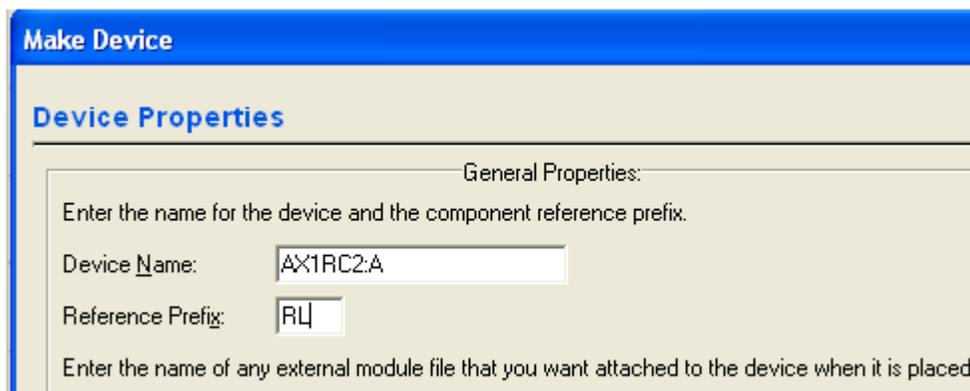
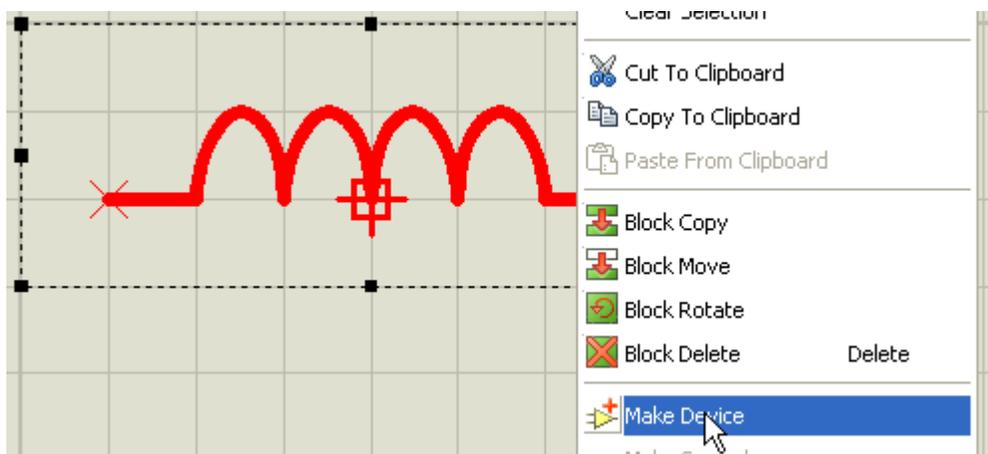
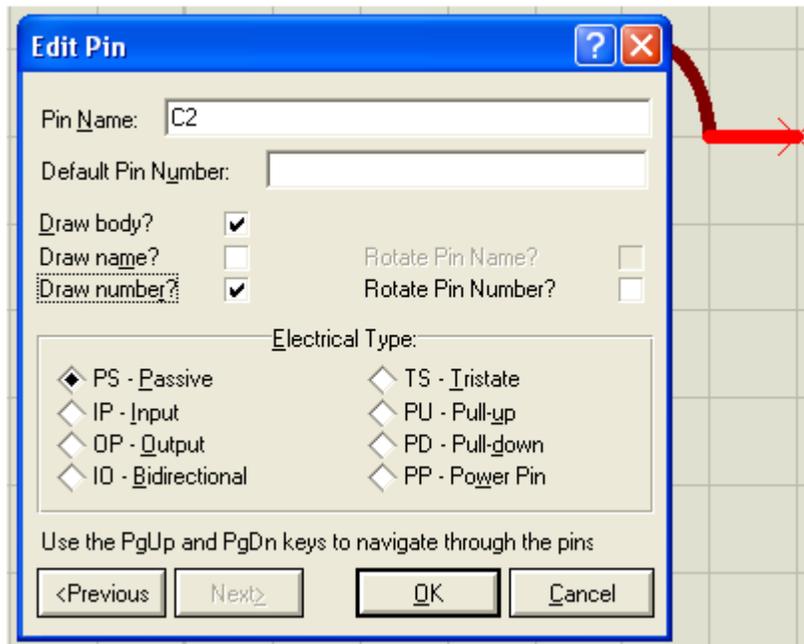
O próximo passo é identificar os PADS com os símbolos, usando os mesmos procedimentos adotados anteriormente.

Lembrar que para isso é necessário fazer a decomposição dos símbolos eletrônicos.

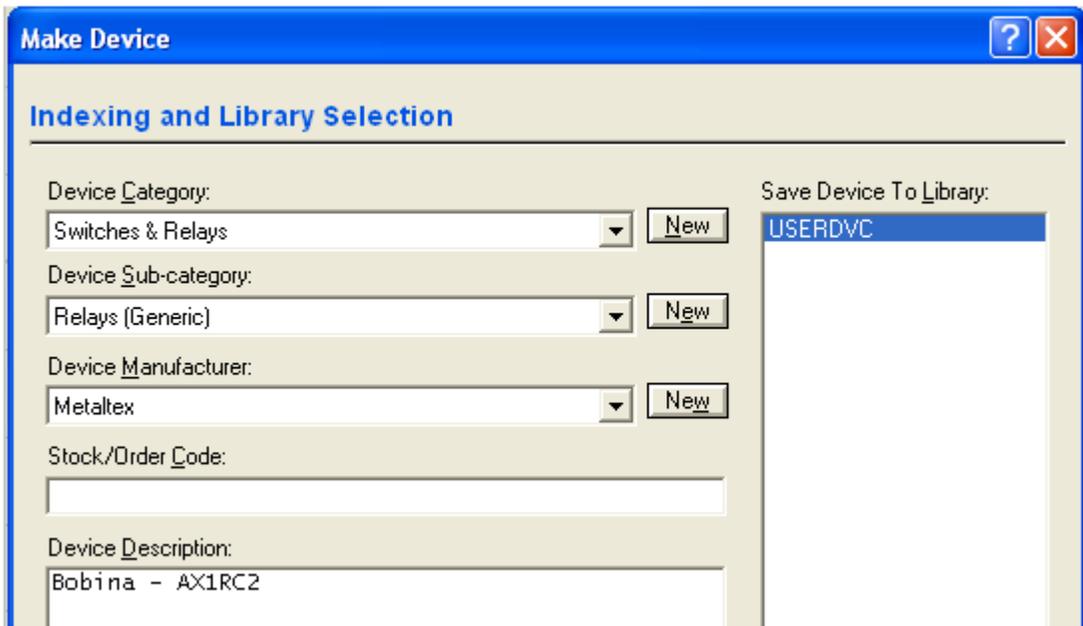
Neste caso temos dois elementos distintos: o indutor e a chave SPDT, daí então o nome de componente heterogêneo e multigate. Os pinos do indutor e da chave devem ser editados para que futuramente possam ser associados aos PADS.

As figuras a seguir ilustram esse procedimento.



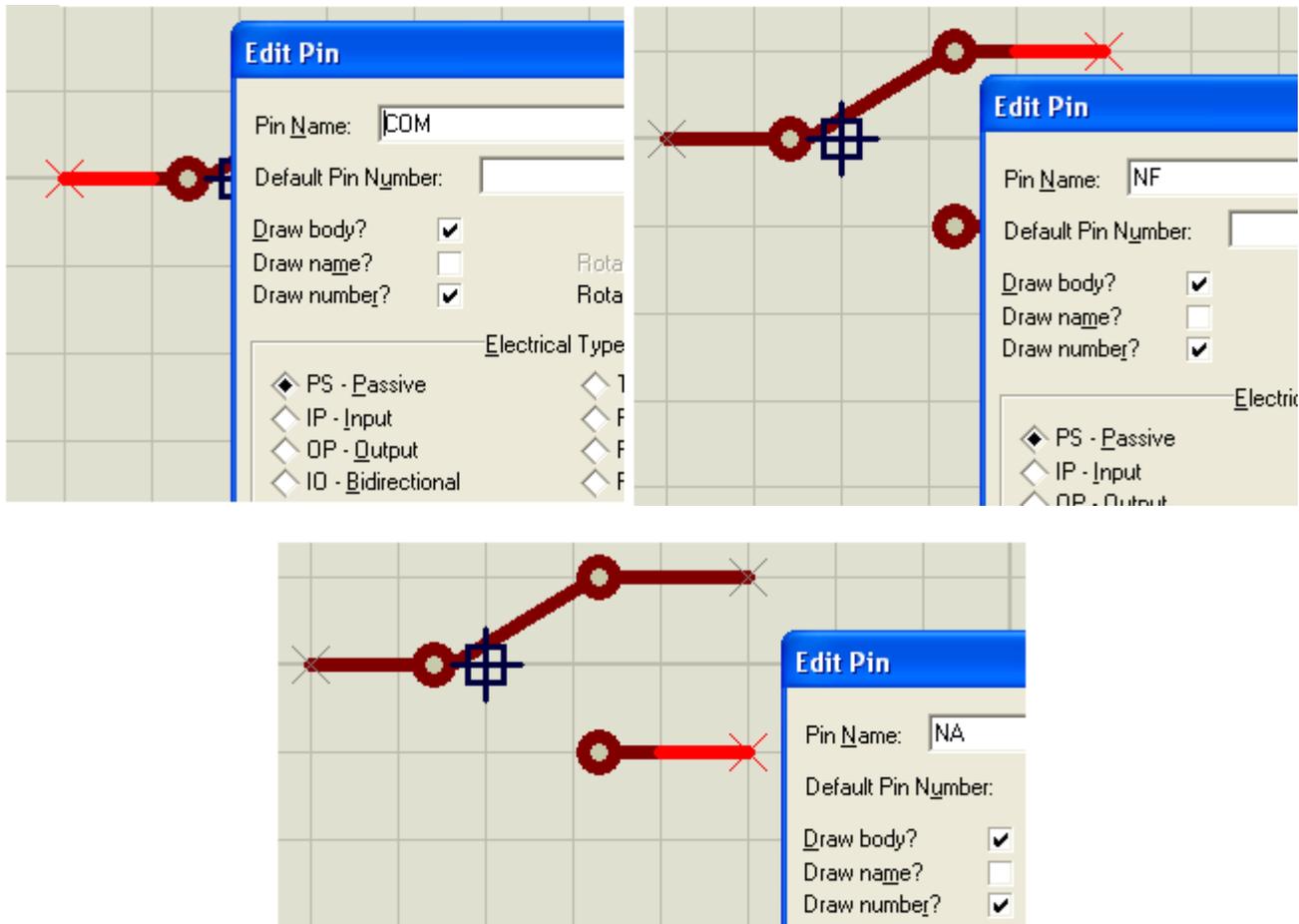


Observe que o componente foi nomeado como AX1RC2:A, onde C2 representa a tensão nominal da bobina, que no caso é de 12V. A letra "A" representa uma das partes do componente.

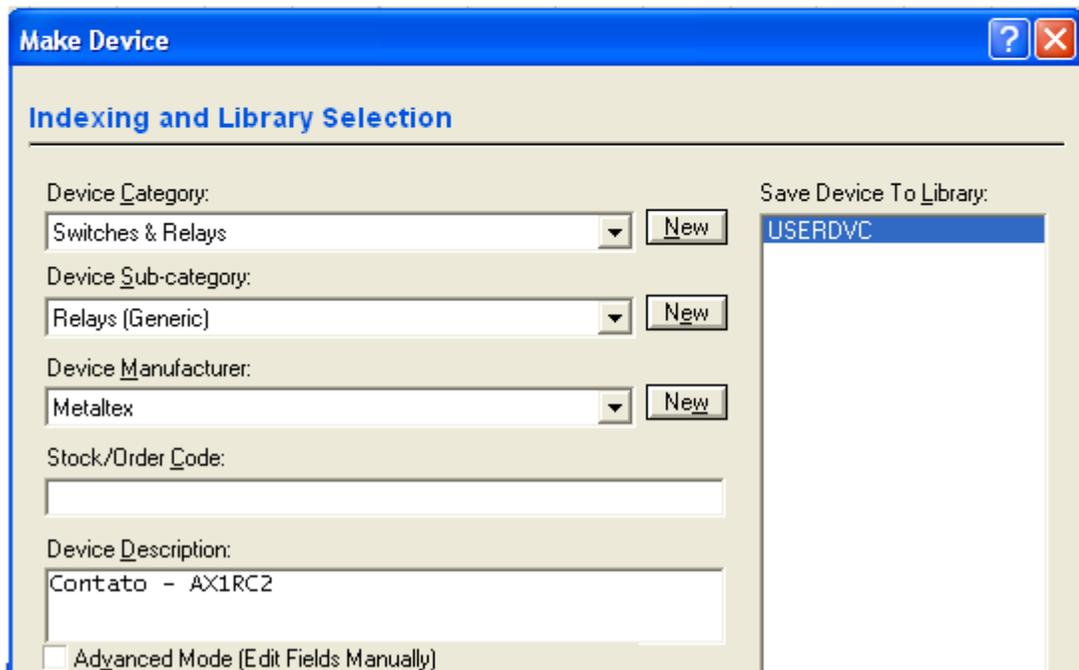
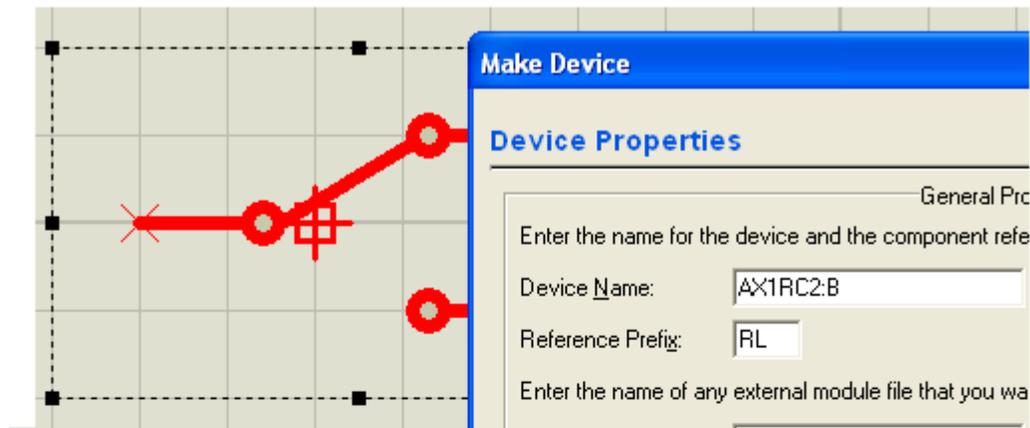


O nome AX1RC2: A representa a primeira parte do componente.

Usando o mesmo procedimento, teremos para a chave:



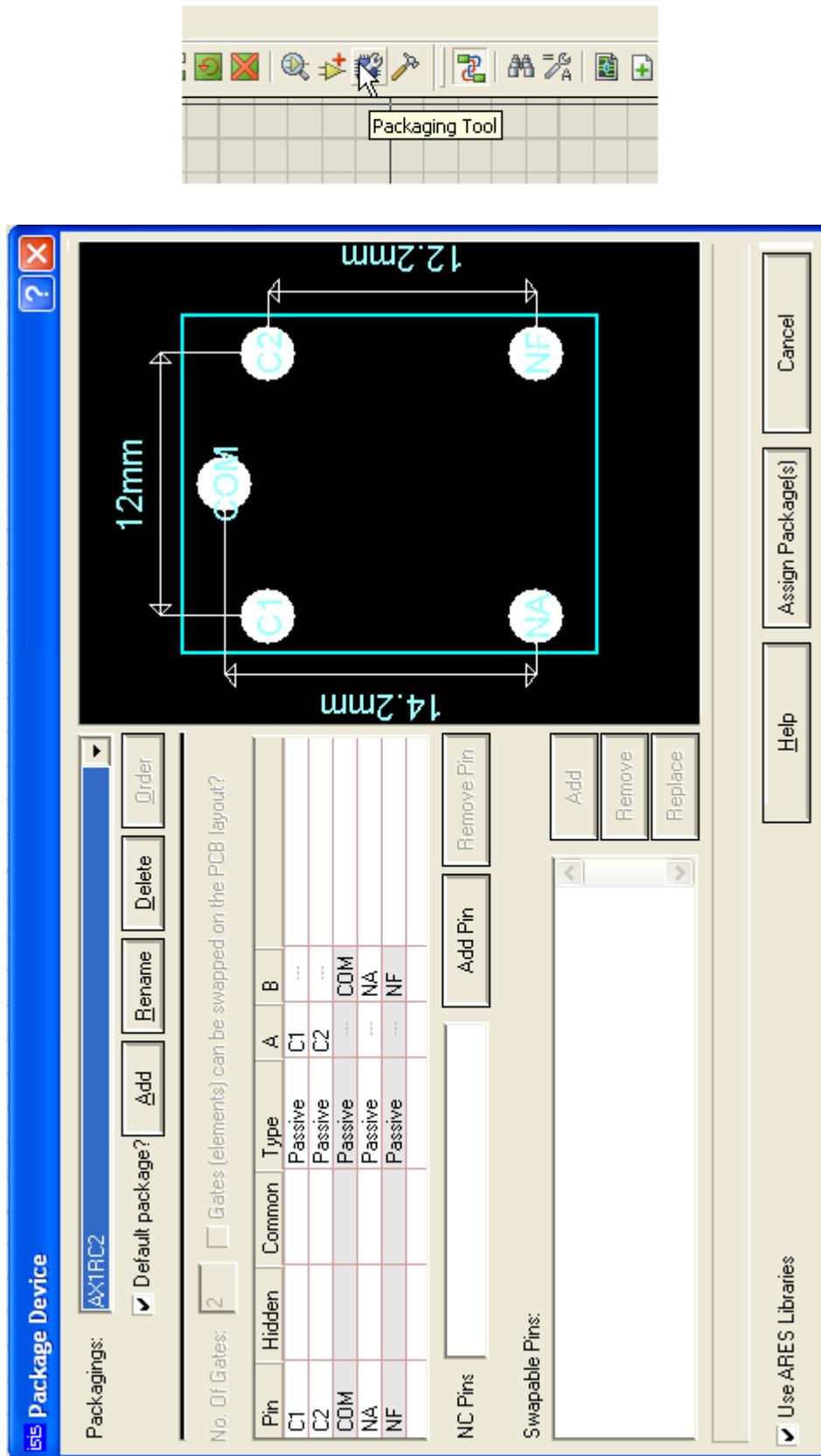
Finalizando e salvando na biblioteca USERDVC:



Observe que as duas partes do componente, contato (chave) e bobina (indutor) receberam o mesmo nome, porém, foram diferenciadas com as letras A e B.

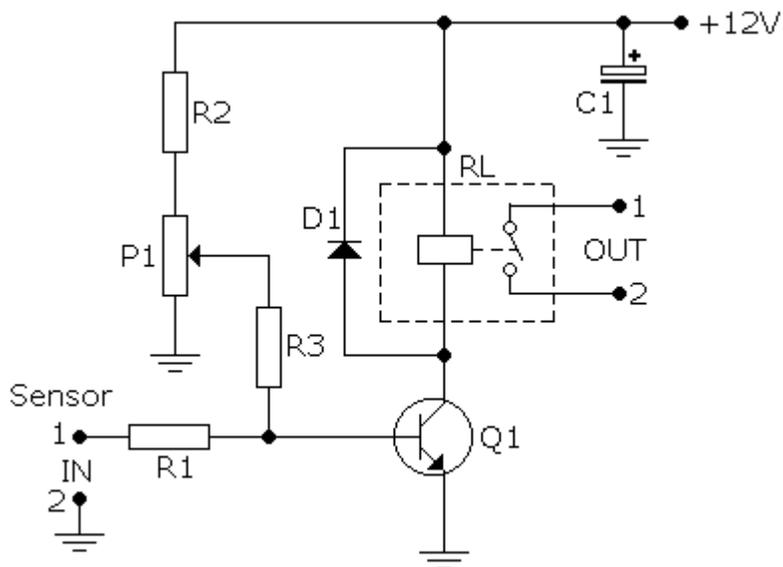
Para finalizar, selecionar os dois símbolos e associá-los ao *package* criado, clicando no ícone *Packaging Tool*.





Observe que as colunas A e B definem os pinos correspondentes a bobina e a chave (contato) do dispositivo.

Vamos construir uma placa de CI para um relê eletrônico conforme mostra a figura a seguir, a partir de um diagrama esquemático no Proteus ISIS.



RL = relê Metaltex AX1RC2

R1 = 100k

R2 = 10K

R3 = 2,2k

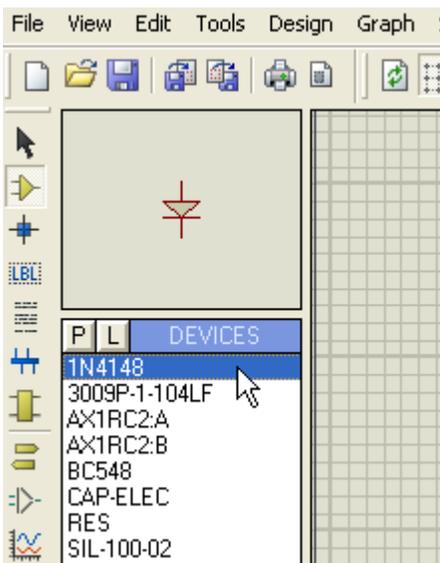
P1 = 100k linear

Q1 = BC548

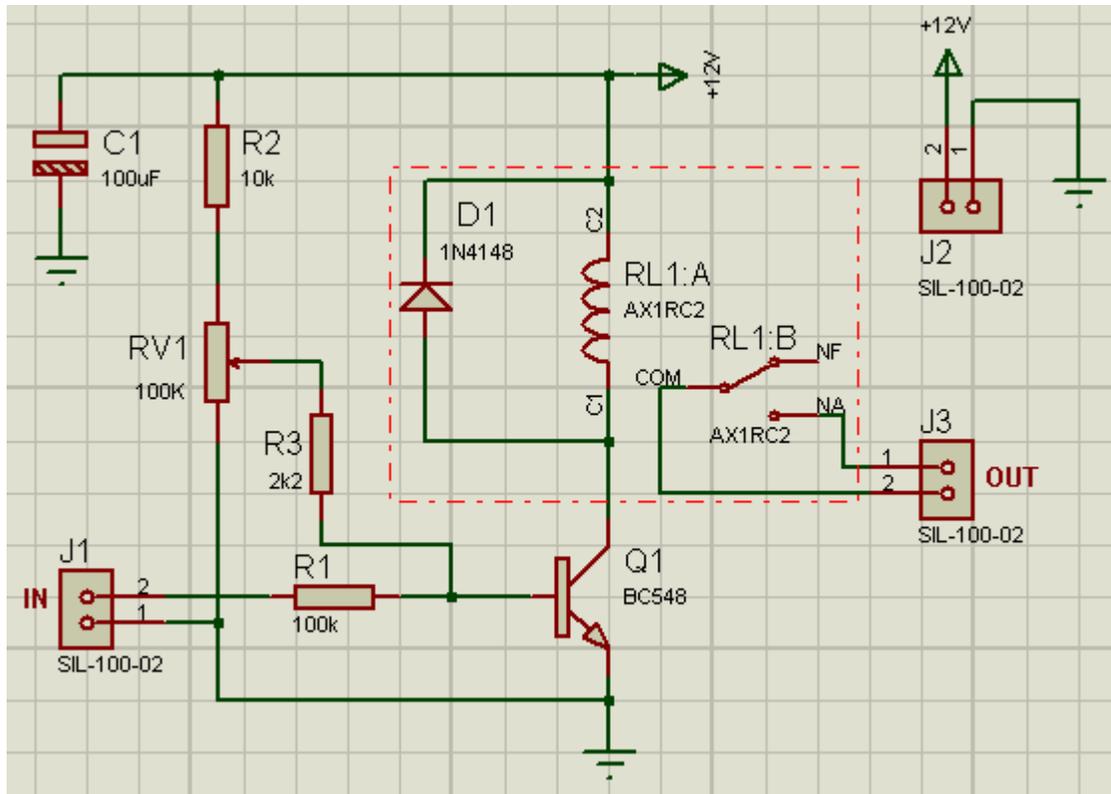
D1 = 1N4149

C1 = 100uF

Na entrada (IN) pode ser ligado um sensor ou qualquer outro dispositivo para disparar o relê, enquanto que na saída (OUT), os contatos podem compor um circuito de alarme. Veja na figura a seguir os dispositivos que foram selecionados:

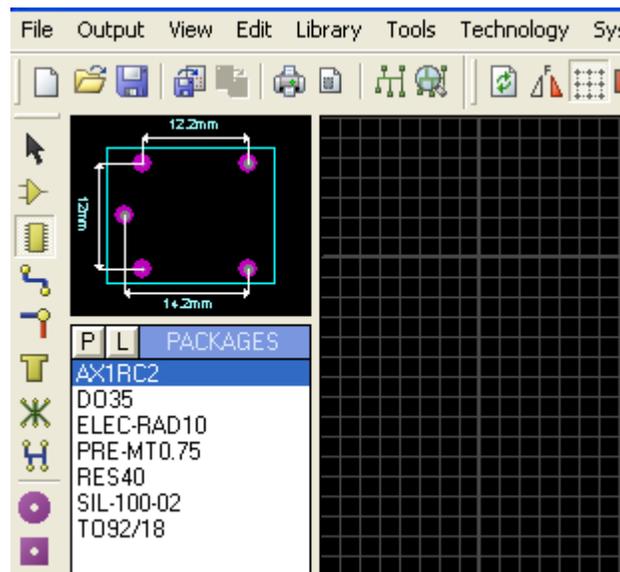


A figura a seguir mostra o diagrama esquemático no Proteus ISIS.



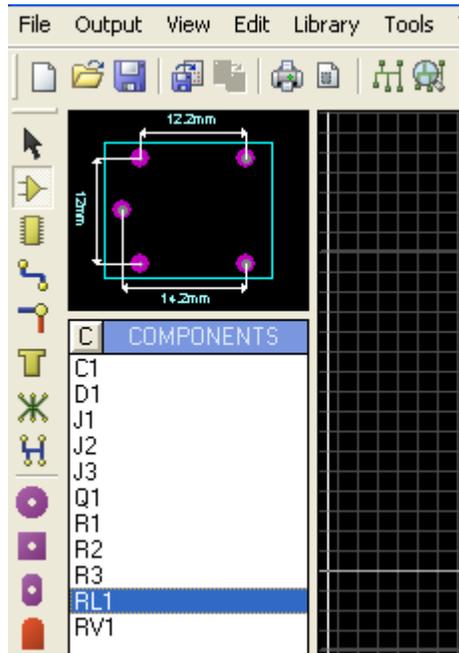
Exportando para o Proteus ARES.

Verifica-se que o *package* do relê já contem as duas partes, A e B.



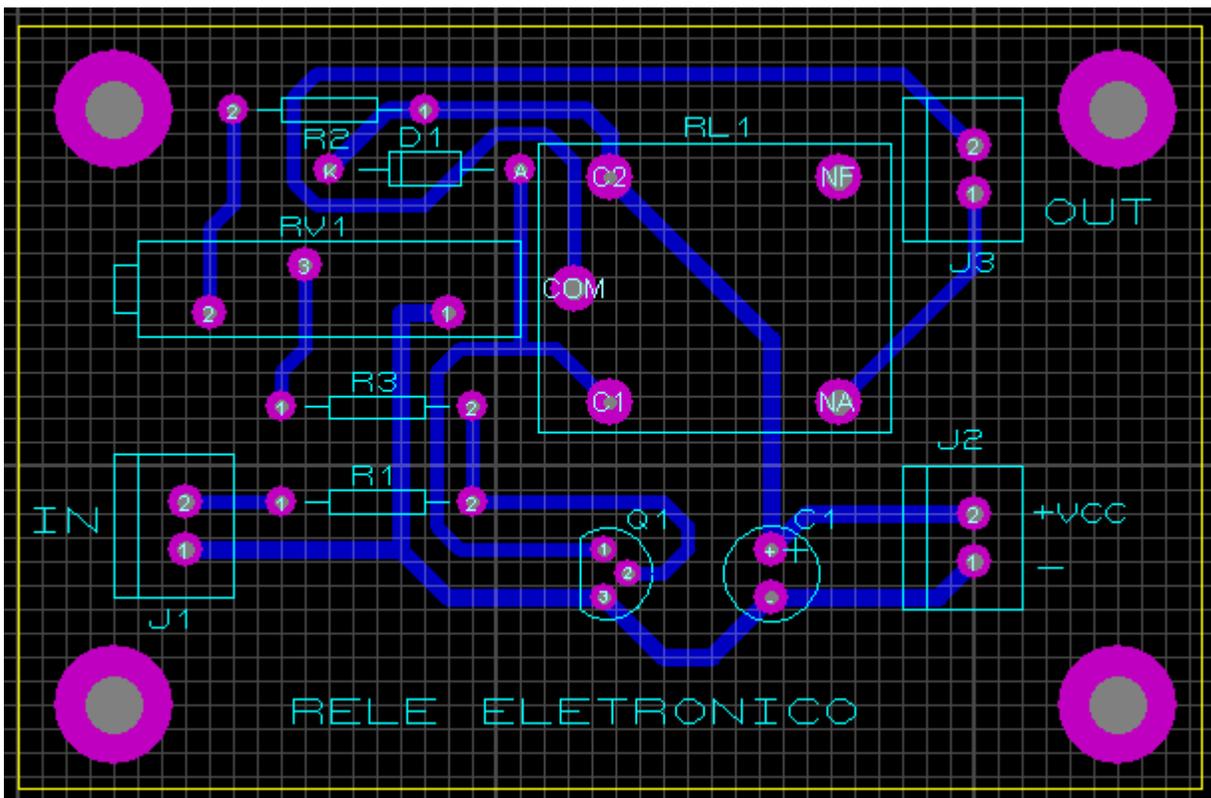
No Component Mode aparece como RL1.

Veja que no diagrama esquemático, tanto a parte A como a parte B foram nomeadas como RL1.

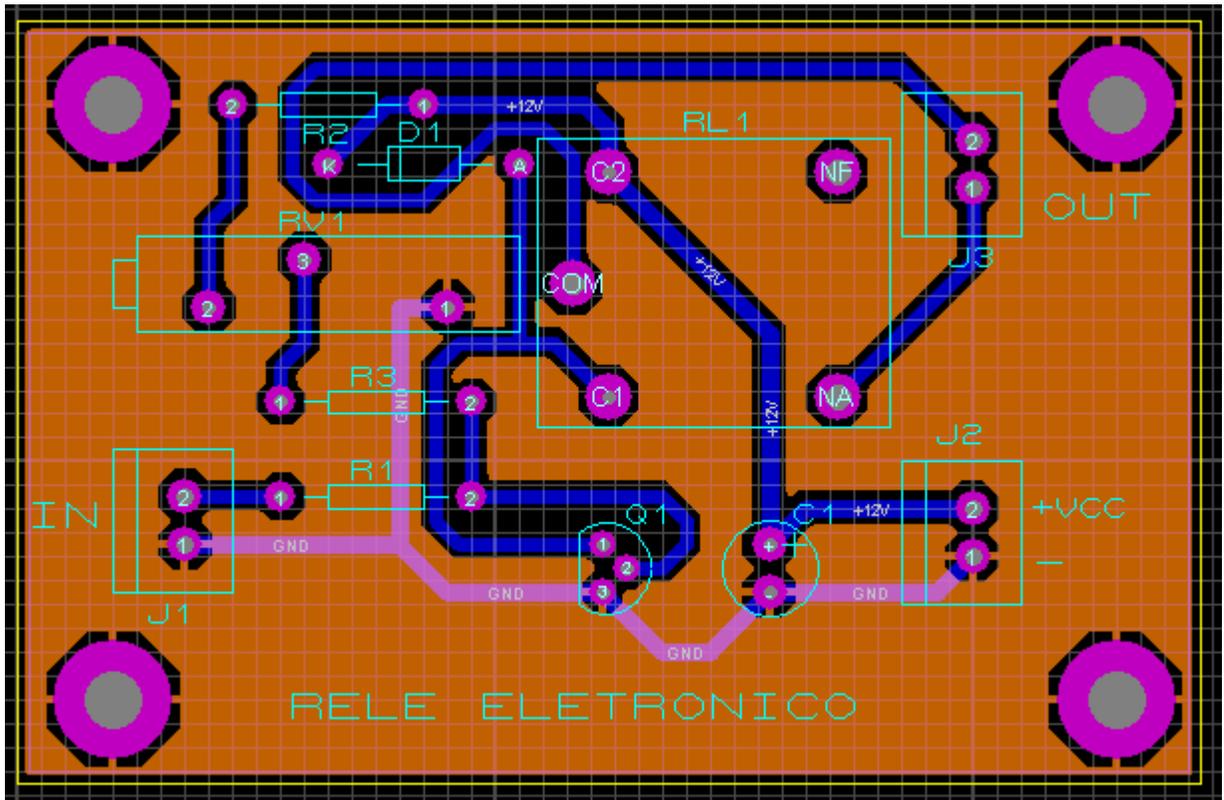


A partir daí, construir a placa de CI seguindo todos os procedimentos adotados anteriormente.

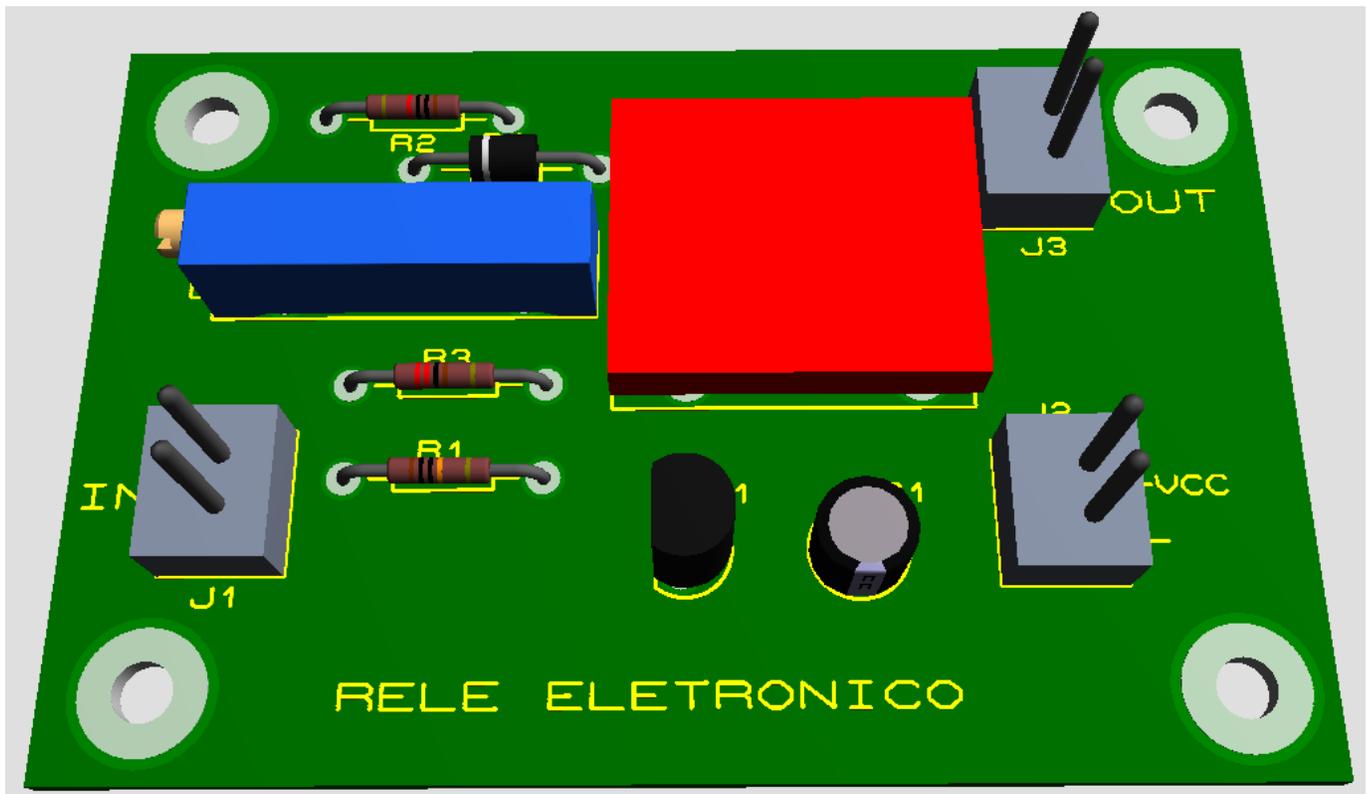
A figura a seguir mostra a placa de CI pronta.



A próxima figura mostra a placa de CI com um chapado interligando todos os pontos de terra (GND) no layer BOTTOM COPPER.



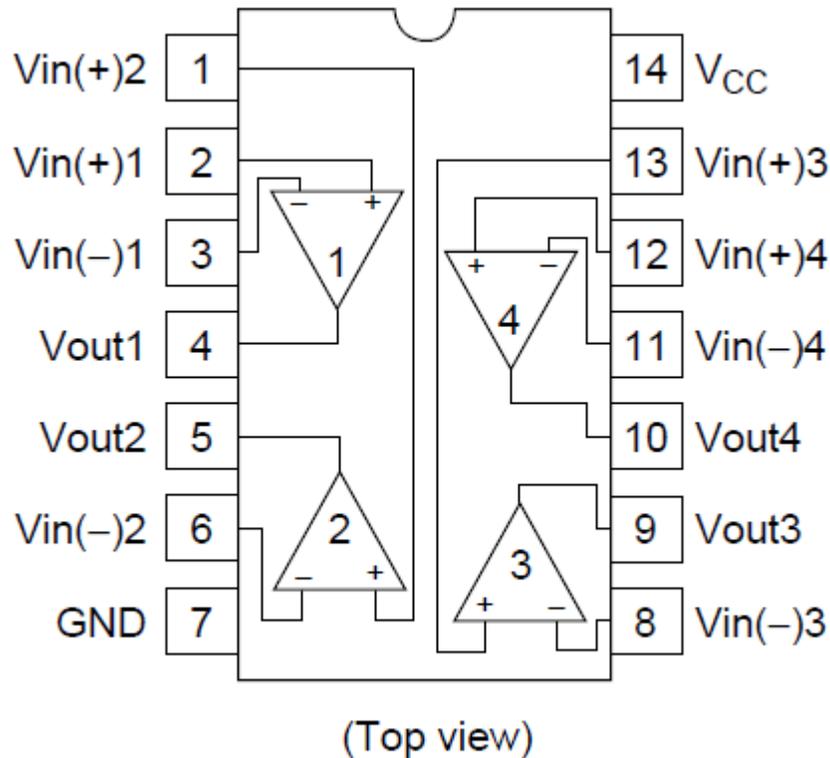
Vista 3D:



Dimensões da placa: 2475th x 1600th (6,3 x 4,1cm). Observe que os furos estão conectados ao plano de terra (GND).

CRIAÇÃO DE UM COMPONENTE MULTIGATE HOMOGENEO

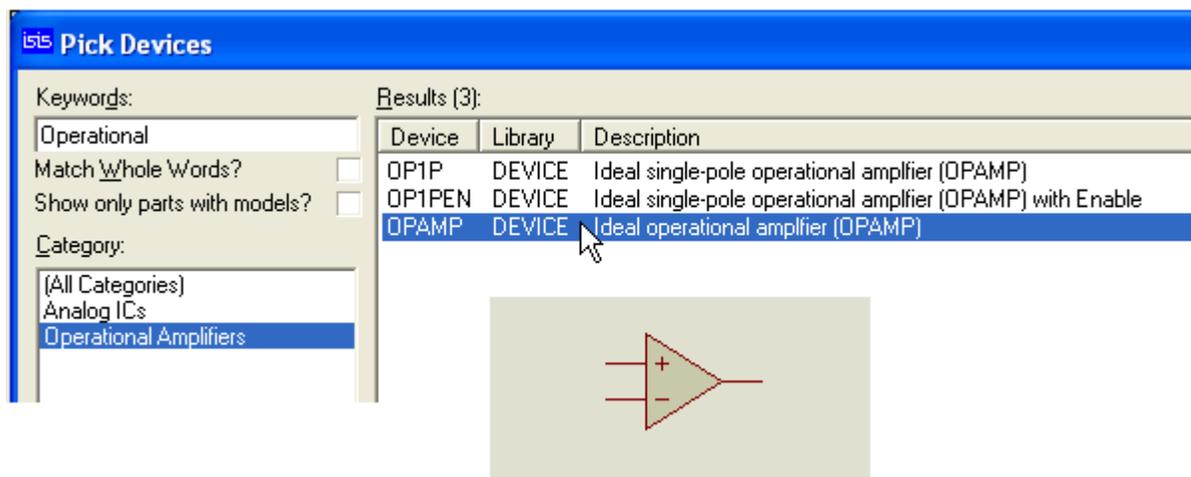
Neste capítulo vamos criar um componente multigate homogêneo, um amplificador operacional quádruplo fabricado pela Hitachi o HA17301P, cujo diagrama é mostrado na figura a seguir:



É um AO com encapsulamento DIL14 contendo 4 amplificadores operacionais.

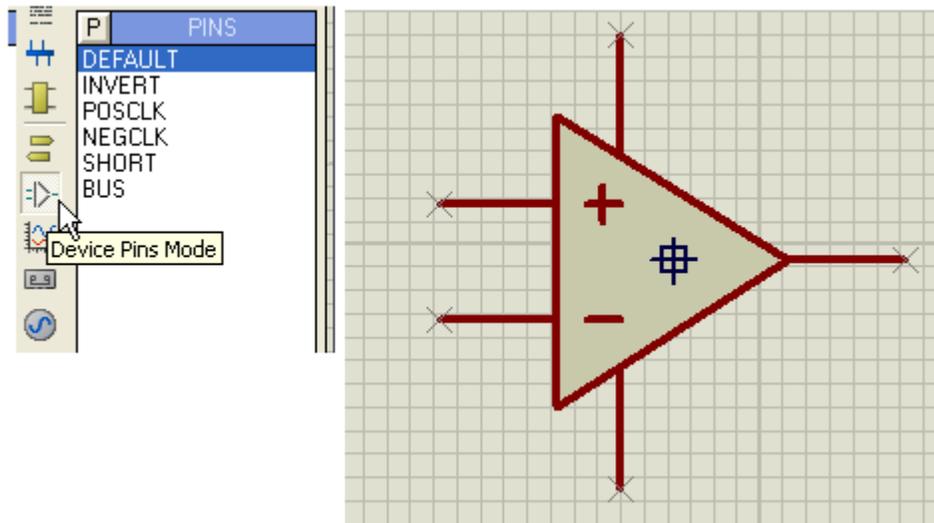
Vamos aproveitar o símbolo eletrônico e o *package* já existentes no Proteus ISIS e no Proteus ARES.

No Proteus ISIS:

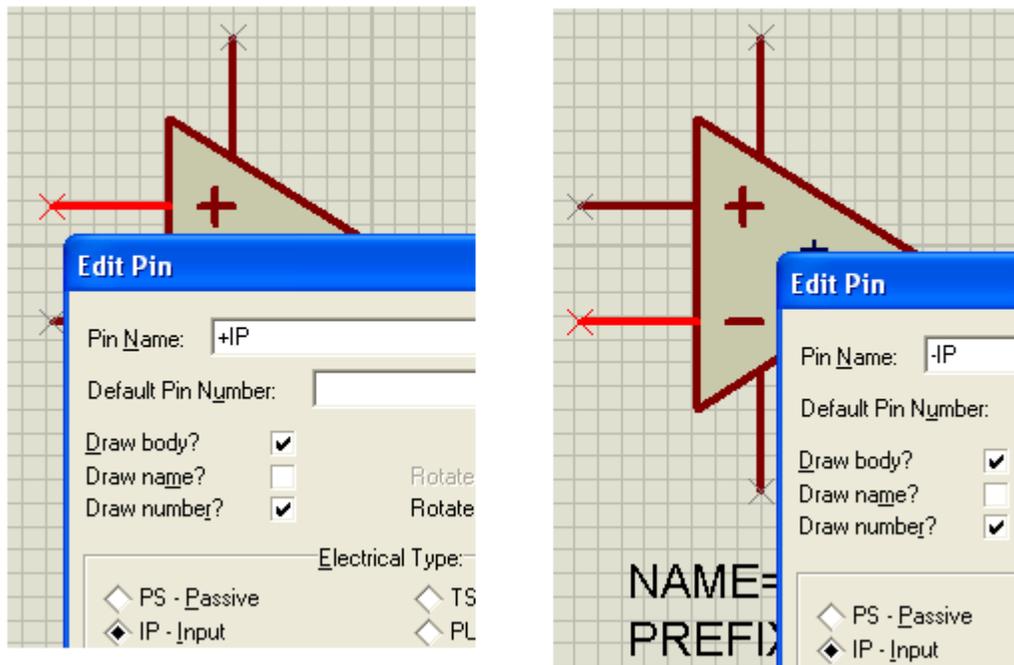


Adicionando os pinos de alimentação (V+) e (V-):

- Selecionar o componente e clicar em Decompose
- No modo Device Pins Mode, acrescentar os pinos de alimentação



Editando e nomeando os pinos:

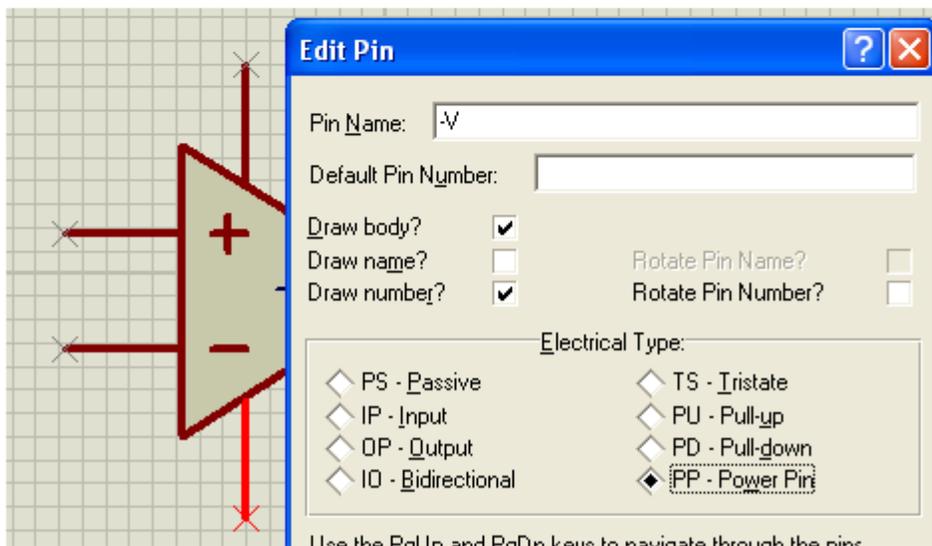
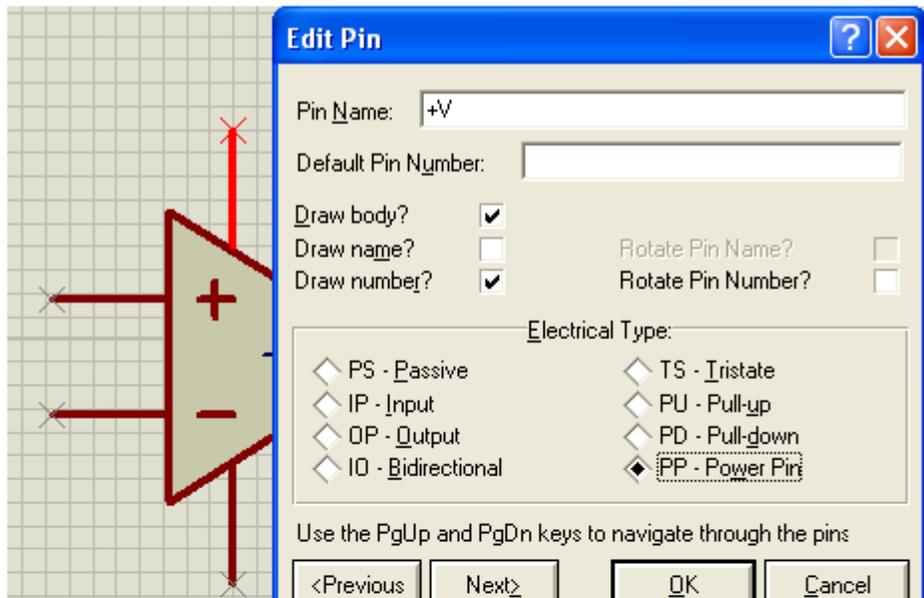
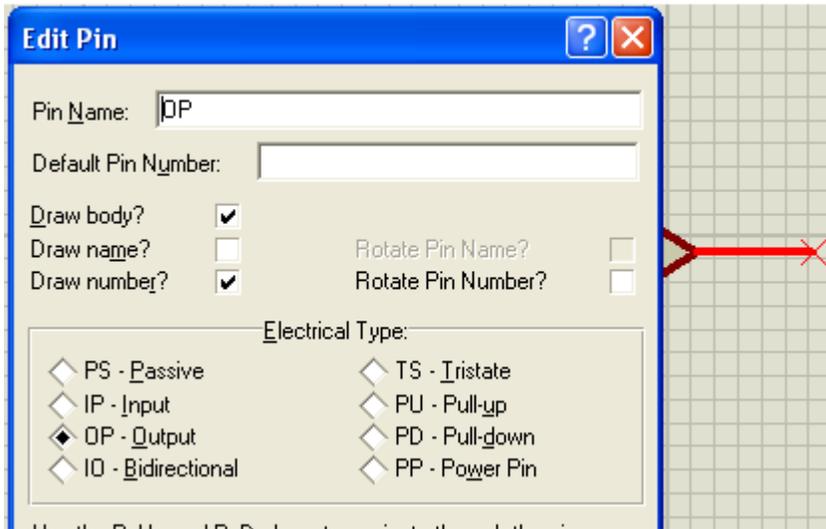


+ Entrada não inversora

- Entrada inversora

Esses pinos são pinos de entrada IP (Input)

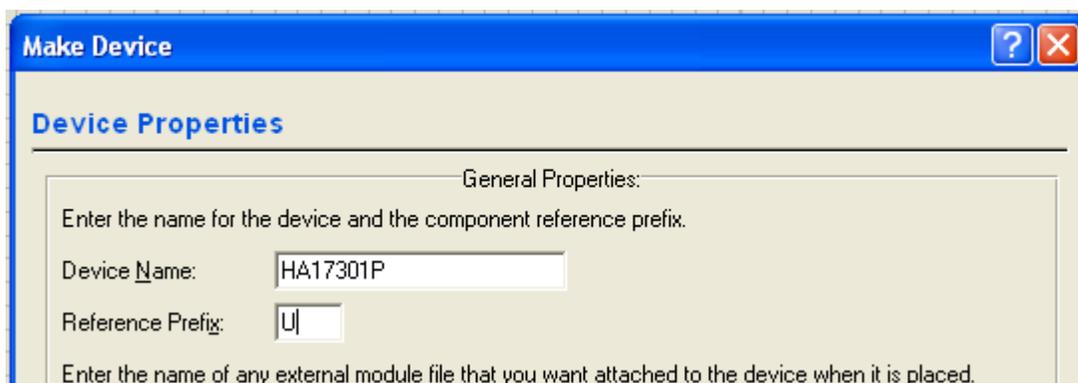
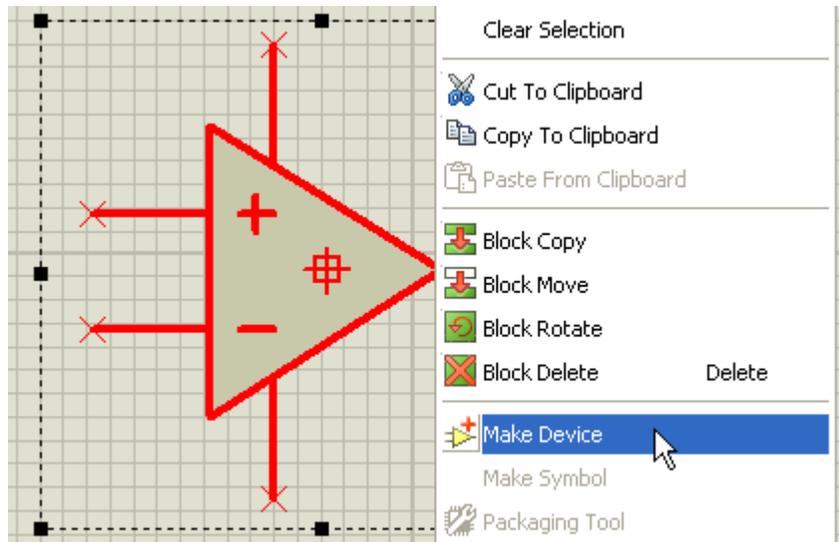
As figuras a seguir mostram a edição dos pinos de saída e de alimentação



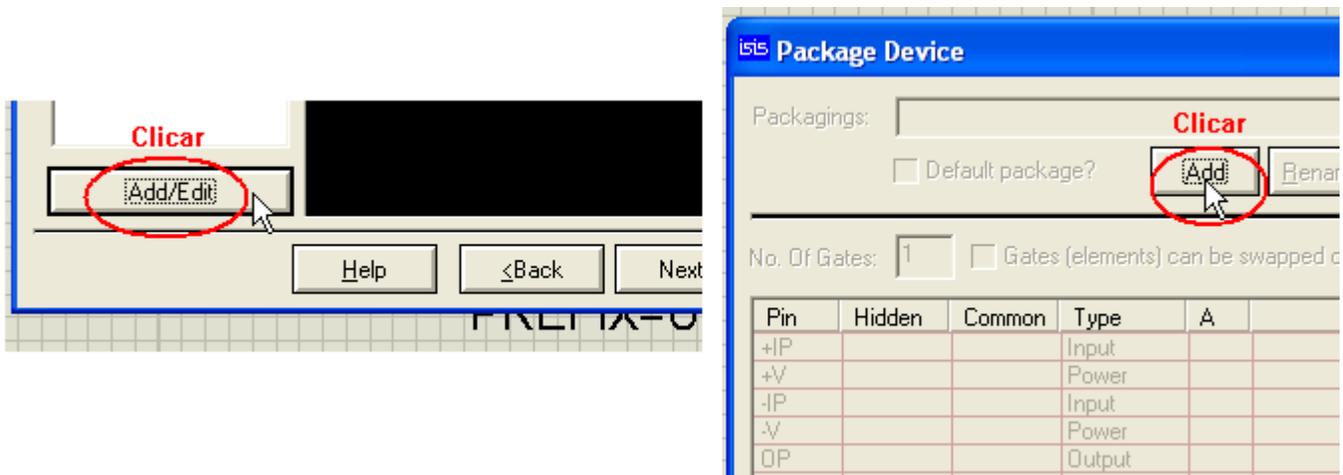
Como se trata de um componente homogêneo esse símbolo poderá ser repetido 4 vezes no package DIL14.

Associando o símbolo ao *package* DIL14:

- Selecionar o símbolo e clicar em Make Device

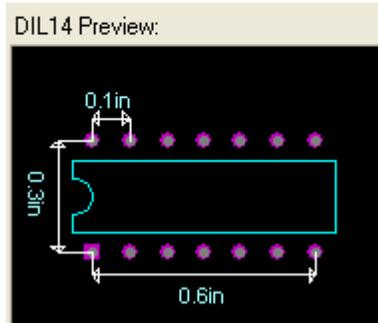


- Clicar em Next para adicionar o *package* DIL14

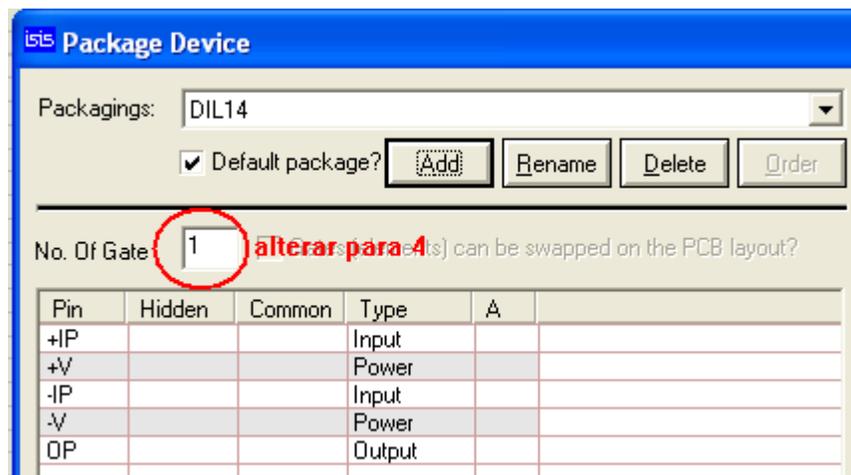


DIL00	PACKAGE	0 pin DIL IC, 0.3in width
DIL12	PACKAGE	12 pin DIL IC, 0.3in width
DIL14	PACKAGE	14 pin DIL IC, 0.3in width
DIL16	PACKAGE	16 pin DIL IC, 0.3in width
DIL18		
DIL20		

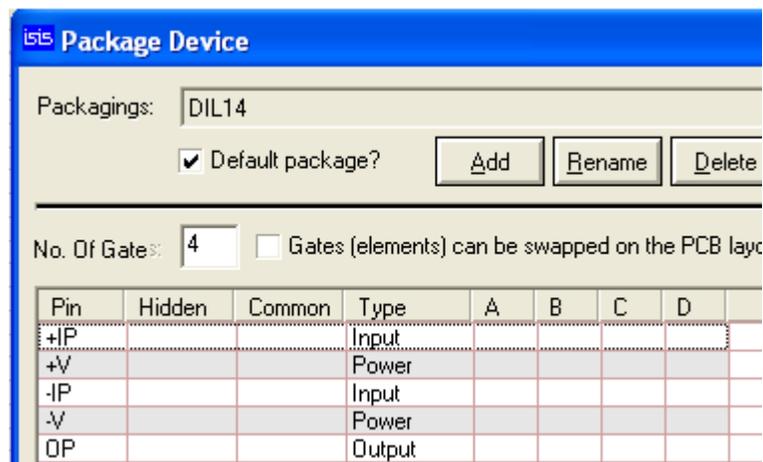
Part Name	: DIL14
Disk Library	: PACKAGE.LIB



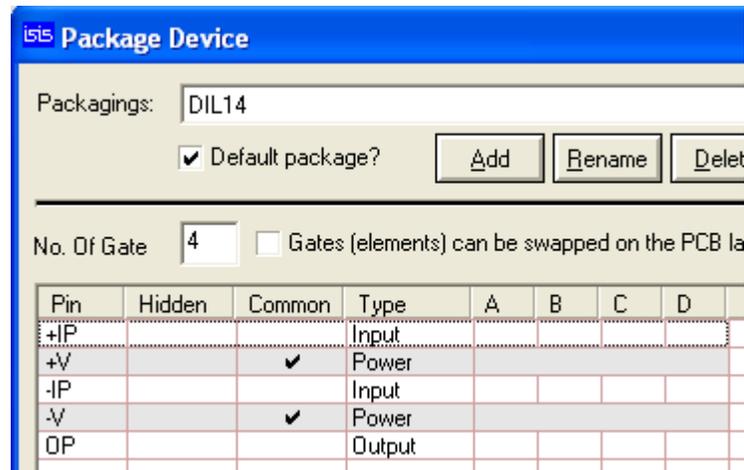
Como são 4 amplificadores operacionais no mesmo encapsulamento, então vamos alterar o campo *No. Of Gate* para 4.



Surgirão então 4 colunas A, B, C e D que representa cada um dos AOs. A partir daí é só configurar de acordo com a numeração dos pads do *package* e o nome dos pinos do símbolo.



Os pinos de alimentação +V e –V são comuns. Basta marcar a coluna *Common* para esses pinos.

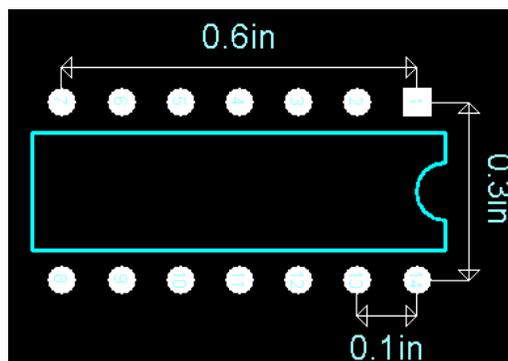
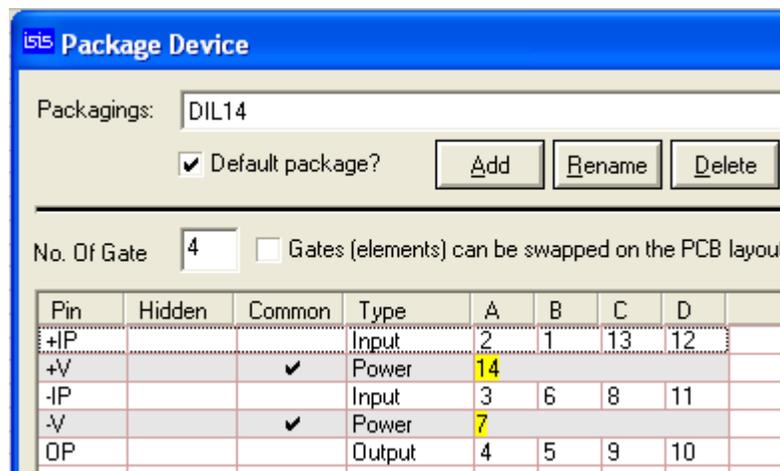


Observe que as colunas A, B, C e D para esses dois pinos foram mescladas.

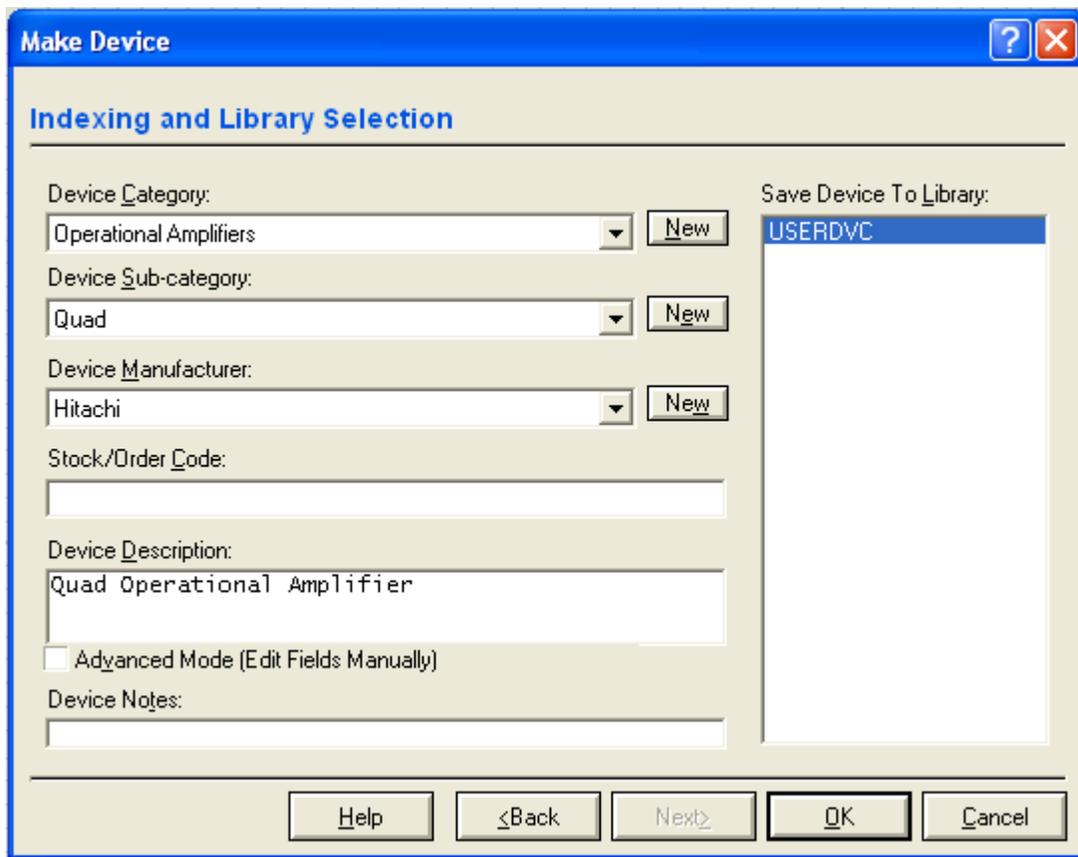
Associando os números dos pads do *package* com o nome dos pinos, podemos então definir:

AO 1 = coluna A, AO 2 = coluna B, AO 3 = coluna C, AO 4 = coluna D

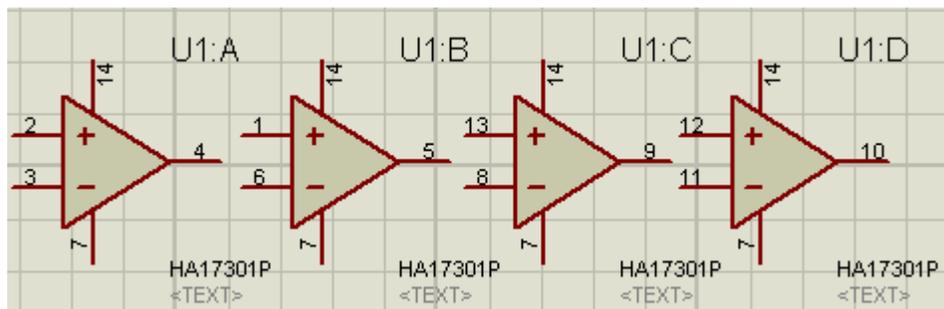
Deverá ficar associado como mostra a figura a seguir:



Para finalizar, atribuir a categoria e subcategoria ao componente

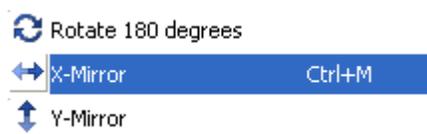


A figura a seguir mostra o dispositivo criado, no Proteus ISIS.



Observa-se que os pinos de alimentação 7 e 14 estão desalinhados.

Embora isto não represente nenhum problema, pode ser contornado no início do processo de criação do componente quando da colocação e a edição desses pinos. Basta seleccionar um deles e aplicar um espelhamento horizontal (X-Mirror) de forma a orientá-los em um só sentido.



ÍNDICE REMISSIVO

- Alterando a largura das trilhas de uma "net" – p.121
- Alterando o posicionamento dos labels – p.62
- Área de chapado – p.15
- Arquivos CAD/CAM gerados e compactados – p.30
- Arrastando e reposicionando componentes – p.11
- Artwork Mode – p.164
- Atribuindo um package para leds – p.3
- Auto Tracking Neck – p.154
- Auto-router (ícone) – p.43
- Biblioteca USERPKG – p.89
- Bill of Materials (ícone) – p. 6
- Boundary, Relief e Clearance – p.145
- Categorias e subcategorias no Pick Packages – p.106
- Comando UNDO (ícone) – p.118
- Compactação de arquivos Gerber – p.65
- Component Mode – p.37, 67
- Component Mode (ícone) – p.8, 56
- Conexão de PADS de furação com o GND – p.75
- Connectivity Errors – p.40
- Connectivity Highlight Mode – p.74
- Connectivity Highlight Mode (ícone) – p.18
- Connectivity Rules Checker (ícone) – p.44
- Construção de uma placa de CI a partir do Proteus ARES – p.103
- Contorno ou borda da placa de CI com o layer Board Edge – p.14
- Conversão de th para mm (Thou para milímetros) – p. 30
- Criação de componente – chave de toque – p.167
- Criação de um componente multigate heterogêneo – p.199
- Criação de um componente multigate homogêneo – p.212
- Criação de uma EEprom AT24C128 – p.186
- Criando um jumper – p.128

- Criando um PCB Package – p.172
- Decompose – p.175
- Definindo ponto de origem na criação de componente – p.170
- Design Explorer (ícone) – p.6, 35
- Design Rule Manager – p.42
- Device Pins Mode (ícone) 213
- Dimensões da placa de CI – p.30
- Edit Layers Colours/Visibility – Gerber Viewer – p.157
- Editando PCB Packages – p.111
- Editando um pad – p.135
- Editando um traçado – p.117
- Editando Zone Mode – p.21
- Electrical Rules Check – p.35
- Escolha do Snap Grid – p. 8
- Estilos e visualização do grid – p.9
- Excluindo componentes da simulação no Proteus ISIS – p.83
- Excluindo componentes do layout do Proteus ARES – p.85
- Ferramenta 2D Graphics Box Mode – p.187
- Ferramenta 2D Graphics Circle Mode (ícone) – p.88
- Ferramenta 2D Graphics Markers Mode – p.140
- Ferramenta 2D Graphics Mode (ícone) – p.14
- Ferramenta Device Pins Mode – p.188
- Ferramenta Dimension Mode – p.140
- Ferramenta Graphics Markers Mode – p.188
- Ferramenta Mitre – p.44
- Generate Gerber/Excellon Files (ícone) – p.53
- Gerando arquivos Gerber no projeto Vagalume Biônico – p.26
- Gerber Viewer – p.159
- Identificando PCB Packages – p.111
- Identificando uma placa de CI com 2D Graphics Text Mode – p.23
- Imprimindo um projeto – p.32
- Iniciando o roteamento manual – p.19
- Inserção de furos de fixação – p.38
- Inserção de um ponto de origem – p.87

- Layer Keepout – p.155
- Layer no Proteus ARES – p. 10
- Layer Selector (ícone) – p.10, 40
- Layer selector blind-top e blind-bottom – p.128,130
- Layer selector buried – p.128,131
- Make Device – p.180
- Mitre e Unmitre – p.45, 46
- Modificando a largura de um traçado – p.117
- Modificando e alterando as configurações de um PAD – p.86
- Mudança do estilo do cursor – p.12
- Netlist Errors – p.36
- Ocultando a área de seleção de objetos ou componentes – p.108
- Package Mode – p.67
- Package Mode (ícone) – p.57
- Packaging Tool – p.207
- Padrão (default) para roteamento automático – p.96
- Pads – p.134
- Padstack Mode – p.135
- Personalizando a cor da área de chapado – p.144
- Personalizando Selection Filter – p.149
- Physical Part List View – p.35
- Placa de CI de um amplificador de tensão – p.33
- Placa de CI de um gerador de clock com o 555 – p.55
- Placa de CI de um multivibrador astável – p.1
- Placa de CI de um sequenciador de 10 leds – p.83
- Placa de CI de uma fonte de alimentação com LM317 – p.66
- Ponto de origem falso (Toggle False Origin) – p. 31
- Posicionando componentes no layer Top Silk – p. 10
- Pre-Production Checker – 79
- Pré-requisitos recomendados para o Proteus ARES – p.1
- Print Layout – p.81, 162
- Ratsnest Mode – p.113
- Reposicionando labels – p.13
- Roteamento automático (Auto-Router) – p.41

- Roteamento automático com área de chapado – p.47
- Roteamento manual no layer Copper Bottom – p.15
- Round Through-hole Pad Mode (ícone) – p.38
- Round Through-hole Pad Mode (ícone) – p.86
- Salvando um projeto com a extensão .LYT – p.24
- Selection Filter (filtro de seleção) – p.148
- Set Output Area – p.166
- Teclas de atalho para o grid e snap grid – p. 10
- Trace Angle Lock – p. 153
- Trace Angle Lock, Auto Tracking Neck – p.152
- Track Mode (ícone) – p.19, 115
- Track Selection Mode – p.151
- Unidades de medidas utilizadas no Proteus ISIS e ARES – p.6
- VIA – p.59
- Via Mode (ícone) – p.126
- Vias e layers (multilayers) – p.125
- View Electrical Report (ícone) – p.7
- Visualização 3D de um package – p.90
- Visualização em 3D – p.25
- Visualizando os layers com o Edit Layer Colours/Visibility – p.28
- Visualizando um arquivo CAD/CAM Drill em .txt – p.54
- Zone Mode – p.15
- Zone Mode – p.72
- Zone Mode, explorando mais recursos – p.142